

ELECTRÓNICA

U1: FUNDAMENTO Y DISPOSITIVOS BIPOLARES BÁSICOS B: FÍSICA DE SEMICONDUCTORES

TEMAS:

- Silicio intrínseco.
- Procesos de generación térmica y recombinación.
- Bandas de energía.
- Semiconductores tipo N y tipo P.
- Juntura PN.

Boylestad 10ma. Edición: u.1 pág. 1

MATERIALES SEMICONDUCTORES

Los **semiconductores** son una clase especial de elementos cuya conductividad se encuentra entre la de un buen conductor y la de un aislante. Se clasifican en las siguientes categorías:

- **De un solo cristal:** Como el Germanio "Ge" y el Silicio "Si" que presentan una estructura cristalina repetitiva.
- **Compuestos:** Como el Arseniuro de Galio "GaAs", el Carburo de Silicio (SiC), compuestos por dos o más materiales semiconductores.

El primer material en ser ampliamente utilizado fue el **Germanio**, durante 1939 y 1949, debido a su abundancia y a su sencillo proceso de refinación. Sin embargo, sus propiedades se modificaban mucho con la temperatura. Un material con mayor

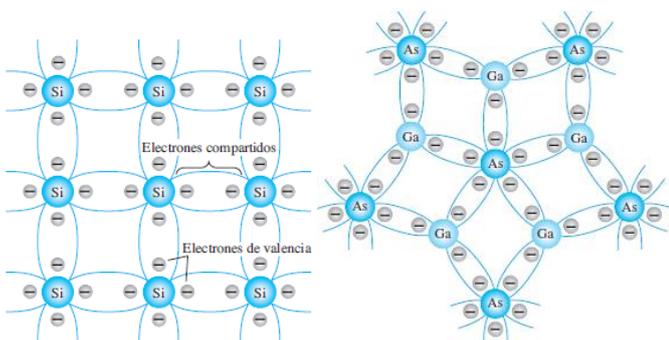
estabilidad frente a esta variable era el **Silicio**, además de encontrarse entre los minerales más abundantes, pero su proceso de purificación era complicado. Una vez desarrollado el proceso, alrededor de 1954, el Silicio se convirtió en el material semiconductor preferido. A continuación, las velocidades en la electrónica crecieron exponencialmente y con ello crecieron las necesidades de encontrar nuevos materiales. Con este nuevo paradigma aparece, en el año 1970, el **Arseniuro de Galio** como material semiconductor para electrónica. Su velocidad es 5 veces superior a la del Silicio, pero a pesar de ello su proceso de fabricación era complicado y costoso.

ENLACE COVALENTE Y MATERIALES INTRINSECOS

Para entender porque estos materiales son semiconductores es necesario conocer la estructura atómica, las interacciones interatómicas y la estructura cristalina.

El Silicio tiene 14 electrones y es tetravalente, el Germanio 32 y también es tetravalente, el Galio tiene 31 es trivalente y el Arsénico 33 es pentavalente.

En el cristal de Silicio, al igual que el de Germanio, en estado puro, cada átomo comparte sus cuatro electrones de valencia con cuatro átomos vecinos.



El cristal de Arseniuro de Galio es un poco más complejo. Cada átomo de Arsénico forma 5 enlaces y cada átomo de Galio forma 3 enlaces.

En cualquier caso, el material es un aislante perfecto a 0° K, debido al fuerte ligamiento que produce sobre los electrones un enlace covalente. A otras temperaturas y debido a causas externas (como la energía luminosa en forma de fotones), es posible que los electrones de valencia adquieran suficiente energía como para pasar a un **estado libre**, dando lugar a un **electrón libre** que viaja de átomo en átomo y a un **hueco** en el enlaces covalente. Este proceso se conoce como **generación**. Estos electrones libres son muy sensibles a campos eléctricos debido a una diferencia de potencial. Un **material intrínseco** es aquel semiconductor que haya sido refinado para reducir el número de impurezas.

Cuando un electrón libre y un hueco se encuentran, se produce la **recombinación**. La generación y la recombinación a una temperatura específica se encuentran en **equilibrio dinámico**. Estos dos procesos siguen las siguientes expresiones:

$$G = K_G T$$

$$R = K_R n_i p_i$$

Siendo " n_i " la concentración relativa de electrones libres y " p_i " la concentración relativa de huecos (intrínsecos). En el equilibrio se cumple que:

$$G = R$$

$$K_G T = K_R n_i p_i$$

A temperatura ambiente para el Silicio se tiene que $n_i = p_i \approx 10^{-12}$ y para el Germanio $n_i = p_i \approx 10^{-9}$ y aproximadamente se duplica cada $10^\circ C$. Esto explica la débil conducción de los materiales intrínsecos.

Dos factores definen la calidad de un semiconductor, estos son: el número de **portadores intrínsecos** o **electrones libres** y el **factor de movilidad relativa**, es decir, la capacidad de los electrones de moverse por el material. Este último define el comportamiento de un semiconductor a altas frecuencias.

La tabla permite extraer conclusiones importantes. El Arseniuro de Galio, si bien presenta pocos electrones libres, la movilidad relativa es muy alta, siendo útil en aplicaciones a altas frecuencias, debido a su alta respuesta. Por otro lado, el Germanio presenta la mayor cantidad de electrones libres y mejores prestaciones que el Silicio a velocidades altas, esto junto a su facilidad de fabricación explica porque se sigue usando.

Portadores Intrínsecos (e-/cm³)

1,7 · 10 ⁶	1,5 · 10 ¹⁰	2,5 · 10 ²³
GaAs	Si	Ge

Movilidad Relativa (cm²/V.s)

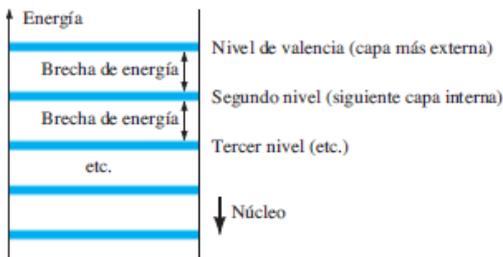
1500	3900	8500
Si	Ge	GaAs

Respecto al comportamiento de los materiales frente a la temperatura, se puede decir que:

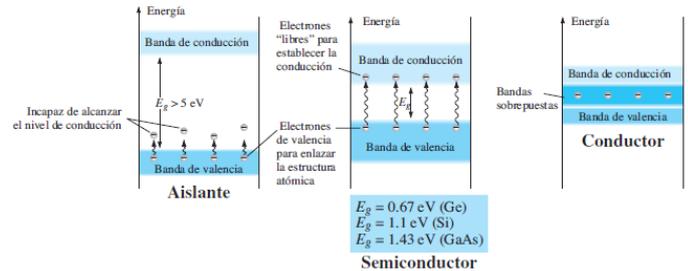
- Los **conductores** tienen un coeficiente de temperatura positivo, es decir, mayor temperatura equivale a más resistencia. Esto se debe a que las vibraciones de los átomos dificulta el flujo de electrones libres.
- Los **materiales semiconductores** tienen un coeficiente de temperatura negativo, es decir, mayor temperatura equivale a mejor conductividad. Esto se debe a que existen más electrones de valencia que alcanzan la energía térmica suficiente como para convertirse en electrones libres.

NIVELES DE ENERGÍA

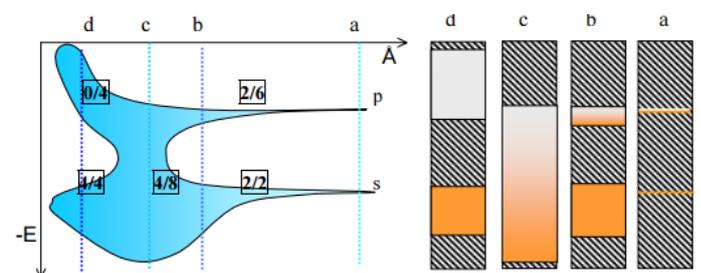
Dentro de la estructura atómica de cada **átomo aislado** hay niveles específicos de energía asociados a cada capa y electrón en órbita. En general, cuanto más alejado está un electrón del núcleo, mayor es su estado de energía y, cualquier electrón libre tiene más energía que aquellos ubicados en las capas del átomo. En medio de los niveles quedan brechas de energía en donde no se admiten electrones.



Cuando dos átomos se acercan para formar una **estructura cristalina**, comienza una interacción entre los niveles de energía, conocido como **desdoblamiento**. El resultado es una transformación de los niveles de energía discretos en **bandas de energías**. En la figura se puede observar que entre la **banda de valencia** y la **banda de conducción** existe una barrera que los electrones entrelazados en los enlaces covalentes deben superar para convertirse en portadores libres. Esta barrera es mayor para el Arseniuro de Galio que para el Silicio, y mayor para el Silicio que para el Germanio. **Esto explica la sensibilidad del Germanio ante la temperatura**. Esta propiedad puede usarse favorablemente en componentes electrónicos sensibles a la luz o al calor. Otras veces, como es el caso de redes de transmisión, se requiere estabilidad.



La brecha de energía, conocida como **banda prohibida**, también define los elementos útiles para funcionar como emisores de luz (LED). Cuanto mayor es la brecha, mayor es la posibilidad de que la energía se libere en forma de ondas luminosas visibles o invisibles. Los elementos conductores presentan solapadas las bandas de conducción y de valencia, provocando esencialmente que la energía absorbida por los electrones se disipe en forma de calor. En el caso de los semiconductores Silicio y Germanio, la brecha de energía es pequeña y la energía disipada por la mayoría de los electrones también es en forma de calor. Sin embargo, en el caso del Arseniuro de Galio la brecha es suficientemente grande como para producir radiación luminosa significativa.



En la figura anterior se muestra el comportamiento del material según la distancia atómica. El **caso "a"** representa una

distancia interatómica tal que no habrá interacción, es decir, será una **átomo aislado**. Los electrones en el nivel "s" solo pueden pasar a "p" si adquieren la energía correspondiente a la brecha de energía, por ejemplo, absorbiendo un fotón de longitud de onda exacta. En el **caso "b"** si existe desdoblamiento y aparecen bandas. En el **caso "c"** el desdoblamiento es tal que solo existe una única

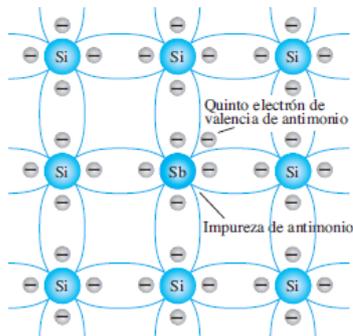
banda, lo cual permite un amplio rango de energía absorbibles y permite gran movilidad. El material se comporta como un buen conductor. Finalmente, en el **caso "d"** corresponde a los cristales de los semiconductores a $0^{\circ} K$. La banda inferior o de valencia se encuentra completa y la banda superior o de conducción está vacía.

MATERIALES EXTRÍNSECOS: MATERIALES TIPO "N" Y TIPO "P"

Las características de un material semiconductor puro se pueden modificar con la adición de átomos de **impureza**. Una concentración de 1 parte por 10 millones, puede alterar la estructura de las bandas lo suficiente como para modificar significativamente las propiedades eléctricas del material. El proceso se conoce como **dopado** y el material resultante se conoce como **material extrínseco**.

MATERIAL TIPO "N"

Son aquellos materiales de Silicio (u otro material semiconductor tetravalente) **dopados con átomos de impurezas pentavalentes** como el Antimonio, el Arsénico y el Fósforo. El número de enlaces no se modifica, sin embargo, por cada átomo de impureza existe cuatro enlaces covalentes y un electrón extra el cual está débilmente ligado, es decir, se encuentra propenso a convertirse en electrón libre. Las impurezas son conocidas como **donadores o dadores**. Hay que destacar que este material sigue siendo eléctricamente neutro.

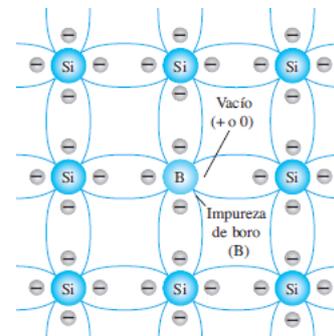


El efecto del dopado en la conductividad relativa da como resultado un mayor número de portadores libres y mejor conductividad. La mayor concentración de electrones libres implica mayor recombinación, por lo tanto, la concentración de huecos bajará hasta restablecer el equilibrio dinámico generación-recombinación.

En consecuencia los **electrones** en mayor proporción serán los **portadores mayoritarios**, y los **huecos** los **portadores minoritarios**.

MATERIAL TIPO "P"

Son aquellos materiales de Silicio (u otro material semiconductor tetravalente) **dopados con átomos de impurezas trivalente** como el Boro, Galio e Indio. Igual que antes, el número de enlaces no se modifica, sin embargo, esta vez el número de electrones para completar un enlace covalente es insuficiente. El vacío resultante se conoce como **hueco**, el cual se encuentra propenso a aceptar electrones. Estas impurezas se conocen como **aceptores**. El material resultante sigue siendo eléctricamente neutro.



En estas condiciones el resultado es mejor conductividad. La probabilidad de recombinación aumenta haciendo bajar la concentración de electrones libres hasta restablecer el equilibrio dinámico generación-recombinación.

En este caso, los **huecos** en mayor concentración serán **portadores mayoritarios**, y los **electrones libres** son **portadores minoritarios**.

FLUJO DE ELECTRONES CONTRA FLUJO DE HUECOS

Supongamos que tenemos un material semiconductor dopado con impurezas trivalentes. Concentrémonos en la zona en donde se ubica un hueco. Puede darse la situación en que un electrón que constituye un enlace covalente vecino, adquiera la energía suficiente para librarse y saltar hacia el hueco. En ese caso tendríamos un flujo de electrones hacia la derecha y un flujo de huecos hacia la izquierda.

U1: FUNDAMENTO Y DISPOSITIVOS BIPOLARES BÁSICOS

C: DIODO. RECTIFICADORES MONOFÁSICOS

TEMAS:

- Juntura PN (apartado anterior).
- Modelos para análisis.
- Tensión de Ruptura, Efecto Zener y Avalancha.
- Rectificadores Monofásicos de Media Onda y Onda Completa.
- Efecto del Capacitor en Paralelo con la Carga.

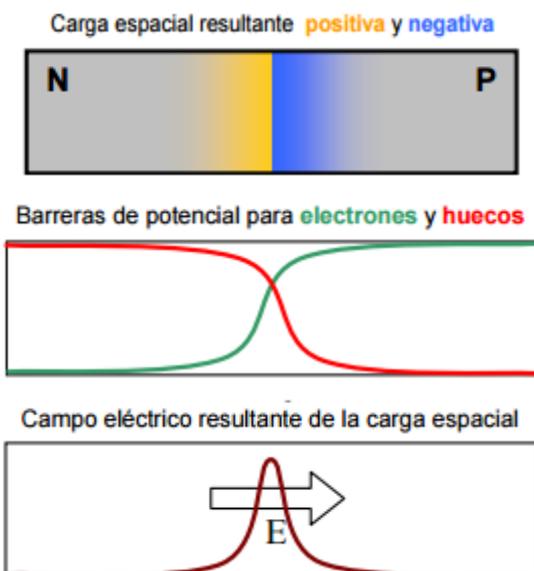
Boylestad 10ma. Edición: u.1 pág. 10

DIODO SEMICONDUCTOR (JUNTURA DIODICA)

El **diodo semiconductor** se crea uniendo un material tipo "n" y un material tipo "p". En realidad, es un único cristal impurificado por etapas, para que exista una continuidad en la estructura cristalina.

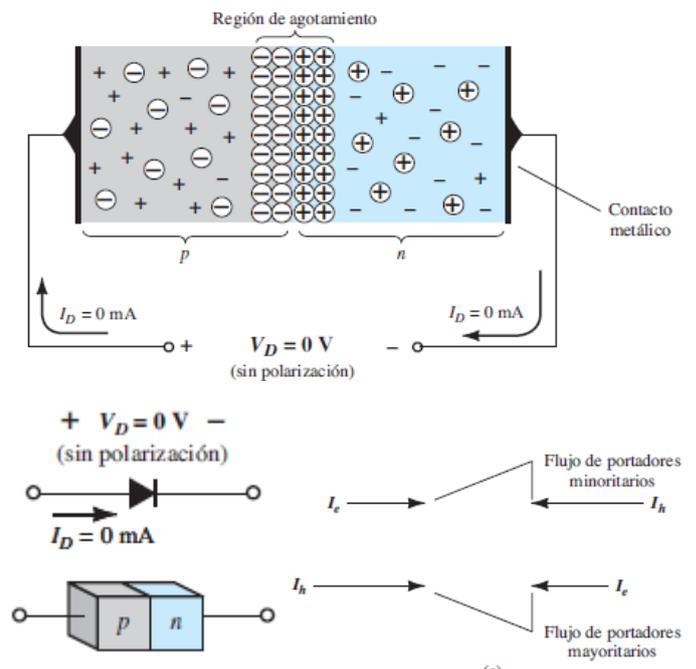
SIN POLARIZACIÓN APLICADA ($V = 0 V$)

En el instante inicial en que los dos materiales se ponen en contacto, se producen dos fenómenos: **difusión** y **recombinación**. Por un lado, difunden los electrones libres del material tipo "n" de la zona cercana a la juntura hacia el material tipo "p", y también difunden los huecos del material tipo "p" próximos a la juntura hacia la región "n". Luego, se produce la recombinación de los portadores libres que difundieron. La región intermedia se la conoce como **región de empobrecimiento, de agotamiento o de deplexión**. Este proceso deja la región "n" con carga positiva y la región "p" con carga negativa, lo cual eléctricamente se traduce en un **campo eléctrico**. Este va creciendo a medida que se produce la difusión-recombinación hasta alcanzar el **equilibrio dinámico**, esto se conoce como **barrera de potencial**.



Si se conectan dos terminales en los extremos del material se dispone de tres tipos de conexiones: **sin polarización**, **polarización directa** y **polarización inversa**. En el primer caso, la tensión aplicada es de "0 V" y la corriente resultante es de "0 A".

Se presenta gráficamente el símbolo del diodo y su polaridad definida.

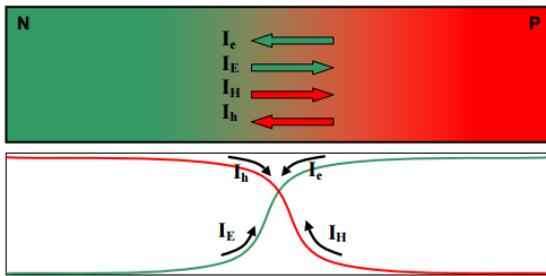


En la **condición sin polarización**, cualquier portador minoritario (hueco) del material tipo "n" localizado en la región de empobrecimiento pasará de inmediato al material tipo "p". Esto se debe a la atracción que ejerce la capa de iones negativos y la repulsión de la capa de iones positivos en la zona de empobrecimiento. Este proceso es extensivo a los portadores minoritarios del material tipo "p" (electrones). El flujo de portadores minoritarios correspondiente al fenómeno explicado se designa en la figura como " I_h " e " I_e ".

Los portadores mayoritarios (electrones) del material tipo "n" deben vencer las fuerzas atractivas de la capa de iones positivos en el material tipo "n" y el escudo de iones negativos en el material tipo "p" para que emigren más allá de la región de empobrecimiento del material tipo "p". Este planteamiento es extensivo a los portadores mayoritarios (huecos) del material tipo "p". Se representa gráficamente como un flujo " I_e " e " I_h ".

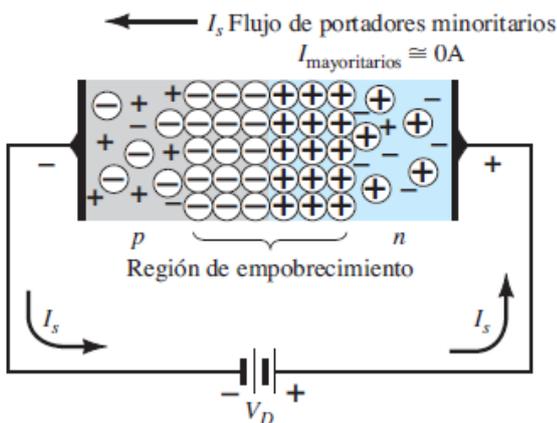
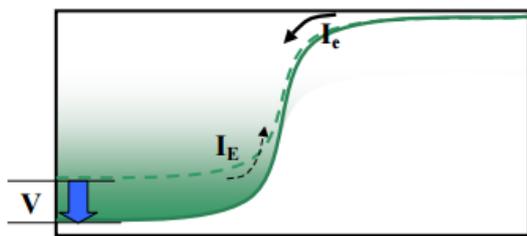
En consecuencia, estas cuatro corrientes descritas, cuando no existe polarización externa aplicada, dan un flujo neto de carga igual a cero. La corriente debida a los portadores

minoritarios se conoce como **corriente de saturación** (inversa) la cual es muy dependiente de la temperatura. Por su parte, la corriente de los portadores mayoritarios se conoce como **corriente de recombinación** (directa).



CONDICIÓN DE POLARIZACIÓN EN INVERSA ($V < 0 V$)

Este es el caso de aplicar un potencial externo a través de la unión p-n con el terminal positivo conectado al material tipo "n" y el negativo conectado al material tipo "p". El resultado será que más electrones libres serán extraídos del material tipo "n", debido a la atracción del terminal positivo, y más huecos serán desplazados del material tipo "p", debido a la atracción del terminal negativo. En definitiva se **ampliara la zona de empobrecimiento** y la barrera que los portadores mayoritarios deben superar, por lo tanto, el flujo de portadores mayoritarios se reduce a cero. Sin embargo, los portadores minoritarios que entran a la región de empobrecimiento no cambian con respecto a la conexión sin polarización. La corriente generada se llama corriente de **saturación en inversa** " I_s ".



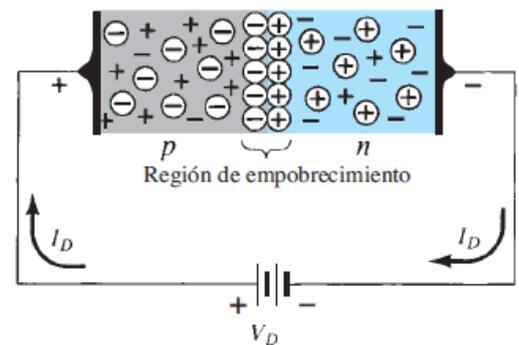
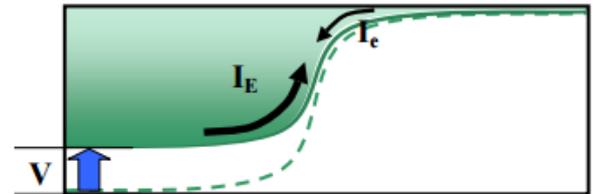
Esta corriente rara vez supera algunos microamperes, sin embargo, para dispositivos de Silicio se encuentra en el orden de los nanoamperes. Como se verá gráficamente más adelante, el valor de la corriente de saturación no cambia significativamente al aumentar el potencial de polarización.

CONDICIÓN DE POLARIZACIÓN EN DIRECTA ($V > 0 V$)

Esta condición se logra aplicando el potencial positivo al material tipo "p" y el negativo al tipo "n". Esto provocará a los

electrones del material tipo "n" y a los huecos del tipo "p", los portadores mayoritarios, a recombinarse con los iones próximos a la región de empobrecimiento, **reduciendo la región**. El flujo de portadores minoritarios, representados por " I_s ", **no cambia en magnitud ya que dependen principalmente del número de impurezas**, sin embargo el número de portadores mayoritarios si cambia significativamente. Un electrón ubicado en el material tipo "n" ahora ve reducida la barrera en la unión y se ve fuertemente atraído por el potencial positivo aplicado al material tipo "p". Mientras mayor sea el potencial aplicado, más se reducirá la barrera hasta que el flujo de electrones logre atravesar la unión.

$$I_D = I_{\text{mayoritarios}} - I_s$$



Gráficamente en el sistema de ejes cartesianos, se observa como un crecimiento exponencial de la corriente en la región de polarización en directa. En general, el voltaje a través de un diodo polarizado en directa será menor a 1 V. Se puede demostrar que la ecuación que define la **curva teórica (línea punteada)** tanto en polarización directa como en inversa, está dada por la **ecuación de Shockley**. Se puede demostrar que la corriente de polarización en función de la temperatura es:

$$I_R = I_{R0} e^{qV_D/nKT}$$

En donde " I_{R0} " representa la corriente de recombinación en ausencia de voltajes aplicados. Sin embargo, esta corriente cumple:

$$I_{R0} = I_s$$

Además:

$$I_D = I_R - I_s$$

Reemplazando y despejando se llega:

$$I_D = I_s (e^{V_D/nV_T} - 1)$$

En donde se reemplazó el voltaje térmico " V_T " definido como:

$$V_T = \frac{kT}{q}$$

En las ecuaciones:

- k : Constante de Boltzmann.
- T : Temperatura en Kelvin.
- q : Carga del electrón.
- I_S : Corriente de saturación en inversa.
- V_D : Voltaje de polarización en directa.
- n : Factor de idealidad, función de las condiciones de operación y la construcción física. Varía entre 1 y 2. Generalmente se supone que vale 1 por una cuestión de idealidad.

Analicemos la ecuación detenidamente:

- En polarización directa $V_D > 0$, el primer término del paréntesis crecerá rápidamente, haciendo insignificante el segundo término para valores de potencial altos, por lo tanto:

$$I_D \approx I_S e^{V_D/nV_T}$$

La curva rápidamente se vuelve casi vertical.

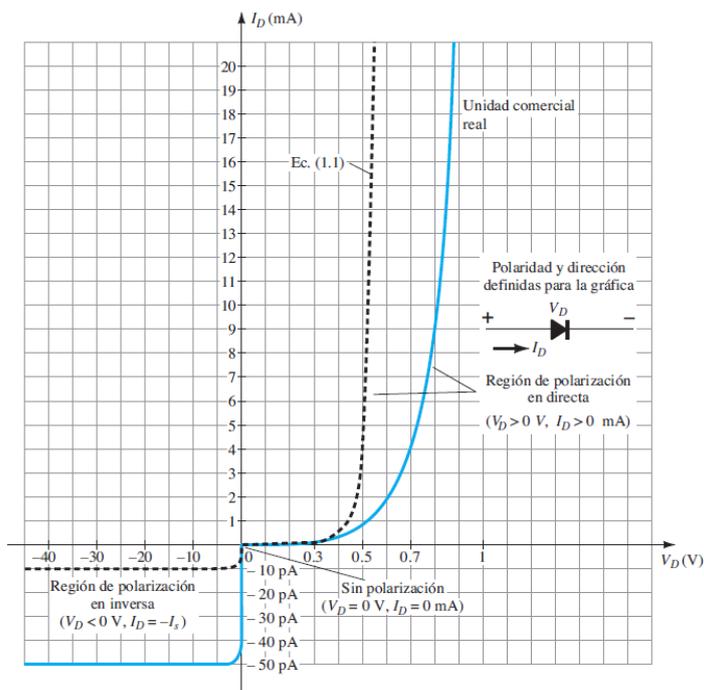
- En polarización inversa $V_D < 0$, el término exponencial se reduce con rapidez, por lo tanto:

$$I_D \approx -I_S$$

Esto muestra una recta horizontal geoméricamente.

- Sin polarización $V_D = 0$, se tiene:

$$I_D = 0 \text{ mA}$$



En este caso hay que destacar que la escala para los valores positivos de corriente está en mA y para los valores negativos en pA .

Sin embargo, el **comportamiento práctico** de los diodos de Silicio comerciales sigue el camino mostrado por la línea de **trazo continuo**. Esto se debe a la resistencia interna y a la resistencia de contacto externa del diodo. Cada una contribuye con voltaje adicional según la ley de Ohm. El resultado es un desplazamiento hacia la derecha de la curva.

Se observa además que la corriente de saturación en inversa de la unidad comercial es notoriamente mayor que la corriente " I_S " del comportamiento teórico que surge de la ecuación de Shockley. Esto se debe a efectos no considerados en la ecuación, como la generación de portadores en la región de

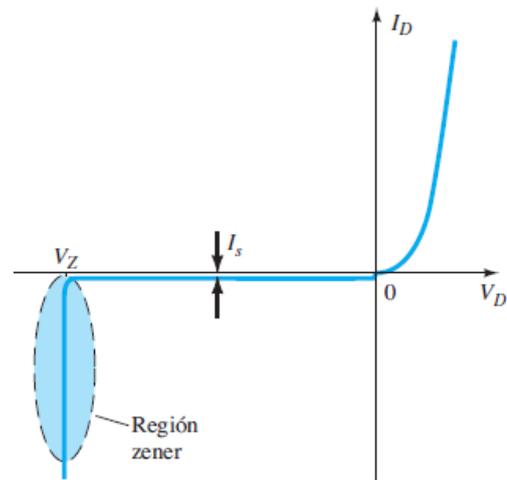
empobrecimiento y las corrientes de fuga superficial, ambas dependientes del área de contacto en la juntura p-n.

La situación ideal sería que $I_S = 0 A$ en la región de polarización inversa, sin embargo, actualmente este valor ronda los $0,01 - 10 pA$.

REGIÓN ZENER

Al aplicar un voltaje muy negativo se producirá un cambio abrupto de las características. Llegado a un cierto potencial, conocido como **potencial Zener " V_Z "**, se produce un abrupto incremento de la corriente.

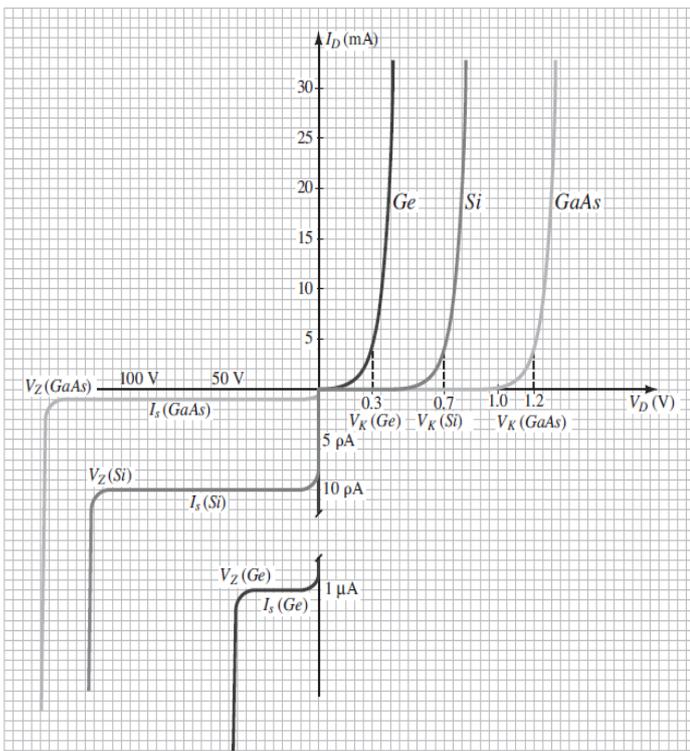
Al incrementar el voltaje en polarización en inversa, también se incrementará la velocidad de los portadores minoritarios responsables de la corriente de saturación en inversa " I_S ". En un punto tendrán suficiente energía cinética como para liberar más portadores por colisiones con otras estructuras atómicas que de lo contrario serían estables. Es decir, se produce un proceso de ionización de los electrones de valencia que pasan a ser portadores libres. Estos a su vez aportan al proceso de ionización provocando lo que se conoce como **efecto avalancha**.



La posición de " V_Z " se puede controlar modificando los **niveles de dopaje** en los materiales tipo "p" y "n". Al aumentar el dopaje la curva se desplaza hacia la derecha. Para valores muy bajos de voltaje ($-5 V$), se pone de manifiesto otro fenómeno que produce el cambio abrupto de las características y se lo conoce como **ruptura Zener**. Este fenómeno se basa en la fuerza del campo eléctrico en la zona de la unión, que al ser tan intenso rompe los enlaces dentro del átomo y genera portadores. Este fenómeno, aunque contribuye para cualquier voltaje, tiene suficiente importancia a valores bajos. En diodos semiconductores se debe evitar la región Zener. Existen diodos diseñados exclusivamente para trabajar en esta zona conocidos como **diodos Zener**.

El máximo potencial de polarización en inversa que se puede aplicar antes de entrar en la región Zener se llama **voltaje inverso pico PIV**. Si una aplicación requiere un PIV mayor que el de una sola unidad, se pueden conectar varios diodos en serie de las mismas características. La conexión en paralelo permite incrementar la capacidad de llevar corriente.

COMPARACIÓN ENTRE MATERIALES

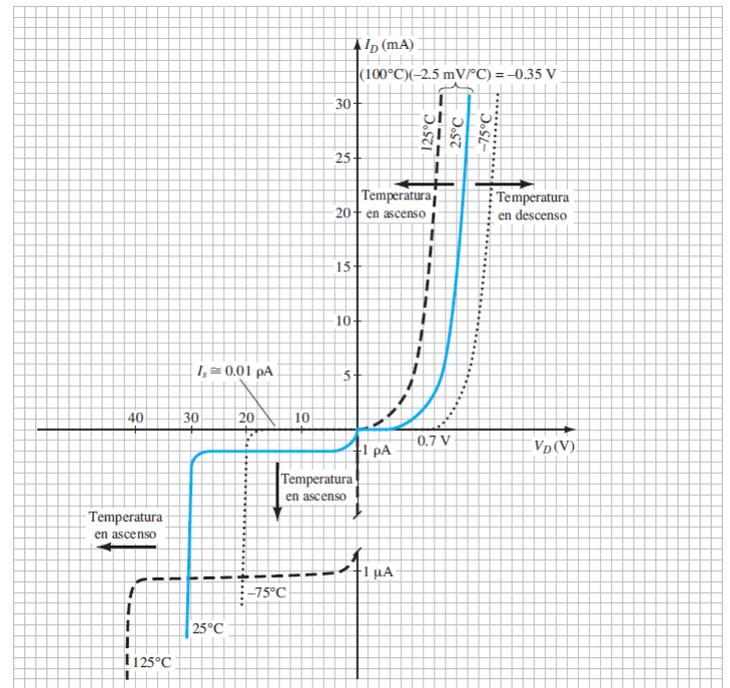


INFLUENCIA DE LA TEMPERATURA

En la región de polarización en directa las características de un diodo de Silicio se desplazan a la izquierda al aumentar la temperatura a razón de $2,5 \text{ mV}/^\circ\text{C}$. En polarización inversa, las variaciones en la corriente serán muy significativas. Por lo tanto, en aplicaciones a altas temperaturas se debería buscar valores de

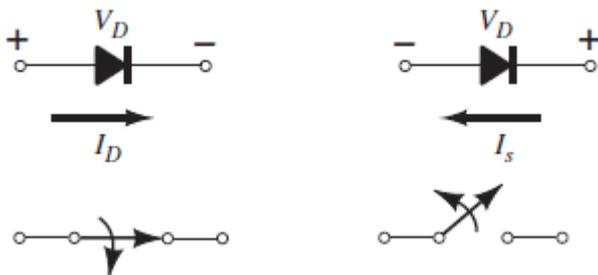
" I_s " a temperatura ambiente en el orden de los 10 pA para que a temperaturas altas la corriente se encuentre en el orden de los μA .

Por otra parte, la sensibilidad del voltaje de saturación en inversa " V_Z " de un diodo semiconductor se puede incrementar o reducir con la temperatura, según donde se encuentre el potencial Zener. Si se encuentra por encima de los 5 V se incrementará, y por debajo puede reducirse.



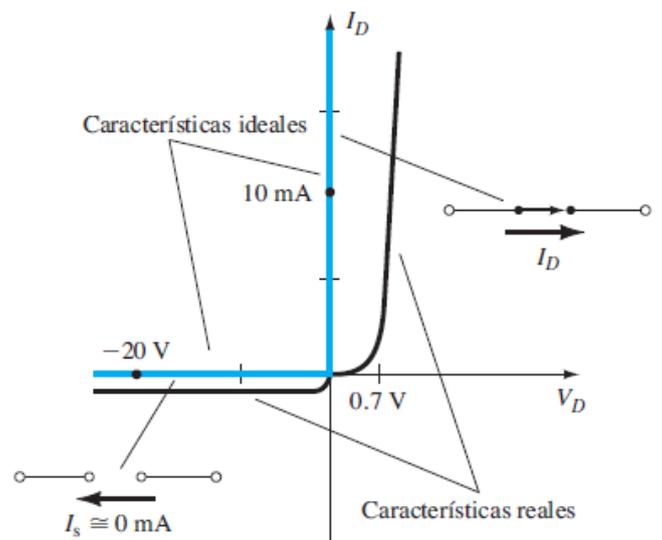
LO IDEAL VS LO PRÁCTICO

En el apartado anterior se vio en resumen que la unión p-n permite un flujo abundante de carga cuando se aplica una polarización en directa, y un nivel muy pequeño de corriente cuando la polarización es en inversa. Una analogía para describir el comportamiento de un diodo semiconductor es un **interruptor mecánico**. Por supuesto esto representa una primera aproximación. En polarización directa el interruptor está cerrado y permite el paso de la corriente, y en polarización inversa el interruptor está abierto y la corriente es cero.



Sin embargo, para que un diodo semiconductor se comporte como un interruptor en la zona de polarización directa, su resistencia interna debe ser cero y en la región de polarización en inversa la resistencia deberá ser infinita. Gráficamente se

obtiene la función del diodo ideal en azul. La primera diferencia importante es que el diodo comercial en la zona de polarización en directa se eleva a un nivel de $0,7 \text{ V}$. La siguiente diferencia es que existe una resistencia interna que le brinda una pendiente a partir de los $0,7 \text{ V}$.



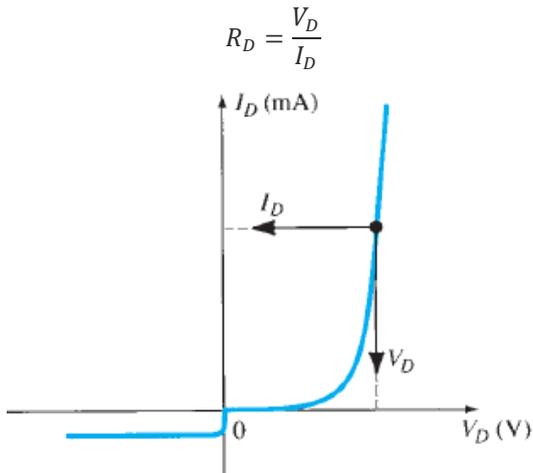
NIVELES DE RESISTENCIA

Al variar el punto de operación de un diodo, también lo hace la resistencia debido a la forma no lineal de su curva de

características. El tipo de voltaje o señal aplicada definirá el nivel de resistencia.

RESISTENCIA DE C.D. O ESTÁTICA

Un voltaje de c.d. producirá un punto de operación en la curva de características que no cambia con el tiempo. La resistencia será:

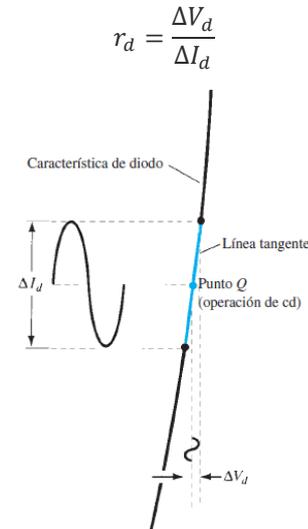


En general, cuanto mayor sea el nivel de corriente a través del diodo, menor será el nivel de resistencia de c.d.

RESISTENCIA DE C.A. O DINÁMICA

Si se aplica en la entrada un voltaje senoidal, el punto de operación sobre la curva de característica se moverá dentro de un intervalo, lo que significa una variación continua del voltaje y la corriente.

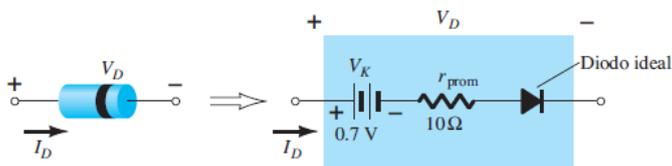
Una recta tangente trazada a la curva por el punto Q definirá un cambio particular de voltaje y corriente que puede ser utilizado para determinar la resistencia de c.a. o dinámica en esta región de la curva característica del diodo.



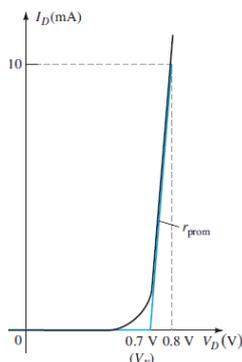
CIRCUITOS EQUIVALENTES DEL DIODO

CIRCUITO LINEAL EQUIVALENTE POR SEGMENTOS

Es un circuito equivalente más preciso que el modelo de interruptor. La mayor imprecisión de este circuito con respecto al diodo real es en la zona acodada. El circuito consta de una resistencia de c.a. promedio " r_{prom} " que es representativa de la zona de encendido. También incluye una batería con potencial " V_K " de aproximadamente $0,7V$, opuesta a la dirección de conducción, que representa el **voltaje umbral** antes de la conducción a través del dispositivo. Este potencial no es una fuente de voltaje independiente, es decir, con un voltímetro conectado al diodo en vacío no se obtendría lectura.

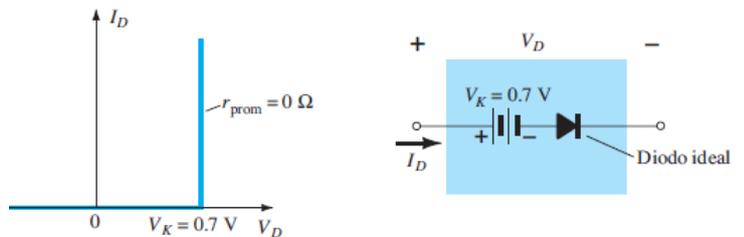


El nivel aproximado de " r_{prom} " se puede determinar con un punto de operación determinado de la hoja datasheet ($I_F; V_D$) y el punto $(0; 0,7V)$ en caso del Silicio.



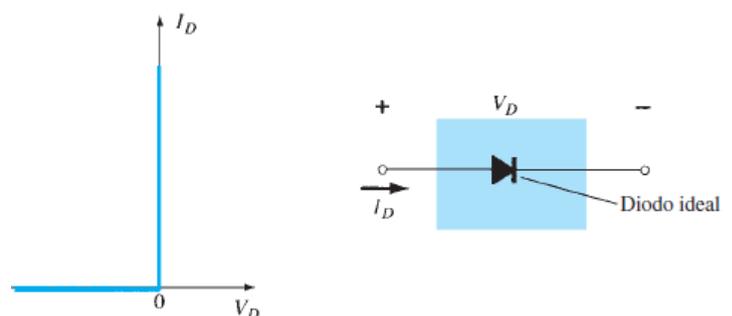
CIRCUITO EQUIVALENTE SIMPLIFICADO

En la mayoría de las aplicaciones " r_{prom} " es suficientemente pequeña para ser ignorada comparada con las demás dentro de la red. Esta aproximación se emplea en el análisis de circuitos semiconductores.



CIRCUITO EQUIVALENTE IDEAL

Este circuito equivalente ignora el umbral de $0,7V$, debido a que puede ser despreciable frente a la tensión aplicada. Esta aproximación se hace con frecuencia sin cometer errores apreciables.



HOJAS DE ESPECIFICACIONES DE DIODOS

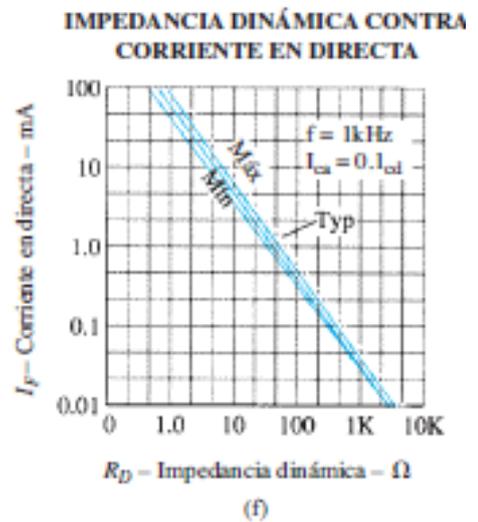
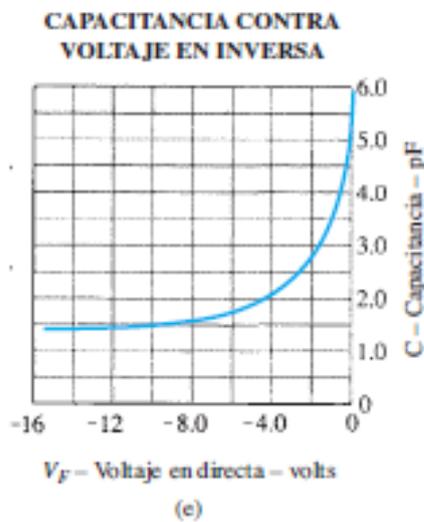
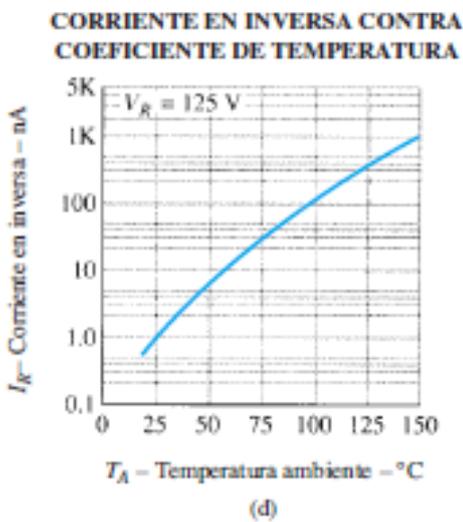
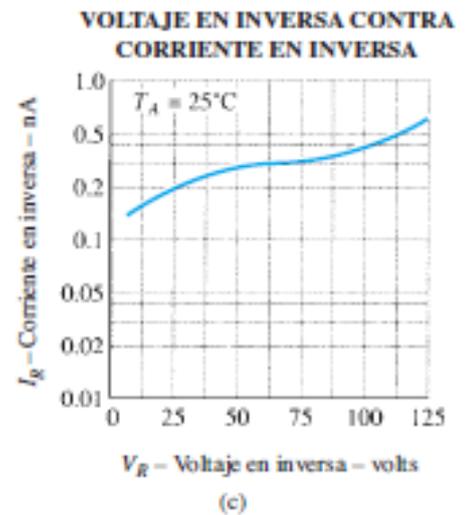
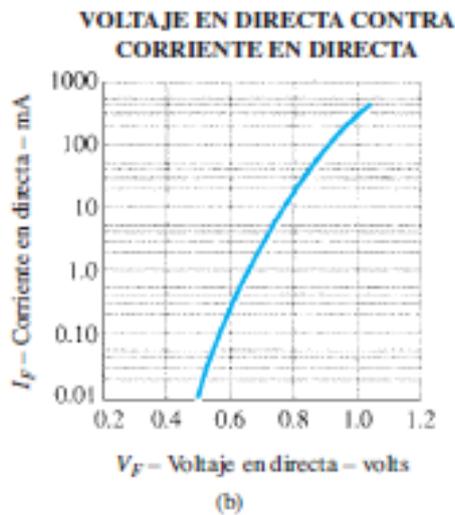
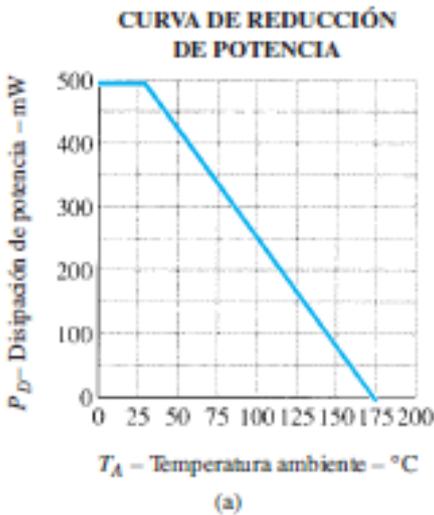
Es una hoja de especificaciones técnicas conocido como **datasheet**. Para un diodo semiconductor se incluye:

- El voltaje en directa (a una corriente y temperatura).
- La corriente máxima en directa " I_F " (a una temperatura).
- La corriente de saturación en inversa " I_R " (a un voltaje y temperatura).
- El valor nominal de voltaje inverso PIV (a una temperatura).
- Nivel de disipación de potencia máximo (a una temperatura).

$$P_{D\ Max} = V_D I_D$$

Utilizando el modelo simplificado se usaría $V_D = V_T = 0,7\ V$ para un diodo de Silicio.

- Nivel de capacitancia.
- Tiempo de recuperación en inversa " t_{rr} ".
- Intervalo de temperatura de operación.
- Otros: Intervalo de frecuencia, nivel de ruido, tiempo de conmutación, niveles de resistencia térmica y valores repetitivos pico.



DIODO PLANO DE SILICIO DIFUSO

• BV ... 125 V (MIN) @ 100 mA (BAY73)

CANTIDADES NOMINALES MÁXIMAS ABSOLUTAS (Nota 1)

Temperaturas

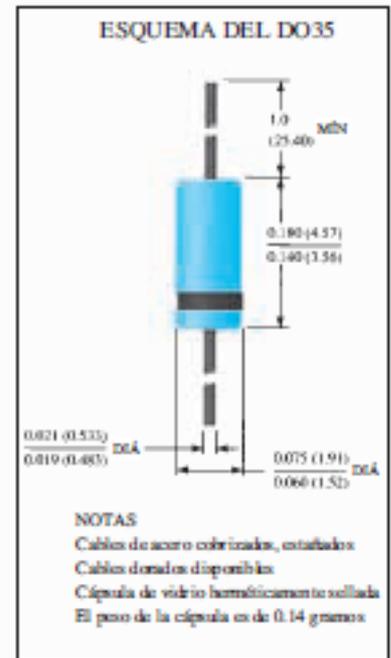
Intervalo de temperatura de almacenamiento	-65°C a +200°C
Temperatura máxima de operación en la unión	+175°C
Temperatura en las terminales de conexión	+260°C

Disipación de potencia (Nota 2)

Disipación de potencia nominal máxima total a 25°C de temperatura ambiente	500 mW
Factor de reducción de potencia lineal (a partir de 25°C)	3.33 mW/°C

Voltajes y corrientes nominales máximos

WIV	Voltaje en inversa de trabajo	BAY73	100 V
I_O	Corriente rectificadora promedio		200 mA
I_F	Corriente en directa continua		500 mA
i_f	Corriente directa repetitiva pico		600 mA
$i_{f\text{ sobrecorriente}}$	Sobrecorriente directa pico		1.0 A
	Ancho de pulso = 1 s		4.0 A
	Ancho de pulso = 1 μ s		4.0 A



CARACTERÍSTICAS ELÉCTRICAS (Temperatura ambiente de 25°C a menos que se indique lo contrario)

SÍMBOLO	CARACTERÍSTICA	BAY73		UNIDADES	CONDICIONES DE PRUEBA
		MÍN	MÁX		
V_F	Voltaje en directa	0.85	1.00	V	$I_F = 200$ mA
		0.81	0.94	V	$I_F = 100$ mA
		0.78	0.88	V	$I_F = 10$ mA
		0.69	0.80	V	$I_F = 10$ mA
		0.67	0.75	V	$I_F = 10$ mA
		0.60	0.68	V	$I_F = 10$ mA
I_R	Corriente en inversa		500	nA	$V_R = 20$ V, $T_A = 125^\circ\text{C}$
			1.0	μ A	$V_R = 100$ V, $T_A = 125^\circ\text{C}$
			0.2	nA	$V_R = 20$ V, $T_A = 25^\circ\text{C}$
			0.5	nA	$V_R = 100$ V, $T_A = 25^\circ\text{C}$
BV	Voltaje de ruptura	125		V	$I_R = 100$ μ A
C	Capacitancia		5.0	pF	$V_R = 0$, $f = 1.0$ MHz
t_r	Tiempo de recuperación en inversa		3.0	μ s	$I_F = 10$ mA, $V_R = 35$ V $R_L = 1.0$ a 100 k Ω $C_L = 10$ pF, JAN 256

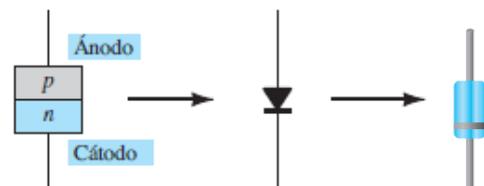
NOTAS:

1 Estas capacidades son valores límite sobre los cuales la funcionalidad del diodo puede verse afectada.

2 Éstos son límites de estado constante. Se deberá consultar al fabricante sobre aplicaciones que impliquen pulsos u operación de trabajo ligero.

NOTACIÓN PARA DIODOS SEMICONDUCTORES

La notación para diodos semiconductores se muestra en la figura. Las unidades comerciales vienen con una marca que indica el cátodo o el material tipo "n". La terminología ánodo y cátodo viene de la notación para tubos de vacío. El ánodo es el potencial positivo o más alto y el cátodo el terminal negativo o más bajo.



PRUEBA DE UN DIODO

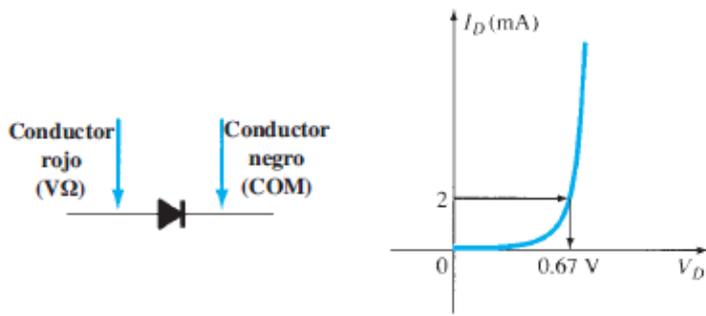
FUNCIÓN DE VERIFICACIÓN DE DIODOS CON TESTER

Con la función del tester en diodos se hace la conexión como se observa gráficamente. En estas condiciones el diodo se

encuentra en polarización directa sujeto a una corriente de alrededor de 2 mA, debido a una fuente de corriente constante interna. Para el Silicio el valor del voltaje mostrado en la pantalla deberá estar cerca de los 0,67 V.

Si la conexión se hace invertida, el diodo se encontrará polarizado en inversa, es decir, abierto, y la pantalla no mostrará tensión.

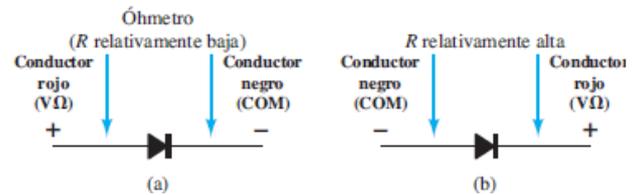
Si en ambas formas de conexión el tester no nos mostrara tensión, estaríamos en presencia de un diodo defectuoso.



PRUEBA CON UN OHMETRO

La resistencia de un diodo semiconductor conectado en directa es baja comparada con el valor en conexión en inversa. Por lo tanto, esto se puede verificar con un óhmetro. La pantalla indicará una función de la corriente establecida a través del diodo debido a una batería interna, que suele ser de 1,5 V.

Una lectura de resistencia alta en ambas direcciones indica un dispositivo defectuoso, sin embargo una lectura de resistencia muy baja puede indicar un dispositivo en cortocircuito.



CAPACITANCIAS DE DIFUSIÓN Y TRANSMISIÓN

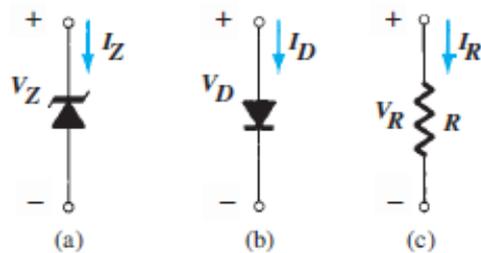
Todo dispositivo electrónico o eléctrico es sensible a la frecuencia. Incluso la resistencia es sensible a la frecuencia. A altas frecuencias se manifiestan efectos capacitivos e inductivos y afectan la impedancia del elemento.

En el diodo los niveles de capacitancia parásita son los que tienen mayor efecto.

falta

DIODO ZENER

Con algo de información sobre este efecto, se puede observar que la corriente cae casi verticalmente a partir de una determinada tensión de polarización inversa " V_Z ". Sin embargo, existe una ligera pendiente, que describe un leve nivel de resistencia. Los diodos comunes no funcionan en esta zona, sin embargo el diodo Zener viene especialmente diseñado para aprovechar esta región.



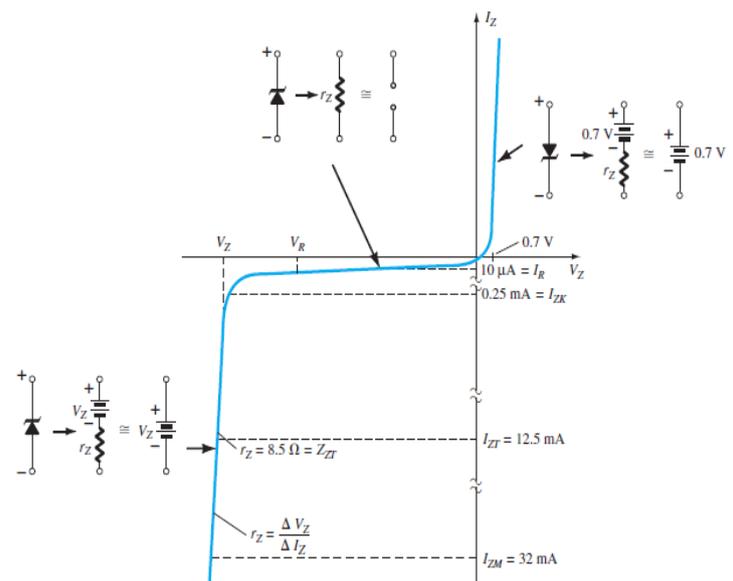
La conexión del dispositivo se hace en sentido opuesto a un diodo común, es decir, con la flecha apuntando a contracorriente.

EL valor de " V_Z " puede controlarse variando el nivel de dopado. Un incremento del mismo reduce el potencial Zener. Por las excelentes capacidades de corriente y temperatura, el Silicio es el material preferido para la fabricación de diodos Zener.

A continuación, se hace un análisis en todas las regiones de un diodo Zener, ya que algunos llegan a operar en la región de polarización directa.

- Por debajo de " V_Z " el equivalente es una tensión que debe ser superada, la misma " V_Z ", y una resistencia tan pequeña que en ocasiones puede ser despreciada.

- Entre " V_Z " y cero el diodo Zener se comporta como una resistencia muy alta. Tanto que en algunas aplicaciones se lo puede considerar por su equivalente, la llave abierta.
- En la zona de polarización directa el comportamiento es el de un diodo semiconductor.



En la hoja de especificaciones de un diodo Zener se presenta un **voltaje Zener nominal** promedio, junto a un porcentaje de error. Es decir. Un diodo de 10 V, 500 mW al 20 %, puede variar su voltaje Zener entre 8 V y 12 V.

El potencial Zener es muy sensible a la temperatura. La hoja de especificaciones lleva un coeficiente de temperatura. Para diodos cuyo voltaje Zener es menor a 5 V el coeficiente es negativo, y positivos para valores mayores a 5 V.

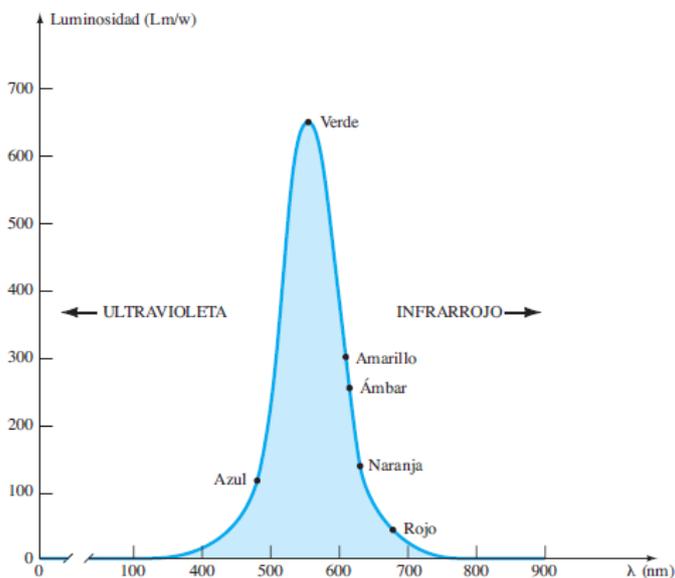
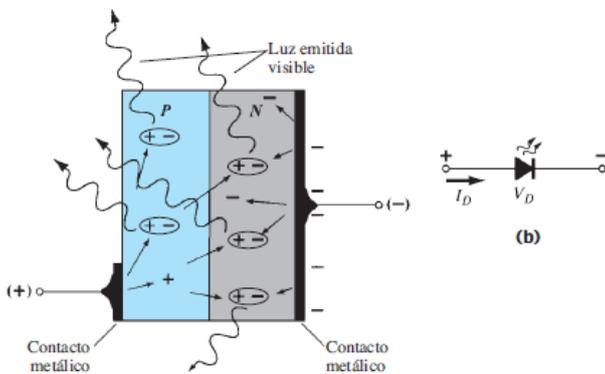
DIODOS EMISORES DE LUZ

El dispositivo **LED** es dispositivo con unión p-n. En esta zona cuando se lo polariza en directa, se producen recombinaciones de huecos y electrones. La recombinación obliga a los electrones libres a desprenderse de energía, que será disipada en forma de calor o de fotones.

Para diodos de Silicio y Germanio la energía disipada en forma de luz es insignificante, volviéndose inútiles para tal aplicación. Sin embargo, el Arseniuro de Galio emiten en la zona infrarroja que, a pesar de no ser visible, tiene potencial en varias aplicaciones (por ejemplo: el control remoto). Mediante combinación de otros elementos se puede generar luz visible. La tabla a continuación muestra algunos ejemplos.

Color	Construcción	Voltaje en directa típico (V)
Ámbar	AlInGaP	2.1
Azul	GaN	5.0
Verde	GaP	2.2
Naranja	GaAsP	2.0
Rojo	GaAsP	1.8
Blanco	GaN	4.1
Amarillo	AlInGaP	2.1

La construcción básica del **LED** se muestra en la figura siguiente. La superficie metálica conectada al material tipo "p" es más pequeña para permitir la salida del máximo de fotones de energía luminosa cuando el dispositivo se polariza en directa. Alguna cantidad de energía es absorbida por la estructura misma, sin embargo se libera un gran porcentaje.



El espectro de frecuencia de luz infrarroja es de 100 – 400 THz, y el de luz visible de 400 – 750 THz. La frecuencia está relacionada con la longitud de onda por $c = f\lambda$. El ojo percibe desde los 350 nm a los 800 nm, pero es más sensible en la zona de los 600 nm, correspondiente al color verde.

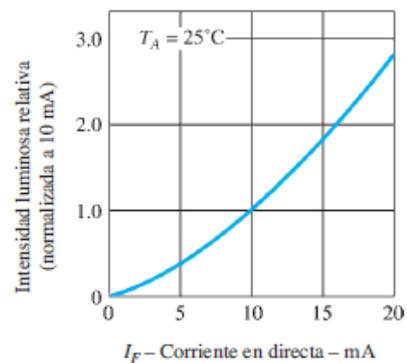
La cantidad de energía durante la recombinación está dada por la brecha de energía entre la zona de conducción y la de valencia, y se expresa mediante:

$$E_g = \frac{hc}{\lambda}$$

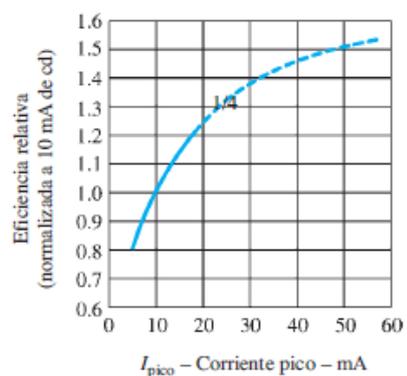
Donde h es la constante de Planck.

Algunas características que trae el **datasheet** son:

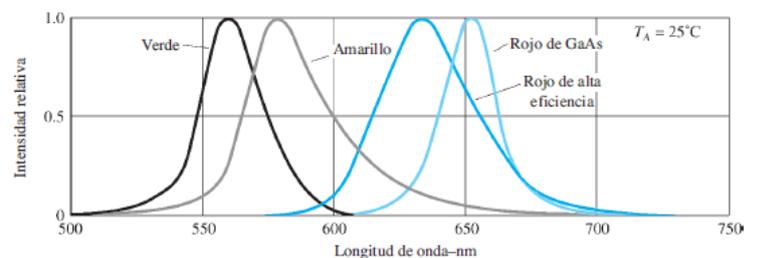
- La corriente en directa pico (unos 60 mA).
- La corriente en directa promedio típica (alrededor de 20 mA).
- La tensión en directa (alrededor de 2,2 – 3 V).
- La intensidad lumínica axial (en candelas). Esta se incrementa junto con la corriente en directa hasta que se alcanza un punto de saturación en donde al aumentar la corriente no se perciben importantes niveles de luminosidad.



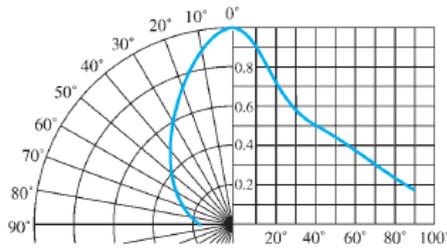
- Eficiencia relativa.



- La eficacia luminosa.
- Respuesta del ojo humano.



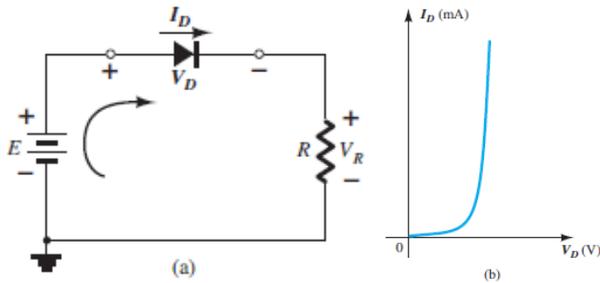
- Intensidad luminosa contra ángulo.



- Voltaje de ruptura en polarización inversa (generalmente entre 3 – 5 V). Comparativamente los diodos semiconductores presentan valores de miles de Volts. Se suelen diseñar circuitos protectores.

ANÁLISIS POR MEDIO DE RECTA DE CARGA

En este apartado describiremos la configuración más sencilla de un diodo. La configuración es la siguiente:



El problema se reduce a determinar los niveles de corriente y voltaje que satisfagan, simultáneamente, tanto las características del diodo como los parámetros de la red.

Al analizar el circuito se observa que la fuente de c.d., ejerce presión para establecer una corriente en sentido de la flecha del diodo. Esto significa que la polarización es en directa.

El análisis se conoce como análisis por medio de **recta de carga**. Si colocamos los parámetros del diodo en un sistema de ejes cartesianos y al mismo tiempo se grafican los parámetros definidos por la red, se tendrá la curva del diodo y la **recta de carga**, dando un punto de intersección conocido como **punto de operación**. Este punto define la solución para la red.

Aplicando Kirchhoff se obtiene:

$$E = V_D + V_R = V_D + I_D R$$

La recta de carga se obtiene mediante la unión de los dos siguientes puntos en la representación gráfica:

- $V_D = 0 \therefore I_D = \frac{E}{R} \rightarrow$ Punto: $(0; \frac{E}{R})$.
- $I_D = 0 \therefore E = V_D \rightarrow$ Punto: $(V_D; 0)$.

Al variar la resistencia de carga "R", la intersección con el eje vertical se modifica junto con la pendiente de la recta de carga. Por lo tanto, se obtiene un punto de intersección diferente.

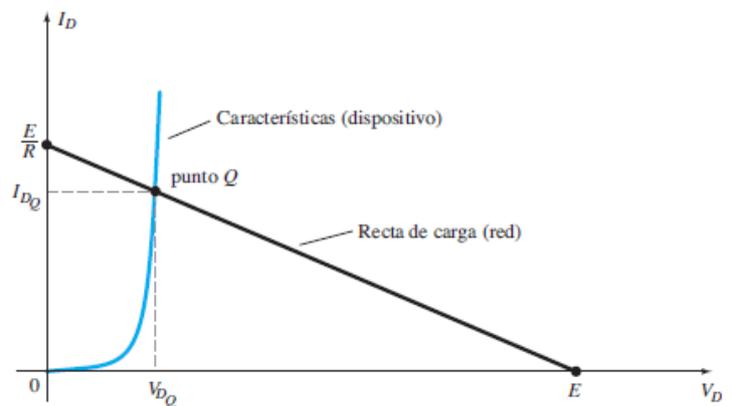
En definitiva obtenemos la intersección en "Q", la solución para la red, mediante un método gráfico. Este punto no es más que la intersección entre las funciones:

$$E = V_D + I_D R$$

$$I_D = I_S (e^{V_D/nV_T} - 1)$$

Sin embargo, al tener una de las curvas carácter de no lineal, los métodos implicados son complicados.

En ciertos casos se puede utilizar las aproximaciones de la curva del diodo vistan con antelación.

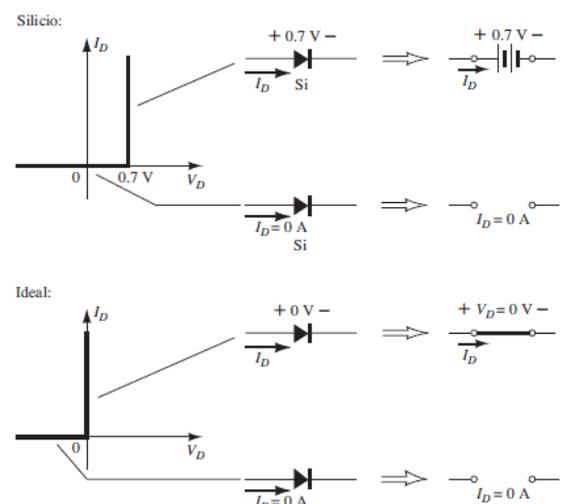


CONFIGURACIÓN DE DIODOS EN SERIE

En general, la resistencia en directa del diodo es tan pequeña comparada con los demás elementos de la red, que puede ser omitida. Para la zona de conducción la diferencia entre un diodo de Silicio y el diodo ideal es el desplazamiento de la curva en un valor de $0,7 V$, caracterizada por una fuente a contracorriente. Para valores inferiores la resistencia es tan alta que puede considerarse una llave abierta.

Para el Germanio el voltaje desplazado es de $0.3 V$ y para el Arseniuro de Galio de $1,2 V$. A partir de estos voltajes citados, se considera que el diodo se encuentra encendido.

falta



CONFIGURACIÓN EN PARALELO Y EN SERIE-PARALELO

EJEMPLO 1

Abordaremos la configuración en paralelo a través de un ejemplo práctico mostrado en la figura. Supondremos que los diodos se comportan idealmente y que presentan la barrera de $0,7 V$. Se observa que la fuente ejerce presión en dirección en sentido de las flechas de los diodos, lo cual indica que la polarización es en directo. Se puede resolver la situación aplicando Kirchhoff en las dos mayas. Se tendrá entonces:

$$E = V_R + V_{D1} = RI_1 + V_{D1} \therefore 10 V = 0,33 k\Omega \cdot I_1 + 0,7 V$$

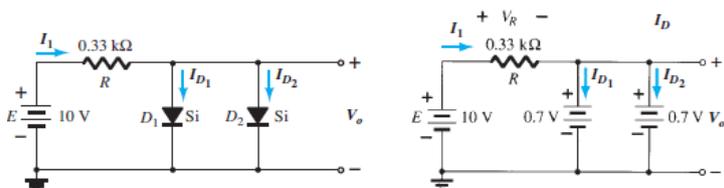
$$E = V_R + V_{D2} = RI_1 + V_{D2} \therefore 10 V = 0,33 k\Omega \cdot I_1 + 0,7 V$$

De cualquier ecuación se obtiene el valor de la corriente por la resistencia "R":

$$I_1 = \frac{10 V - 0,7 V}{0,33 k\Omega} = 28,18 mA$$

Debido a que los diodos son iguales, la corriente que circula a través de ellos es exactamente la mitad de la corriente que circula por la resistencia:

$$I_{D1} = I_{D2} = \frac{28,18 mA}{2} = 14,09 mA$$

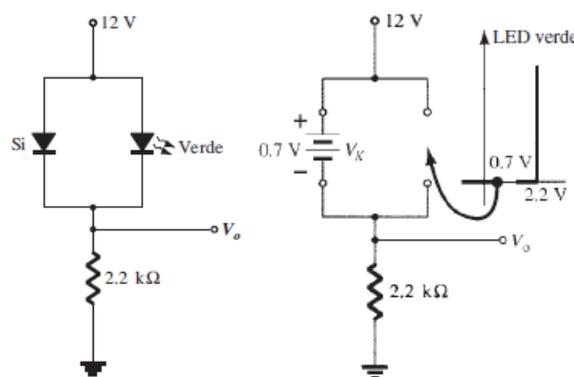


Una conclusión que se puede sacar del ejemplo es que la conexión en paralelo limita el nivel de corriente a un valor seguro de $14,09 mA$, ya que el valor de $28,18 mA$ dañaría un diodo.

EJEMPLO 2

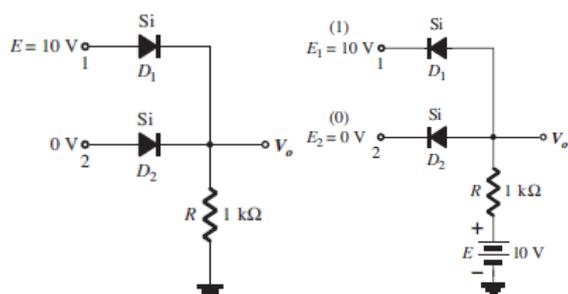
En la siguiente configuración parecería que los dos diodos se encuentran encendidos, debido a que el voltaje aplicado está tratando de establecer una corriente a través de cada diodo. Sin embargo, si ambos estuvieran encendidos, habría más de un voltaje a través de los diodos en paralelo, lo que violaría una de las reglas básicas del análisis de redes: "voltaje iguales en elementos paralelos".

La situación que hay que considerar es que en un microsegundo, el voltaje asciende de $0 V$ a $12 V$ durante el encendido. Al llegar a los $0,7 V$ el diodo se enciende y mantiene ese nivel. Este valor no supera los $2,2 V$ que requiere el LED para encenderse, por lo tanto, su configuración será equivalente a una llave abierta.



COMPUERTAS AND/OR

Compuerta OR a la izquierda y AND a la derecha.



COMPUERTA OR

En una compuerta OR el nivel de voltaje de salida es 1 (nivel de voltaje ALTO) si una o ambas entradas valen 1, y será 0 (nivel de voltaje BAJO) si ambas entradas valen 0.

El análisis se hará mediante el modelo equivalente con la barrera de voltaje $0,7 V$. En general, el mejor método es establecer una percepción básica del estado de los diodos observando la dirección y la "presión" establecida por los potenciales aplicados.

En el ejemplo siguiente se nos pide conocer el valor de " V_0 ". Solo existe potencial en el terminal 1, la cual ejerce presión para

encender el diodo 1. Por su parte, el diodo 2 se encuentra conectado a tierra y apagado. Se cumple entonces que:

$$E = V_{D1} + V_0$$

$$V_0 = E - V_{D1} = 10 V - 0,7 V = 9,3 V$$

A pesar de que el nivel de voltaje no es de $10 V$, el valor de $9,3 V$ es suficiente como para considerar un estado 1. La situación es similar para las dos terminales conectadas a $10 V$. Sin embargo, el estado de salida es 0 cuando las terminales se conectan a tierra.

COMPUERTA AND

El problema planteado con la nueva consideración suscita el mismo inconveniente: conocer el nivel de " V_0 ". Esta configuración presenta una tensión en la rama común de igual valor pero opuesta en sentido que las tensiones aplicadas sobre los terminales.

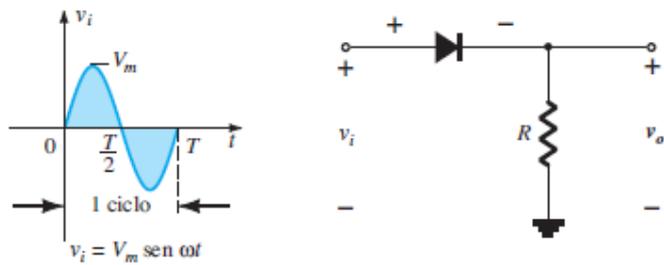
A pesar de estar el diodo 1 conectado a $10 V$ desde la rama común, la tensión del terminal 1, también de $10 V$, se opone y apaga el diodo 1. Por otro lado, el diodo 2 se encuentra encendido. El modelo aproximado nos dice que la tensión umbral es de $0,7 V$,

por lo tanto, la tensión de salida es $V_0 = 0,7 V$, la cual es lo suficientemente baja como para ser considerada nula.

Para el caso de tener dos entradas en 1 los dos diodos se encontrarían apagados y la tensión de salida sería $V_0 = 10 V$.

ENTRADAS SENOIDALES - RECTIFICACIÓN DE MEDIA ONDA

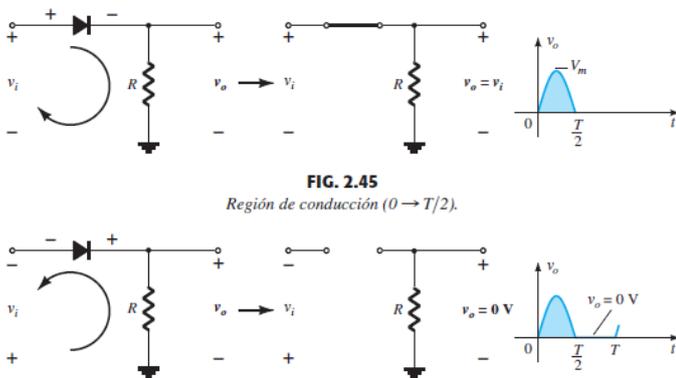
La red más sencilla se puede ver representada en la siguiente figura:



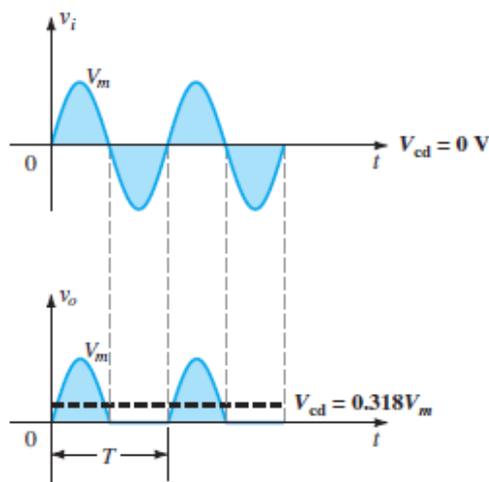
Puede verse que a lo largo de un ciclo completo durante el periodo T el voltaje promedio de entrada es cero. El diodo en esta aplicación se conoce como **rectificador**. La resistencia R representa la **carga** a la cual hay que alimentar.

Durante el hemiciclo positivo ($0; T/2$), el diodo se polariza en directo. Utilizando el equivalente ideal, se representa por una llave cerrada. La señal de salida en estas condiciones es una réplica exacta de la señal aplicada.

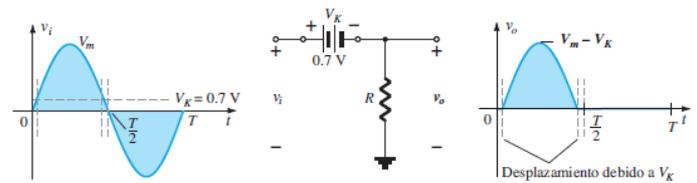
Durante el hemiciclo negativo ($T/2; T$), el diodo se polariza en inversa. El equivalente ideal es una llave abierta. El resultado es un voltaje cero a la salida.



El resultado se muestra gráficamente a continuación:



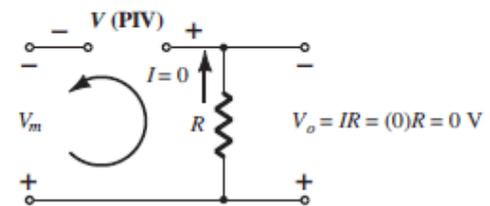
En la operación real del diodo, se debe considerar la tensión de ruptura de $0,7 V$. La onda de salida se modifica de la siguiente forma:



PIV

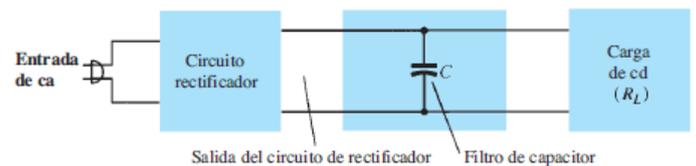
La **capacidad de voltaje inverso pico PIV** del diodo es de primordial importancia en sistemas de rectificación. Este no debe exceder el valor nominal del voltaje en la región de polarización en inversa o el diodo entrará en la región de avalancha Zener. Aplicando Kirchoff se llega a:

$$PIV \text{ nom} \geq V_m$$



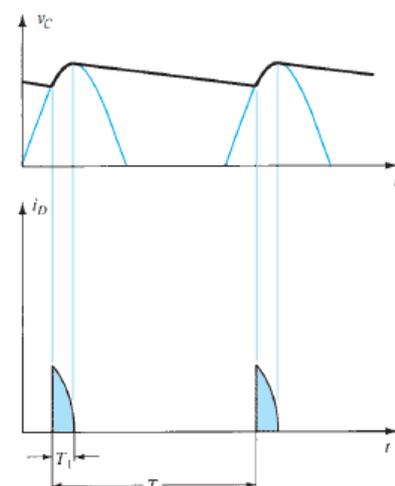
FILTRADO

Para aproximar la tensión de salida a un valor continuo, es decir aproximar el valor pico al valor medio, se utilizan filtros capacitivos, y en algunos casos filtros LC . La conexión de estos se realiza en paralelo como se muestra a continuación.



El capacitor en este esquema se cargará hasta el valor pico, y luego se descargará por la resistencia de carga actuando como fuente. Luego, cuando la tensión de entrada supere a la de salida, el diodo se vuelve a cargar.

Para la conexión de rectificado de media onda, con un solo diodo, se tiene la siguiente onda de salida:



Se observa que la tensión es más parecida a un valor constante, sin embargo aún contiene algo de alternancia conocido como **ripple** o **rizado**. Capacitores mayores producen menor rizado.

La descarga del capacitor ocurre en un tiempo:

$$\tau = R_L C$$

La segunda gráfica muestra la corriente de recarga del capacitor. La carga inicial es mayor debido a que el capacitor se

encuentra descargado completamente (no se observa en la gráfica), posteriormente las recargas siguen picos más pequeños. Una mayor capacitancia se traduce en picos más elevados y angostos. Esta corriente debe ser considerada al momento de seleccionar un diodo, junto con la corriente pico inicial cuando el capacitor se encuentra descargado.

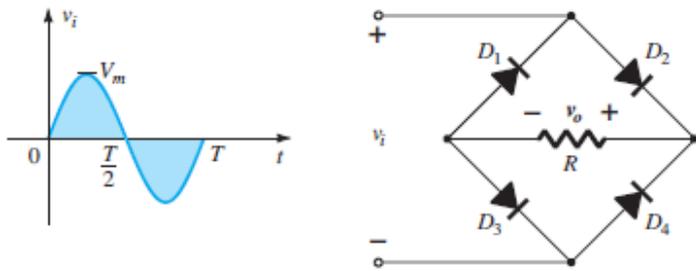
RECTIFICACIÓN DE ONDA COMPLETA

RECTIFICADOR PUENTE

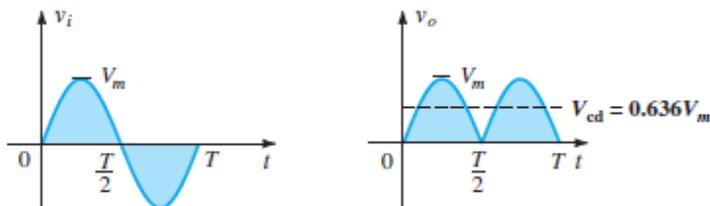
El nivel de c.d. obtenido a partir de una entrada senoidal se puede mejorar 100% mediante esta conexión, respecto al rectificador anterior. La red más conocida para tal fin se presenta a continuación y se conoce como conexión tipo **punto**.

Durante el hemisiclo positivo ($0; T/2$), se encienden los diodos 2 y 3. El resultado es la corriente de "+" a "-" por la carga, y un voltaje de salida idéntico al de entrada.

Durante el hemisiclo negativo ($T/2; T$), los diodos encendidos son 1 y 4. Otra vez el resultado es una corriente de "+" a "-" a través de la carga, sin embargo hay una inversión de voltaje de entrada.

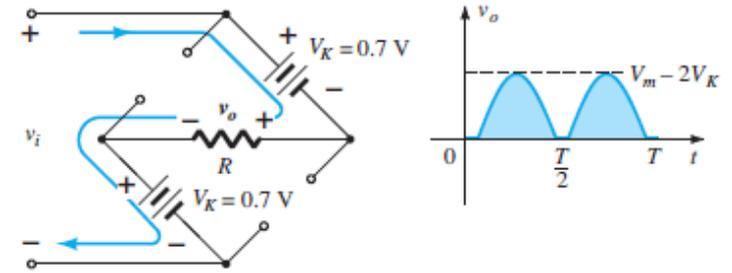


Por lo tanto, la configuración del voltaje de salida se muestra comparativamente con el de entrada en la siguiente imagen:



Nótese que el valor medio del voltaje en este caso, es del doble que en la rectificación de media onda. Además las corrientes que circulan por los diodos son menores.

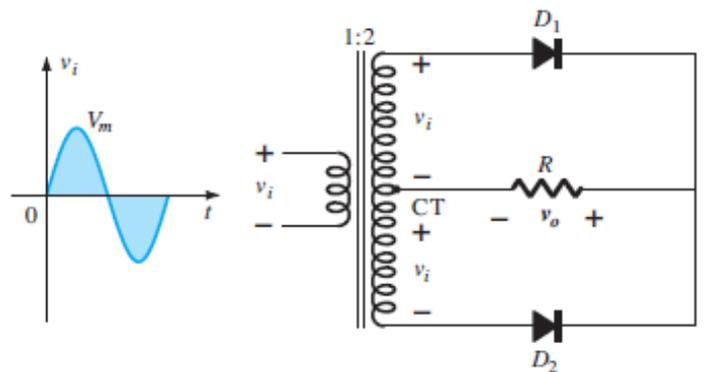
Al hacer el análisis con diodos reales se obtiene la siguiente tensión de salida:



El filtrado se suele hacer con el agregado de un capacitor en paralelo de la misma manera que para la rectificación de media onda. En este caso, el ruido es casi de la mitad.

TRANSFORMADOR CON DERIVACIÓN CENTRAL

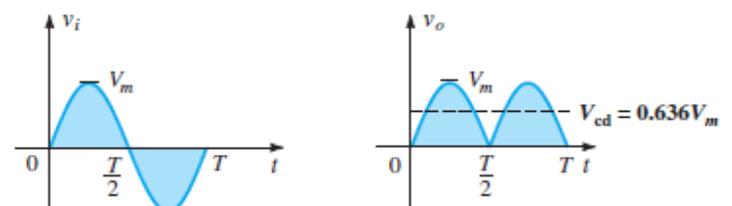
Esta configuración solo utiliza dos diodos, pero requiere un transformador con derivación central, que debe ser del doble de la tensión total.



Durante el hemisiclo positivo ($0; T/2$), solo se enciende el diodo 1, dando como resultado una corriente a través de la carga en sentido "+" a "-".

Durante el hemisiclo negativo ($T/2; T$), el diodo inferior 2 se enciende y permite el paso de la corriente en el mismo sentido.

El resultado es el mismo que la conexión tipo puente. La tensión de entrada es senoidal, y la tensión de salida deja pasar los hemisiclos positivos, e invierte los hemisiclos negativos.

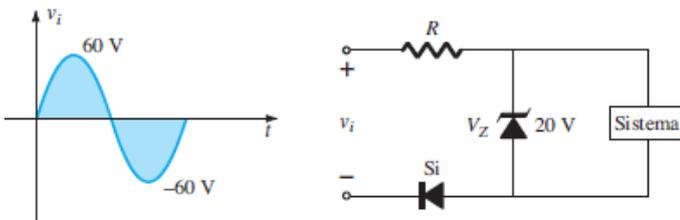


DIODOS ZENER (REGULADOR)

Los **diodos Zener** pueden ser usados para establecer niveles de voltaje de referencia y actuar como un dispositivo protector. Es decir, el diodo Zener puede ser usado como **regulador**. Esto combina elementos para garantizar que el voltaje de salida de una fuente permanezca más o menos constante.

EJEMPLO

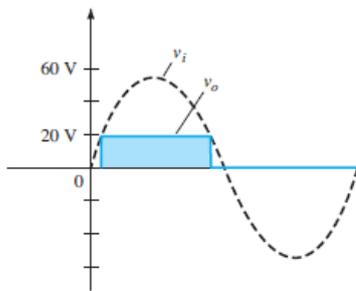
La red está diseñada para limitar el voltaje a 20 V durante el hemiciclo positivo, y a 0 V durante el hemiciclo negativo.



Para voltajes positivos menores al potencial Zener de 20 V, el diodo Zener se comportará idealmente como un circuito abierto, y la señal de entrada se distribuirá a través de los elementos, mayormente en el sistema por su alta resistencia.

Al llegar a los 20 V, el diodo Zener se enciende y el voltaje a través del sistema se mantendrá en el mismo valor. El voltaje del diodo será de 0,7 V y los aumentos ulteriores de voltaje caerán sobre la resistencia en serie. Por lo tanto, el sistema es seguro contra cualquier incremento adicional de voltaje aplicado.

Durante el hemiciclo negativo el diodo se polariza en inversa y actúa como una llave abierta. Entonces sobre el sistema llega la siguiente señal:



V_i Y R FIJOS

El análisis se puede dividir en dos pasos:

- Determinar el estado del diodo Zener eliminándolo de la red y calcular el voltaje a través del circuito abierto resultante.

Con esta consideración, según Kirchhoff:

$$V_i = IR + V_L = IR + IR_L = I(R + R_L)$$

$$I = \frac{V_i}{R + R_L}$$

Por lo tanto:

$$V = V_L = IR_L = \frac{V_i R_L}{R + R_L}$$

Si $V \geq V_Z$ el diodo Zener está encendido y se comporta como un circuito cerrado.

Si $V < V_Z$ el diodo Zener está apagado y se comporta como un circuito abierto.

- Sustituir el circuito equivalente apropiado y resolver las cantidades desconocidas.

Para el estado encendido se cumple que:

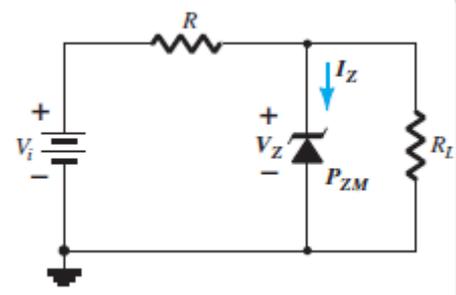
$$V_Z = V_L$$

La corriente a través del diodo Zener será:

$$I_Z = I_R - I_L$$

La potencia disipada:

$$P_Z = V_Z I_Z$$



V_i FIJO Y R_L VARIABLE

Una resistencia de carga " R_L " pequeña logrará que el voltaje " V_L " sea menor que " V_Z " y el diodo Zener esté apagado.

Para determinar la resistencia mínima que encenderá el diodo Zener hacemos $V_Z = V_L$:

$$V_Z = V_L = \frac{V_i R_L}{R + R_L}$$

$$R_{LMin} = \frac{V_Z R}{V_i + V_Z}$$

Valores mayores a este, mantendrá encendido el diodo Zener, y se podrá reemplazar en el análisis por una fuente equivalente.

Por otro lado, se define para la resistencia mínima su valor de corriente máxima:

$$I_{LMax} = \frac{V_L}{R_L} = \frac{V_Z}{R_{LMin}}$$

Al estar encendido el diodo Zener, el voltaje " V_R " se mantiene fijo en:

$$V_R = V_i - V_Z$$

La corriente I_R también:

$$I_R = \frac{V_R}{R}$$

La corriente por el diodo Zener será:

$$I_Z = I_R - I_L$$

Esta corriente será mínima cuando " I_L " es máxima, y máxima cuando " I_L " es mínima, puesto que " I_R " es constante.

R_L FIJO Y V_i VARIABLE

En estas condiciones el voltaje debe ser lo bastante grande para encender el diodo Zener. El voltaje de encendido mínimo es:

$$V_Z = V_L = \frac{V_{i \text{ Min}} R_L}{R + R_L}$$

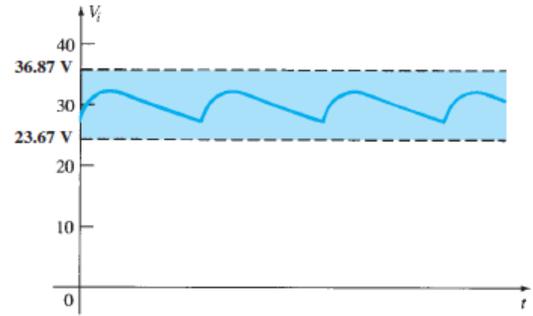
$$V_{i \text{ Min}} = \frac{(R + R_L) V_Z}{R_L}$$

Sin embargo, la corriente de Zener máxima limita el valor máximo de la tensión de entrada " $V_{i \text{ max}}$ ".

$$I_{R \text{ Max}} = I_{ZM} + I_L$$

$$V_{i \text{ max}} = V_{R \text{ Max}} + V_Z = I_{R \text{ Max}} R + V_Z$$

La entrada podría tener la forma de la siguiente figura y la salida permanecería constante con la implementación de un diodo Zener.



APLICACIÓN DE LOS DIODOS

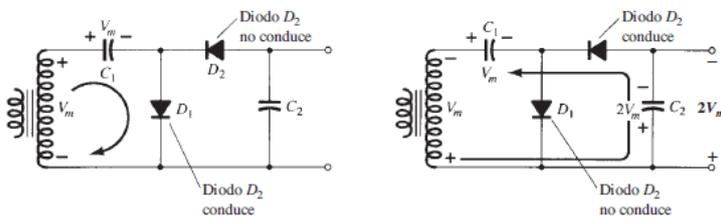
MULTIPLICADORES DE VOLTAJE

A continuación se presenta el duplicador de media onda. Durante el hemicycle positivo el diodo " D_1 " se cierra mientras " D_2 " se encuentra abierto, permitiendo que el capacitor " C_1 " se cargue a una tensión de " V_m ". Durante el hemicycle negativo " D_1 " se abre mientras que " D_2 " se encuentra cerrado. Esta vez se carga el capacitor " C_2 ". Aplicando Kirchoff a la malla externa se tiene:

$$V_m - V_{C2} + V_{C1} = 0$$

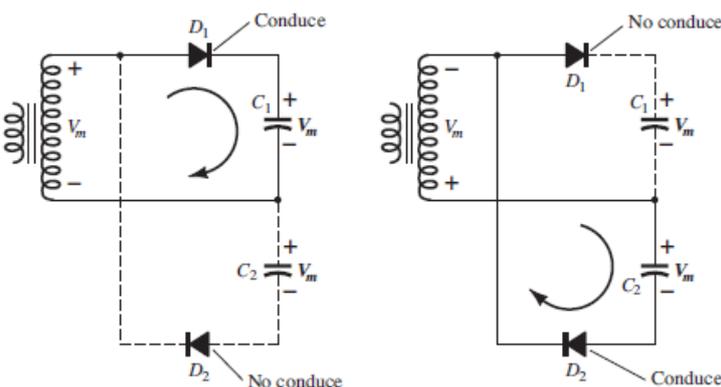
Pero siendo $V_{C1} = V_m$, se tiene que:

$$V_{C2} = 2V_m$$

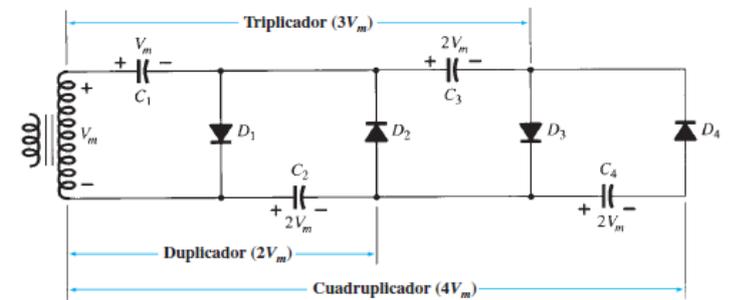


Durante el próximo hemicycle positivo el capacitor " C_2 " se descargará por una eventual carga conectada, ya que " D_2 " está abierto.

Otro conexionado para duplicar voltaje se muestra a continuación. Durante el hemicycle positivo conduce " D_1 " y se carga " C_1 " a " V_m ". Durante el hemicycle negativo conduce " D_2 " y se carga " C_2 ". El voltaje inverso pico a través de cada diodo será de " $2V_m$ ".



Existen triplicadores y cuatruplicadores y demás. Estos se pueden conseguir con el esquema a continuación que su funcionamiento es similar al primer duplicador de voltaje.

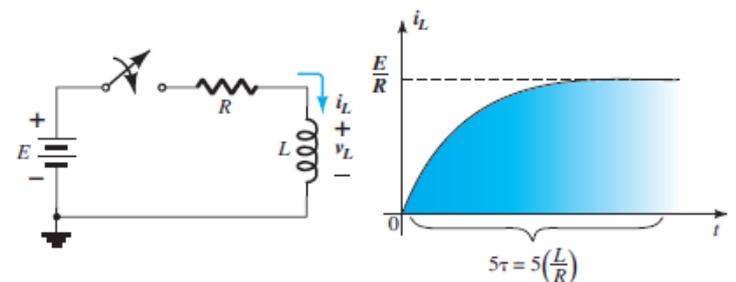


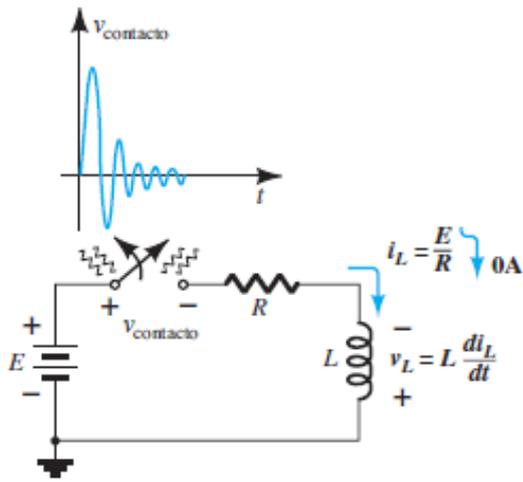
CONFIGURACIONES DE PROTECCIÓN

Los diodos se utilizan para proteger elementos y sistemas contra voltajes o corrientes excesivos, inversiones de polaridad, formación de arcos, cortocircuitos, etc. Un ejemplo común sucede en los circuitos RL , en particular se producen arcos en el interruptor en el momento de la apertura. En ese momento la corriente debe reducirse casi instantáneamente, y la bobina responde ante esta variación. El voltaje a través del inductor es:

$$v_L = L \frac{di_L}{dt}$$

Siendo la variación de corriente muy rápida, se desarrolla entre los bornes del interruptor una gran tensión, y consecuentemente un arco. Este puede dañar los bornes del interruptor. El efecto conocido como **reacción inductiva**, es el que se produce en los relés, ya que el electroimán que controla el interruptor no es más que una bobina.

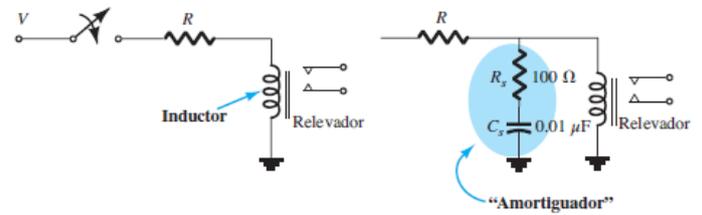




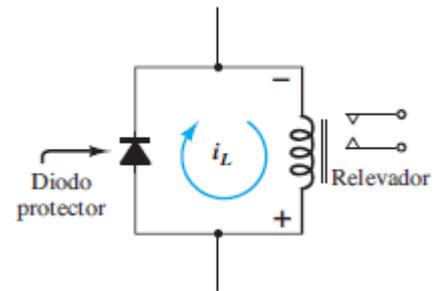
Una forma de proteger el circuito es colocando un capacitor, llamado **amortiguador**, a través de las terminales de la bobina. Cuando el interruptor se abre, el capacitor inicialmente aparece como un cortocircuito ante la bobina y proporciona una ruta de escape para la corriente. El comportamiento como cortocircuito es debido a la alta frecuencia del voltaje, siendo su reactancia:

$$X_c = \frac{1}{2\pi fC}$$

Se suelen utilizar capacitores cerámicos de baja capacidad, ya que uno grande se cargaría muy lentamente. La resistencia en serie se utiliza para limitar la sobrecorriente, aunque se suele obviar debido a que generalmente la bobina proporciona por sí misma una resistencia.



Otra forma de protección se realiza con un diodo en paralelo con el elemento inductivo. Cuando se abre el interruptor la polaridad del voltaje de la bobina es tal que enciende el diodo y conduce en la dirección indicada. El diodo actúa como vía de escape para la reacción de la bobina, y se evita la creación de arcos. Además, debe soportar los niveles de corriente. Se puede colocar una resistencia en serie con el diodo, para limitar la corriente. La ventaja del diodo sobre el amortiguador es que sus características no dependen de la frecuencia. Sin embargo, los diodos no sirven cuando la alimentación es alterna.



U1: FUNDAMENTO Y DISPOSITIVOS BIPOLARES BÁSICOS

D: TRANSISTOR BIPOLAR

TEMAS:

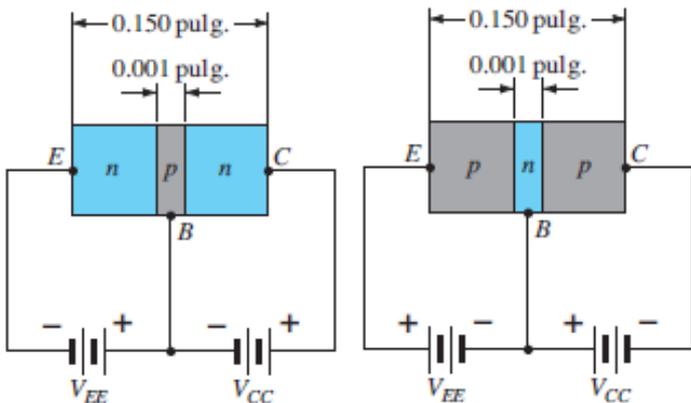
- Introducción a los componentes activos.
- Transistor bipolar.
- Polarización.
- Curvas.

Boylestad 10ma. Edición: u.3 pág. 131

Al transistor le preceden históricamente dispositivos menos eficientes como el tubo de vacío o bulbo y el tríodo.

CONSTRUCCIÓN DE UN TRANSISTOR BIPOLAR

El transistor bipolar es un dispositivo semiconductor de tres capas que consta de dos capas de material tipo "n" y una de material tipo "p" o de dos capas de material tipo "p" y una de material tipo "n". El primero se llama **transistor "npn"** y el segundo **transistor "pnp"**. La capa de emisor *E* está muy dopada, el colector *C* en menor medida y luego la base *B* solo ligeramente. Se observa que los materiales externos son muchos más grandes, además, el material central está dopado en menor medida. Esto logra menor conductividad, al incrementar la resistencia y limitar el número de portadores libres.

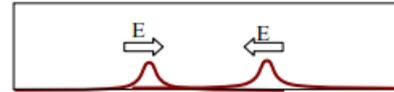


A continuación se muestra el proceso de formación de la barrera de potencial de un semiconductor "npn". Controlando la barrera de potencial se podrá controlar la corriente que circula a través del transistor. Para esto se conectan terminales en cada región y se polarizan.

Carga espacial resultante **positiva y negativa**



Campo eléctrico debido a la carga espacial



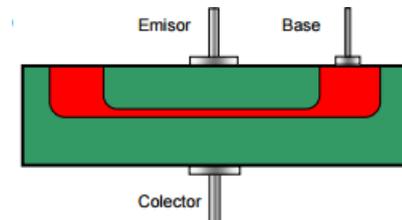
Barrera de potencial para electrones y huecos
Para los electrones de las zonas N la barrera es una especie de loma o compuerta de paso.



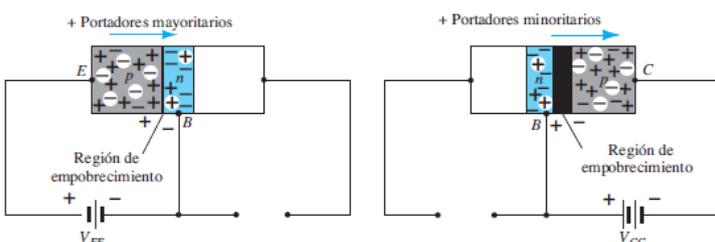
Regulando la altura de esta compuerta se lograría comunicar ambas zonas N, y los electrones pasarían hacia uno y otro lado.



El diseño constructivo real del transistor se parece más a la siguiente figura:



OPERACIÓN DEL TRANSISTOR

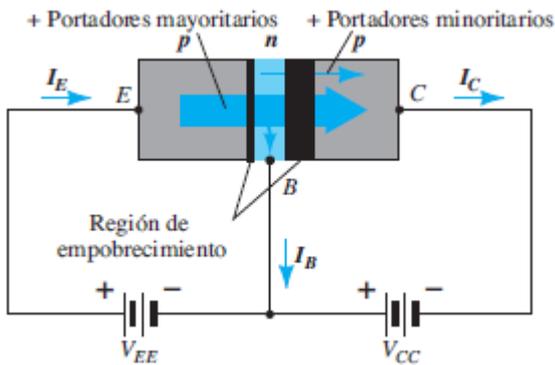


Se describirá la operación básica del transistor "pnp", la cual es equivalente al "npn" con los roles de huecos y electrones intercambiados. Supongamos que se quita la polaridad entre base

y colector " V_{CC} ". La situación se asemeja a la de un diodo polarizado en directa. El ancho de la región de empobrecimiento se reduce y el resultado es un flujo de portadores mayoritarios más intenso del material tipo "p" al tipo "n".

Si analizamos ahora al transistor pero sin polarización entre la base y el emisor " V_{EE} " se tendrá la situación del diodo polarizado en inversa. El flujo de portadores mayoritarios es cero, y el de los paradores minoritarios se dirige del material tipo "n" al tipo "p".

El efecto combinado es un flujo desde el colector al emisor. Una gran cantidad de portadores mayoritarios se difundirá a través de la unión p-n polarizada en directa hacia el material tipo "n". Debido a que esta región es muy delgada y con baja conductividad, un número pequeño de estos portadores tomarán la ruta de alta resistencia hacia la base. La magnitud de esta corriente está en el orden de los microamperes, comparativamente la corriente emisor-colector se encuentra en los miliamperes. La mayor parte de los portadores mayoritarios se difundirá a través de la unión polarizada en inversa hacia el material tipo "p" conectado al colector.



Según la ecuación de Kirchoff:

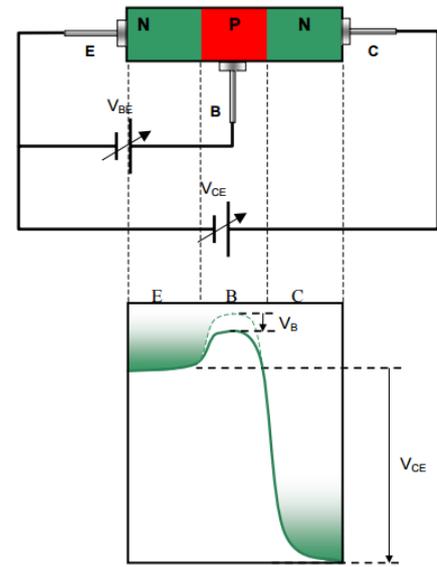
$$I_E = I_B + I_C$$

La corriente del colector, por su parte, consta de dos componentes, una de los portadores mayoritarios y otra de los portadores minoritarios, esta última conocida como corriente de fuga.

$$I_C = I_{C\ Max} + I_{CO\ Min}$$

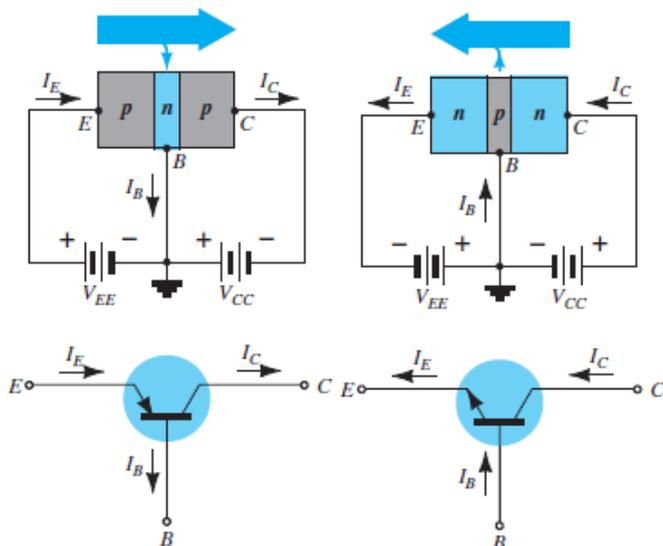
Se debe destacar que al ser " I_{CO} " una corriente de polarización en inversa, la temperatura suele tener gran influencia sobre ella, y afecta la estabilidad del transistor.

Si evaluamos la situación en términos de potenciales, como muestra la siguiente figura (esta vez conectado en emisor común) con un diodo conectado en emisor común, se observa que la polarización externa del diodo causa desniveles en la barrera de potencial. Al estar el emisor conectado a un potencial negativo y el colector a uno positivo, habrán más electrones en el emisor con la energía necesaria para superar la barrera y que no se recombinen en la base. Así caerán al emisor.



CONFIGURACIÓN EN BASE COMÚN

La notación y simbología comúnmente utilizada se muestra a continuación en su conexión **base común**.



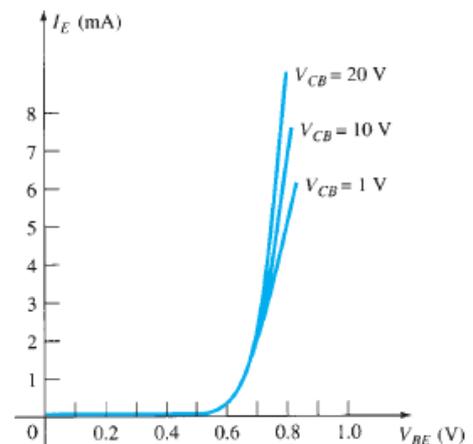
La **corriente convencional** con la que trabajan la mayoría de los libros es la de los **huecos** y no la de electrones. En cada caso se cumple que:

$$I_E = I_B + I_C$$

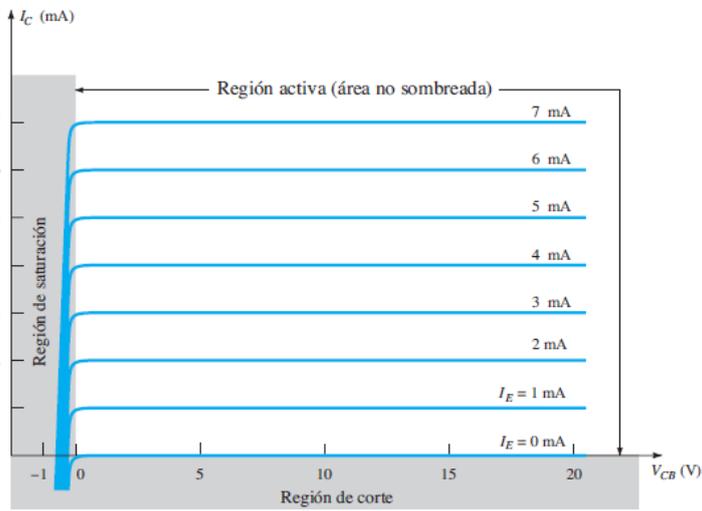
Además, la polaridad que establece cada fuente es consistente con la corriente en cada rama.

Para describir plenamente el comportamiento de un dispositivo con tres terminales se requiere dos conjuntos de características, uno para los parámetros de entrada (punto de manejo), y otro para el lado de salida.

Para la **entrada** en base común se utiliza la corriente de entrada " I_E " y un voltaje de entrada " V_{BE} " para varios niveles de voltaje de salida " V_{CB} ".



En la **salida** se relaciona la corriente de salida " I_C " con un voltaje de salida " V_{CB} " para varios niveles de corriente de entrada " I_E ". Esta gráfica presenta tres regiones de interés: **región activa**, **región de corte** y **región de saturación**.



En la zona inferior a la **región activa** la corriente de emisor " I_E " es cero, y el colector es simplemente el que produce la corriente de saturación inversa " I_{CO} ". Esta es tan pequeña comparativamente con la escala de " I_C " que se puede considerar cero.

Al incrementar la corriente de emisor " I_E ", la corriente del colector " I_C " aumenta proporcionalmente. Además, hay que destacar que la tensión " V_{CB} " tiene efectos casi insignificantes sobre la corriente del colector " I_C " en la región activa. Una primera aproximación está dada por:

$$I_E \approx I_C$$

Por lo tanto, la **región de corte** es aquella en donde la corriente del colector " I_C " es cero. En esta zona, tanto la unión base-emisor como la base-colector están polarizadas en inversa.

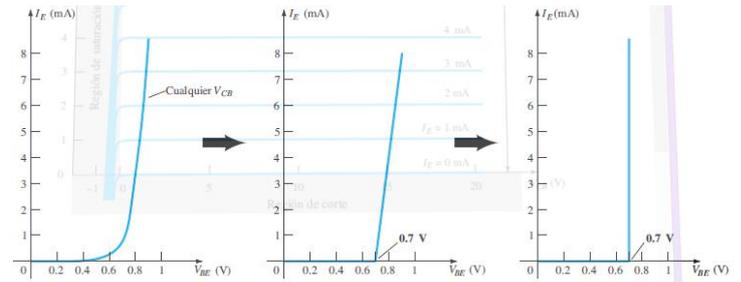
Por su parte, en la **región de saturación** se cumple " V_{CB} " es cero. Aquí, la región de base-emisor y base-colector se polarizan en directa.

Las características de entrada revelan que para valores fijos del voltaje de colector " V_{CB} " el comportamiento es muy parecido al de un diodo. Debido al cambio tan ínfimo de la curva al variar " V_{CB} ", en una primera aproximación se puede despreciar la variación y tomar una única curva. Esto nos permite tratar las características de entrada como las de un diodo, y hacer las aproximaciones estudiadas en aquel apartado.

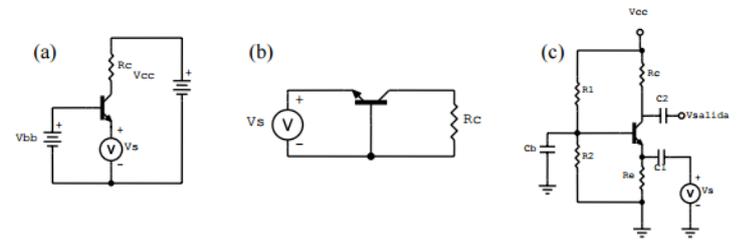
Una reducción más es cuando se toma el modelo simplificado del diodo (tercera imagen) en donde se supone que un transistor encendido es aquel en donde el voltaje base-emisor vale: $V_{BE} = 0,7 V$.

Esta configuración mantiene el potencial de la base constante y varía el del emisor. Con pequeñas variaciones de

tensión en la base se lograrán variaciones de tensión grandes a la salida, es decir, se amplifica tensión (no corriente). Sin embargo, la fuente de señal " V_S " debe entregar tanta corriente como solicite la carga.



Esta configuración tiene importancia en aplicaciones de alta frecuencia. Se puede demostrar que para un mismo transistor, se pueden conseguir frecuencias de corta en base común que en emisor común. Específicamente serán " β " veces más altas. Además la señal de entrada y de salida irán en fase.



ALFA " α "

Este valor se conoce como **factor de amplificación en cortocircuito en base común** y relaciona las corrientes de emisor " I_E " y de colector " I_C ".

Para el caso de c.d., se tiene:

$$\alpha_{CD} = \frac{I_C}{I_E}$$

A pesar de haber dicho implícitamente que este valor es uno, generalmente oscila en 0,9 – 0,998. Este valor es válido para los portadores mayoritarios, por lo tanto:

$$I_C = \alpha I_E + I_{CBO}$$

Como se vio antes, cuando " I_E " es cero $I_C = I_{CBO}$. Sin embargo, el valor de esta corriente es tan pequeña que no puede percibirse en la gráfica.

Para c.a., al oscilar sobre la curva característica, se define:

$$\alpha_{CA} = \left. \frac{\Delta I_C}{\Delta I_E} \right|_{V_{CB}=cte}$$

ACCIÓN AMPLIFICADORA DEL TRANSISTOR

Supongamos un transistor en conexión base común como muestra la figura. En este caso no hay polarización de c.c., sino que se lo alimenta con c.a. La resistencia de entrada es muy baja, oscila en 10 – 100 Ω , en cambio la resistencia de salida va de 50 k Ω a 1 M Ω . Esto se puede observar en las pendientes de las curvas de entrada y de salida. **Mientras más horizontal mayor será la resistencia**. Esto es así debido a la polarización en directa e inversa

respectivamente. Supongamos un valor de 20 Ω en la entrada. Entonces:

$$I_i = \frac{V_i}{R_i} = \frac{200 mV}{20 \Omega} = 10 mA$$

Supongamos que $\alpha = 1$, entonces:

$$I_i = I_L = 10 mA$$

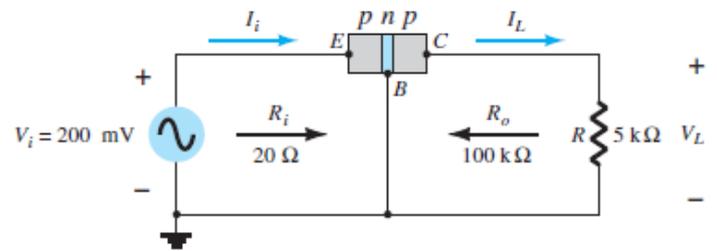
$$V_L = I_L R_L = 10 \text{ mA} \cdot 5 \text{ k}\Omega = 50 \text{ V}$$

La amplificación fue de:

$$A = \frac{V_L}{V_i} = \frac{50 \text{ V}}{200 \text{ mV}} = 250$$

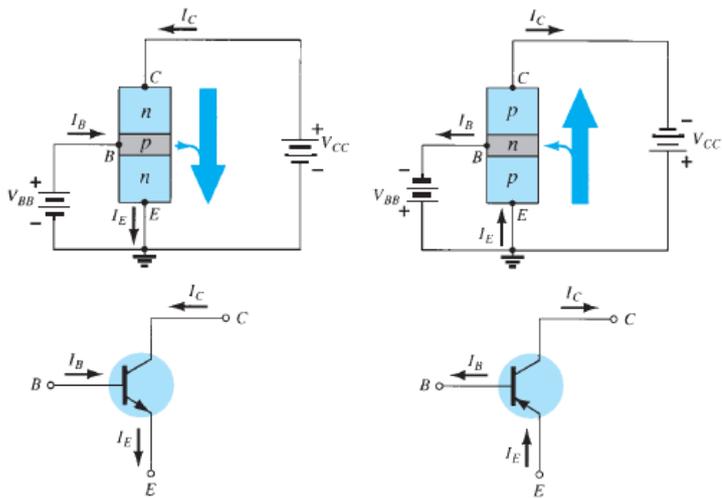
Los valores típicos de amplificación en configuración base común están en 50 – 300.

La acción amplificadora básica se produjo al transferir la corriente de la fuente " I_i " de un circuito de baja resistencia a uno de alta, en consecuencia **se amplifica tensión**.



CONFIGURACIÓN EN EMISOR COMÚN

Esta es la configuración más frecuente de un transistor. Mantiene el emisor a un nivel de potencial constante y varía el potencial de la base con una señal " V_S ", la cual debe suministrar una pequeña corriente " I_B ". De nuevo se requieren dos conjuntos de características para describir plenamente el comportamiento del transistor: uno para el circuito de entrada o base-emisor y uno para el circuito de salida o colector-emisor.



La corriente mostrada en la figura es la convencional. Las relaciones obtenidas con antelación siguen rigiendo:

$$I_E = I_B + I_C$$

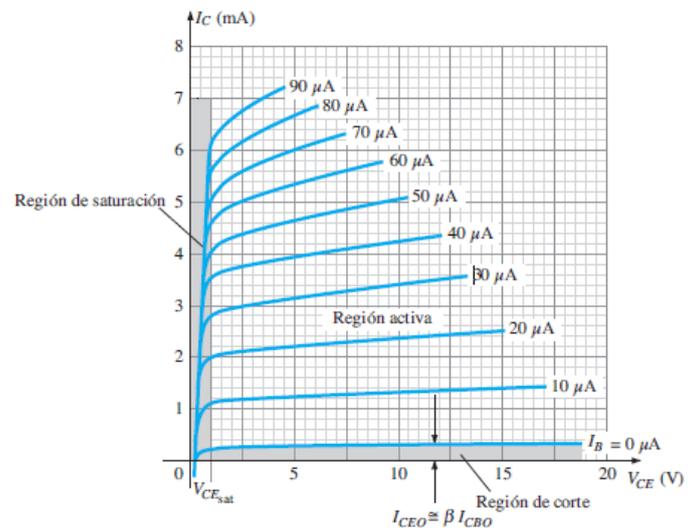
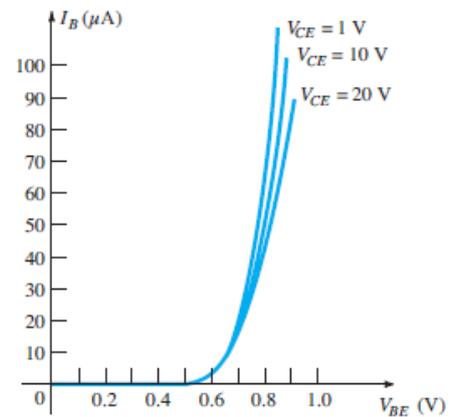
$$\alpha = \frac{I_C}{I_E}$$

Las características de **entrada** se representan en una gráfica de la corriente de entrada " I_B " contra el voltaje de entrada " V_{BE} " para un intervalo de valores del voltaje de salida " V_{CE} ". Las características de **salida** son una gráfica de la corriente de salida " I_C " con el voltaje de salida " V_{CE} " para un intervalo de valores de la corriente de entrada " I_B ".

En la gráfica $I_C - V_{CE}$ para este tipo de conexión, la curva no es tan horizontal como la configuración anterior, lo que indica que el voltaje de colector-emisor " V_{CE} " influye en el valor de la corriente de colector " I_C ".

La **región activa** para la configuración emisor común es aquella donde las curvas son equidistantes y casi rectas. Esto es a la derecha de " $V_{CE \text{ sat}}$ " y por arriba de la curva $I_B = 0$. A la izquierda de la gráfica se encuentra la **región de saturación**.

La región activa en emisor común **se usa para amplificar voltaje, corriente o potencia**.



La **región de corte** no está tan bien definida. Observe que la corriente de colector " I_C " no es cero cuando " I_B " es cero, como en la conexión de base común. Se tiene entonces:

$$I_C = \alpha I_E + I_{CBO}$$

$$I_E = I_B + I_C$$

Combinando:

$$I_C = \alpha(I_B + I_C) + I_{CBO}$$

Reordenando:

$$I_C = \frac{\alpha I_B}{1 - \alpha} + \frac{I_{CBO}}{1 - \alpha}$$

Cuando $I_B = 0$

$$I_C = \frac{I_{CBO}}{1 - \alpha} = \frac{I_{CBO}}{1 - 0,996} = 250I_{CBO}$$

Supongamos que la corriente $I_{CBO} = 1 \mu A$

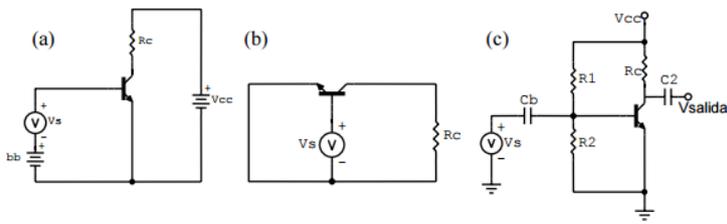
$$I_C = 250 \cdot 1 \mu A = 0,25 \text{ mA}$$

Para propósitos de **amplificación lineal** (distorsión mínima), en configuración emisor común el corte se define para $I_C = I_{CBO}$. Esto significa que hay que evitar la **región de corte** debajo de $I_B = 0 \mu A$ cuando se requiere una señal de salida no distorsionada.

Cuando se utiliza como **interruptor**, un transistor tendrá dos puntos de operación: uno en la **región de corte** y otro en la **región de saturación**. Idealmente la condición de corte deberá ser de $I_C = 0 \text{ mA}$ para un voltaje " V_{CE} " seleccionado.

Para esta configuración también se puede hacer la simplificación hecha para base común, y considerar que la tensión de encendido $V_{BE} = 0,7 \text{ V}$.

En los apuntes de clase se utiliza para los parámetros de entrada a " I_C " en vez de " I_B ". Esto se debe a la relación lineal existente entre las dos, es decir, " β " es un parámetro prácticamente constante.



BETA " β "

El factor de **amplificación de corriente en directa en emisor común** se define como:

$$\beta_{CD} = \frac{I_C}{I_B}$$

$$\beta_{CA} = \left. \frac{\Delta I_C}{\Delta I_B} \right|_{V_{CE}=cte}$$

Para dispositivos prácticos este valor ronda en 50 – 400. En este caso, la corriente de salida es la corriente de colector " I_C " y la de entrada es la corriente de base " I_B ".

Es posible establecer una relación entre " α " y " β " combinando las siguientes ecuaciones:

$$I_E = I_B + I_C$$

$$\alpha = \frac{I_C}{I_E}$$

$$\beta = \frac{I_C}{I_B}$$

Se llega a:

$$\frac{I_C}{\alpha} = \frac{I_C}{\beta} + I_C$$

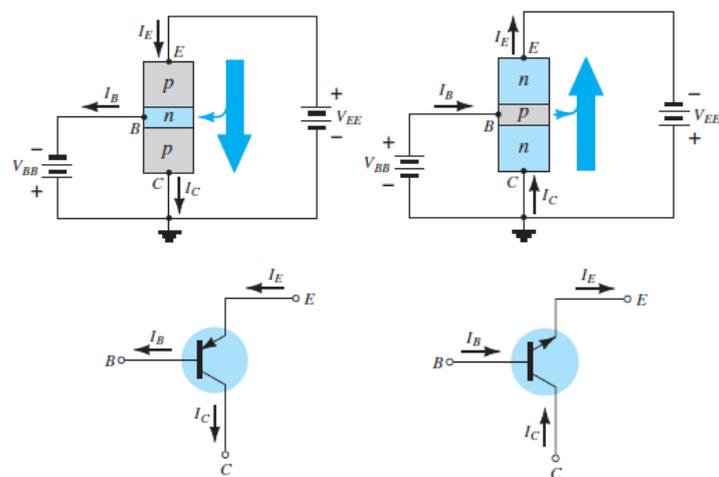
$$\frac{1}{\alpha} = \frac{1}{\beta} + 1$$

$$\alpha = \frac{\beta}{\beta + 1} \quad \beta = \frac{\alpha}{1 - \alpha}$$

También se puede llegar a:

$$I_E = (\beta + 1)I_B$$

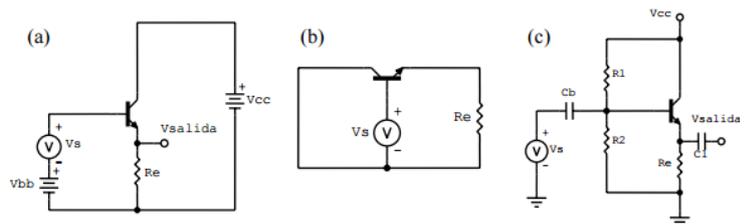
COLECTOR COMÚN



La configuración colector común se muestra en la figura. Esta configuración **se suele utilizar para igualar impedancias**, puesto que tiene una impedancia alta de entrada y baja de salida, contrariamente que en configuración base común y emisor común.

Esta configuración no requiere un conjunto de características para su diseño. Se puede hacer utilizando las características en emisor común. Las características de **salida** serían " I_E " contra " V_{CE} " para un rango de valores de " I_B ". Las características de **entrada** son las mismas que para la conexión de

emisor común. Existe una variación imperceptible al cambiar " I_C " por " I_E " ya que $\alpha \approx 1$, por lo tanto, se pueden utilizar indistintamente.



La señal de entrada " V_S " se aplica en la base, como en la configuración emisor común. Sin embargo, en este caso se aplica la carga al emisor. Ocurre lo siguiente: cuando aumenta " V_S ", aumenta " V_B ". Suponiendo que " V_E " se mantiene constante, **aumenta entonces la polaridad en directa " V_{BE} "**, luego " I_E " crece. A continuación, la caída de tensión en " R_E " aumentará junto " V_E ", **disminuyendo la polaridad en directa**. Este fenómeno se conoce como **realimentación negativa**.

Entonces al aumentar " V_S ", aumenta en igual medida " V_E ", esto significa que no hay amplificación. Sin embargo, tiene una importante característica: una alta impedancia de entrada. Esto permite amplificar corriente, pero no tensión. Es especialmente útil para medir señales con gran impedancia de salida.

LÍMITES DE OPERACIÓN

Para todo transistor hay una región de operación que garantiza que no se excedan las capacidades nominales máximas y que la señal de salida se distorsione mínimamente. Estos valores vienen expresados en la hoja de especificaciones técnicas.

Algunos de los límites de operación se explican por sí solo, como **la corriente máxima de colector** (o corriente continua en el colector), y **el voltaje máximo del colector al emisor** " V_{CBO} ". Otro valor es la línea recta definida como " $V_{CE\ sat}$ " que es el voltaje mínimo que garantiza estar fuera de la región de saturación. Por último tenemos **el nivel máximo de disipación de potencia**:

$$P_{C\ Max} = V_{CE} I_C$$

Esta ecuación se presenta como una curva gráficamente.

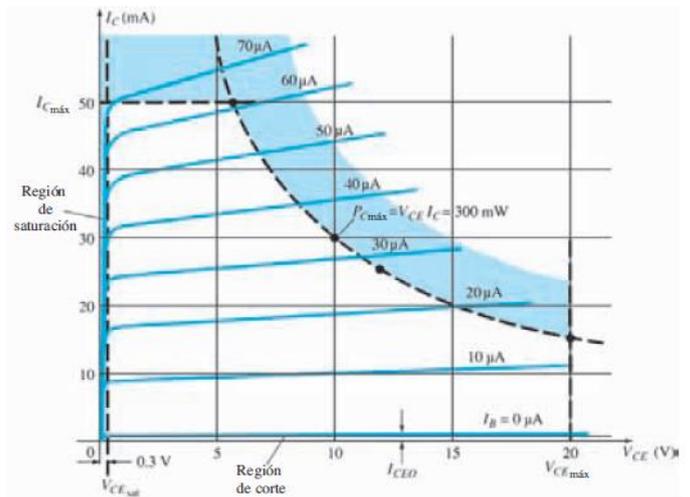
La región de corte se encuentra por debajo de " $I_C = I_{CEO}$ ". Esta zona también debe ser evitada, para que la señal de salida no se distorsione. En algunas hojas de especificaciones solo se indica el valor de " I_{CBO} ", por lo tanto se recurre a $I_{CEO} = \beta I_{CBO}$.

Si la hoja de especificaciones no presenta la curva característica, basta con asegurarse de que " I_C ", " V_{CE} " y su producto, se encuentren dentro los siguientes intervalos:

$$\begin{aligned} I_{CEO} &\leq I_C \leq I_{C\ Max} \\ V_{CE\ Sat} &\leq V_{CE} \leq V_{CE\ Max} \\ V_{CE} I_C &\leq P_{C\ Max} \end{aligned}$$

Para la conexión en base común, la curva de potencia máxima las definen las cantidades de salida:

$$P_{C\ Max} = V_{CB} I_C$$



U1: FUNDAMENTO Y DISPOSITIVOS BIPOLARES BÁSICOS

E: TRANSISTOR EN RÉGIMEN LINEAL

TEMAS:

- Recta de carga.
- Amplificación de tensión.
- Circuitos prácticos.
- Características de las configuraciones emisor común, base común y colector común (en unidad anterior).

Apuntes de cátedra pág. 19

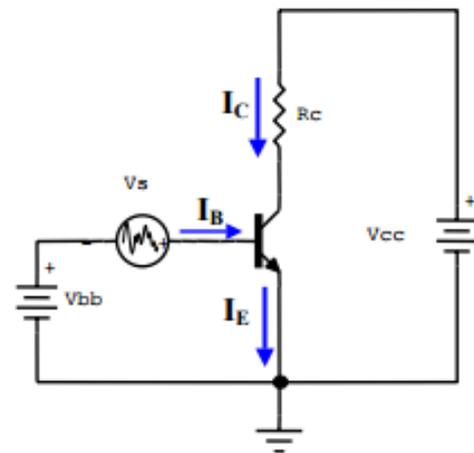
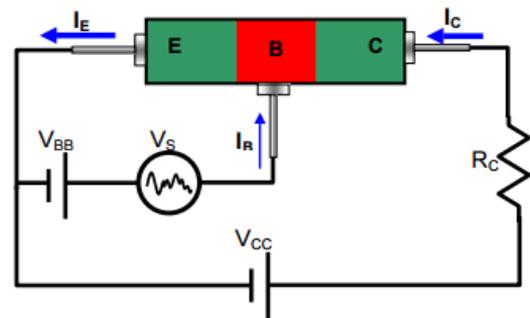
EL TRANSISTOR EN RÉGIMEN LINEAL - AMPLIFICACIÓN

Se ha visto en la unidad anterior que se puede tener el control de " I_C " aplicando una tensión " V_{CE} " y variando " V_{BE} ". Sabiendo esto se puede emplear el transistor bipolar como un amplificador de señal, pero con algunas modificaciones previas. La señal " V_S " ingresa por la base junto con una **tensión de polarización** esta vez constante " V_{BB} ". La suma de estas dos equivale a la conocida tensión " V_{BE} ". Por otro lado, se reemplaza la fuente variable " V_{CE} " por una fuente fija " V_{CC} " y en serie una resistencia de carga " R_C ". Esta resistencia puede representar una carga real, o en cambio puede introducirse con el fin de conseguir a la salida una señal de tensión en vez de una señal de corriente.

Cuando la señal " V_S " aumenta, la barrera de potencial disminuye, y a continuación aumenta la corriente " I_C ". El voltaje en la resistencia " R_C " equivale a " $I_C R_C$ ", por lo tanto también aumenta. Por su parte, el voltaje " V_{CE} " equivale a " $V_{CC} - I_C R_C$ ", por lo tanto disminuye. En conclusión, se ha podido transformar una pequeña variación de tensión " V_S " en una gran variación de tensión en " R_C ", las cuales están en contrafase.

La tensión de polarización " V_{BB} " tiene una importante finalidad. Sin ella la señal de entrada " V_S " por si sola no conseguiría establecer una corriente " I_C " a través del diodo. Se perdería la señal en la zona de corte, para los ciclos negativos y en los ciclos positivos que no superen la tensión umbral de $0,7V$. Por tal motivo, se elige un valor de " V_{BB} " suficiente como para que la corriente " I_C " opere fuera de la zona de corte. Además, no debe

ser un valor tan grande, porque entraría en la zona de saturación. La zona ideal de operación es en la parte lineal de la curva $I_C - V_{BE}$.

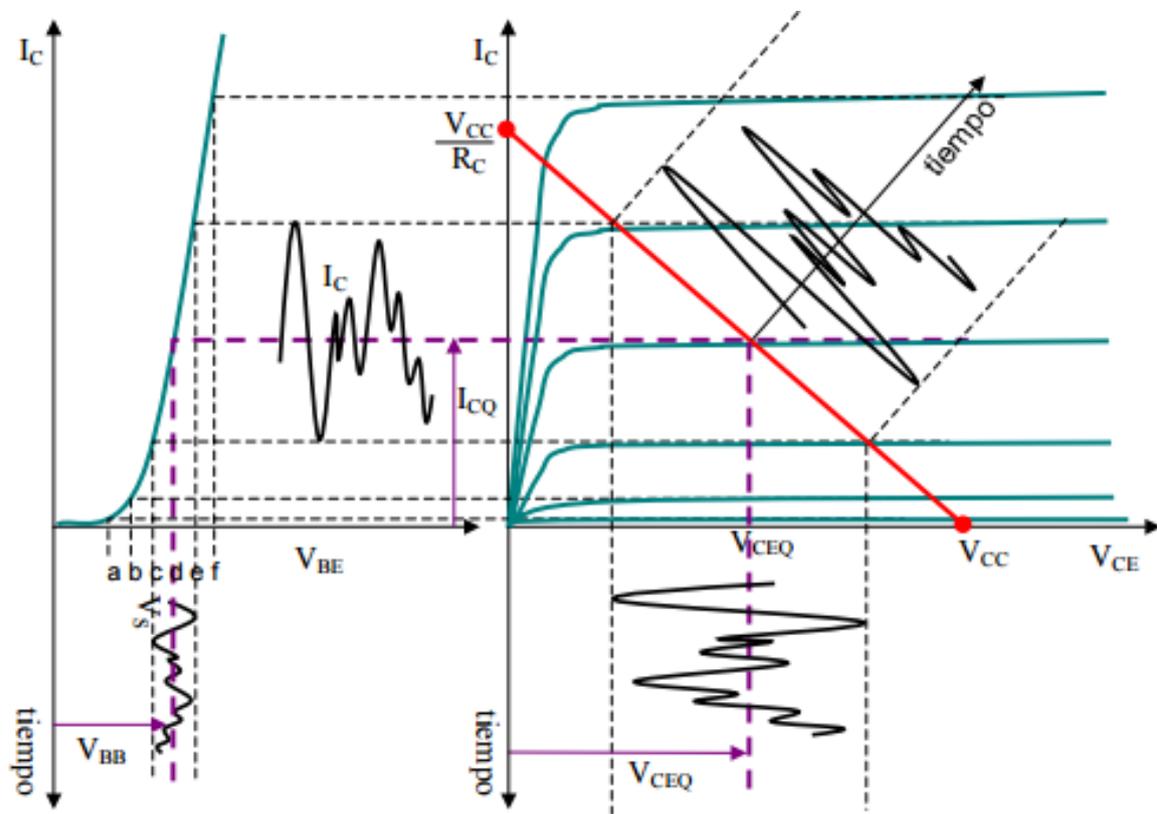


AMPLIFICACIÓN DE TENSIÓN

En la siguiente figura se puede observar por completo el proceso de amplificación. En primer lugar se observa como la tensión de polarización " V_{BB} " determina el punto de operación " I_{CQ} ". Cuando actúa la señal " V_S ", la tensión oscila en torno a " V_{BB} ", y provoca una oscilación en fase de la corriente " I_C ". A continuación, esta señal se proyecta en la recta de carga y finaliza como una señal de salida en contrafase " V_{CE} " en la carga " R_C ".

En la figura las escalas de " V_{BE} " y " V_{CE} " no son iguales. El primero está en el orden de los $0,8V$, mientras que el segundo es mucho mayor. Esta diferencia se expresa a través del **factor de amplificación o ganancia**:

$$A_V = \frac{\Delta V_{salida}}{\Delta V_{entrada}} = \frac{\Delta V_{CE}}{V_S}$$

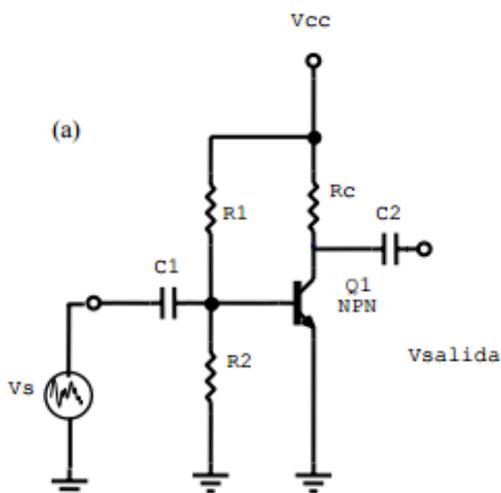


CIRCUITO PRÁCTICO DE AMPLIFICACIÓN-ACOPLAMIENTO ENTRE ETAPAS

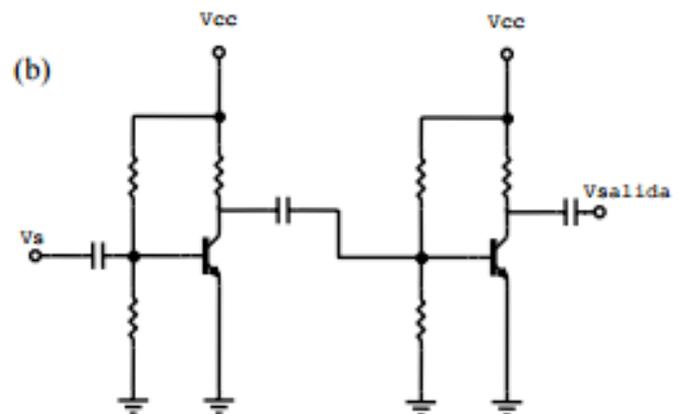
La señal de salida es solamente la parte variable de " V_{CE} ", se encuentra montada al valor constante " V_{CEQ} ". Tanto " V_{CEQ} " como " I_{CQ} " son un mal necesario para que el transistor trabaje como amplificador. Hay que filtrar " V_{CEQ} " para obtener de ella la señal " V_{CE} ". Esto se logra agregando un capacitor a la salida, conocido como **capacitor de acoplamiento**, que permite el paso de la componente alterna de la señal e impide la parte constante.

Además, no resulta práctico tener dos fuentes de alimentación para polarizar el transistor. Por lo tanto, se recurre a un divisor de tensión, el cual extrae una porción de la tensión " V_{CC} " para polarizar la base. Los valores de resistencia del divisor se calculan aplicando el **teorema de Thevenin**.

Finalmente la señal " V_s " se acopla en serie con un capacitor y se lo conecta a la base. Se obtiene el circuito esquematizado a continuación:



En el siguiente esquema se muestra un amplificador de dos etapas. La amplificación de tensión total será igual al producto de las amplificaciones individuales. Además, cuando las etapas de amplificación son par, se logra una señal de salida en fase con la de entrada. En la primera etapa trabaja con señales del orden de los miliamperes, y se utilizan **transistores de señal** que intentan disminuir el ruido. En la segunda etapa se utilizan **transistores de potencia**, y se trabajan con decenas de amperes.

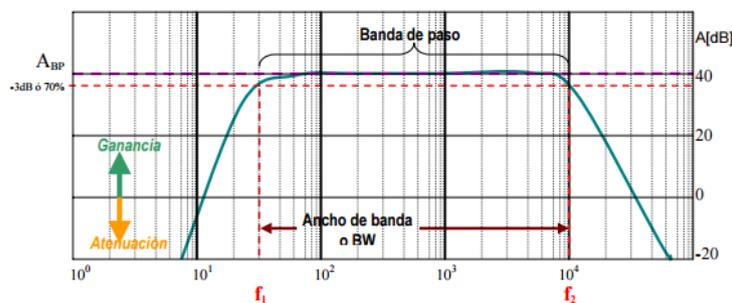


CONSIDERACIONES SOBRE RESPUESTAS EN FRECUENCIA

Dado que el valor de la reactancia capacitiva " X_C " depende de la frecuencia, para la componente de continua ($f = 0$) presenta reactancia infinita y no permite su paso. Con esto se evita que se pierda la polaridad lograda con el divisor de tensión. Sin embargo, a bajas frecuencias (los graves de una señal de audio) la reactancia es tan grande que atenúa la señal, por lo tanto se debe seleccionar una capacitancia grande.

Por lo tanto, **el amplificador estudiado solo es efectivo en alterna y con frecuencias considerables**. A muy baja frecuencia, como puede ser la señal de un sensor, se requieren amplificadores acoplados en continua que se verán más adelante.

A continuación, se presenta una gráfica en escala logarítmica de ganancia " A " en función de la frecuencia. La amplificación se puede medir en " V/V " o en " dB ". En ese caso: $dB = 20 \log_{10} A$.



A **bajas frecuencias**, debido al capacitor de acoplamiento, presenta un efecto **pasa alto**, es decir el filtro deja pasar las componentes de alta frecuencia y atenúa las de baja frecuencia. A **altas frecuencias**, debido a los efectos capacitivos de las junturas del transistor y al tiempo de transito de los portadores de base, el control de corriente del transistor comienza a ser deficiente y la amplificación disminuye. El efecto es **pasa bajo**, es decir las altas frecuencias se atenúan.

La frecuencia de transición es aquella para cuando la ganancia de corriente cae a $\beta = 1$.

Se llama **frecuencia de corte** o **frecuencia cuadrantes** a la frecuencia a la que la amplificación cae 3 dB (70 %) en relación a la amplificación en la banda de paso.

La **frecuencia de corte inferior " f_1 "**, se debe al efecto pasa alto, y la **frecuencia de corte superior " f_2 "** se debe al efecto pasa bajo. El **ancho de banda "BW"** es:

$$BW = f_2 - f_1$$

U1: FUNDAMENTO Y DISPOSITIVOS BIPOLARES BÁSICOS

F: TRANSISTOR EN CONMUTACIÓN

TEMAS:

- Consideraciones de potencia en régimen de conmutación estático y dinámico.
- Mejora de la conmutación dinámica.

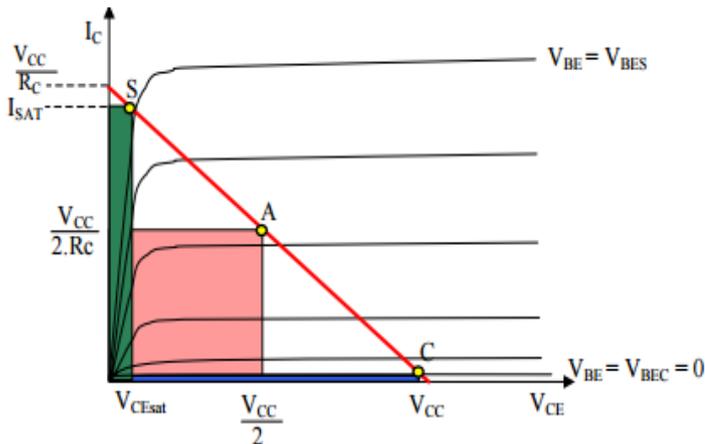
Apuntes de cátedra pág. 25

EL TRANSISTOR COMO LLAVE - RÉGIMEN DE CONMUTACIÓN

La potencia de un transistor, por ser un dispositivo de tres terminales se calcula de la siguiente manera:

$$P = V_{CE}I_C + V_{BE}I_B \cong V_{CE}I_C$$

En la siguiente figura se ven los tres puntos de funcionamiento del transistor. En el punto *A* se trabaja en la zona activa, y el área nos advierte que en este punto se disipa la mayor cantidad de potencia. En el punto *C* se trabaja en corte, la potencia es: $P = V_{CC}I_{corte} \cong V_{CC} \cdot 0 = 0$ y se comporta como una **llave abierta**. En el punto *S* se trabaja en saturación, y la potencia es: $P = V_{CE\ sat}I_{sat} \cong 0 \cdot V_{CC}/R_C = 0$ y se comporta como una **llave cerrada**. En ambos casos la potencia de disipación es mínima.



Para que el transistor trabaje en esas zonas, la tensión " V_{BE} " debe pasar de " $V_{BE\ C}$ " a " $V_{BE\ S}$ ". Para ello, la onda " V_S " debe ser **cuadrada** de suficiente amplitud.

En este caso, no se requiere capacitor para producir polaridad.



En aplicaciones de potencia, " R_C " puede representar un motor, un relé, el primario de un transformador elevador. En aplicaciones digitales la resistencia se coloca para que el circuito trabaje como **inversor lógico**.

ASEGURANDO LA CONMUTACIÓN

El **punto de corte** se puede conseguir fácilmente haciendo la señal de entrada " $V_S = 0$ ". Para conseguir la **saturación** se puede colocar una resistencia " R_B " baja, pero para más precisión se procede de la siguiente manera:

- En la hoja de especificaciones técnicas se busca " β " mínimo.
- Se calcula la corriente de base en saturación " $I_{B\ sat}$ " de la siguiente manera:

$$I_{B\ sat} = \frac{I_{C\ sat}}{\beta}$$

- Se calcula la corriente de saturación " $I_{C\ sat}$ " cuyo valor es aproximadamente:

$$I_{C\ sat} = \frac{V_{CC}}{R_C}$$

- La siguiente ecuación nos proporciona el valor de resistencia de base " R_B ":

$$I_B = \frac{(V_S - 0,6)}{R_B} > I_{B\ sat}$$

$$R_B < \frac{(V_S - 0,6)}{I_{B\ sat}}$$

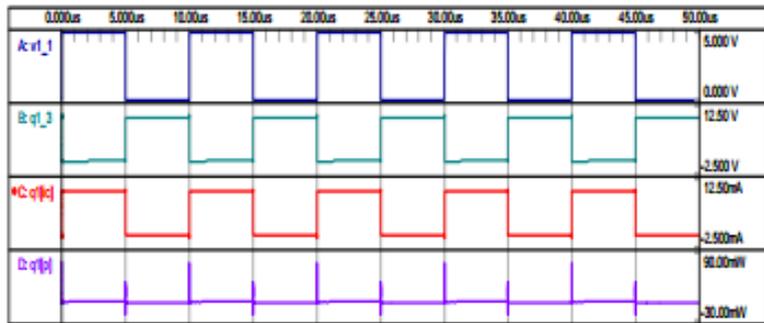
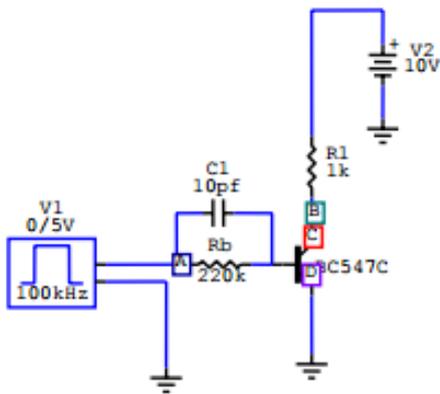
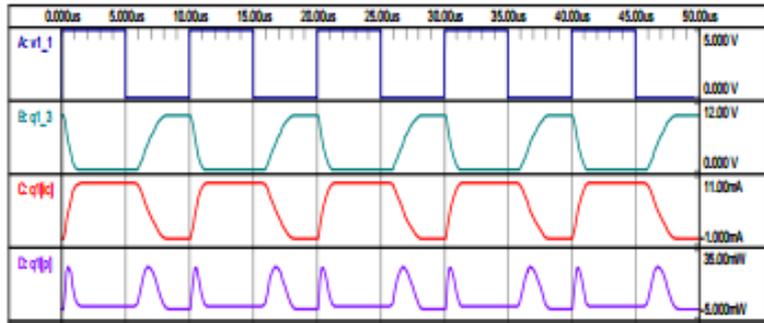
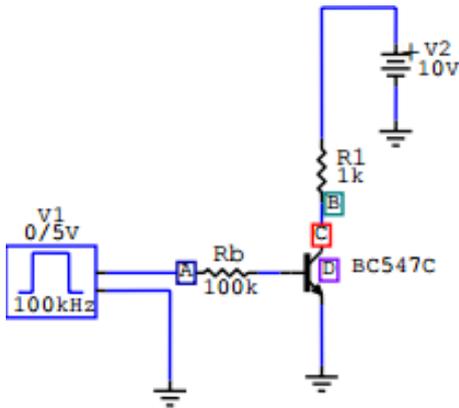
CARACTERÍSTICAS DINÁMICAS DEL TRANSISTOR

Los transistores reales presentan efectos capacitivos en las juntas, además de un tipo de tránsito de portadores por la base, que se traducen en retardos en la conmutación.

Además, el tránsito por la zona de activa causa disipación de potencia. Mayor frecuencia implica mayor potencia disipada.

Si la excitación es mayor que la necesaria para pasar a saturación, o " R_B " es chica, el tránsito por la zona activa será más rápido, pero de saturación a corte es más lento. Esto se debe a que la sobresaturación implica más portadores transitando por la base

y tardan más en difundirse al colector. Se soluciona el problema con un capacitor en paralelo con " R_B ", que genera una corriente inicial mayor pero que se reduce a un valor menor antes de que se quiera pasar nuevamente al corte.



ELECTRÓNICA

U2: REGULACIÓN DE POTENCIA A: ESQUEMAS GENERALES

TEMAS:

- Aplicaciones de la regulación de potencia: fuentes de alimentación, variadores, inversores.
- Lazo de regulación.

Apuntes de Cátedra, Unidad 2 pág. 1

INTRODUCCIÓN

La **electrónica de potencia** es la rama de la electrónica que estudia los sistemas electrónicos que adaptan y transforman la energía eléctrica con diversos propósitos: alimentación, control de velocidad, compensación factor de potencia, etc.

Los **reguladores lineales** se emplean en equipos de baja potencia conectados a la red eléctrica. Pueden utilizar elementos

disipativos (resistencia, transistores en régimen lineal) para controlar la corriente y la tensión.

Los **reguladores conmutados** se emplean en aplicaciones de alta potencia o dispositivos portátiles que exigen minimizar las pérdidas por efecto Joule. Para ellos se utilizan elementos reactivos (capacitores, inductores) y dispositivos de control (transistores, tiristores, MOSFET, etc.) en régimen de conmutación.

ESQUEMA GENERAL DE REGULADORES DE POTENCIA

Un **regulador de potencia** es en términos generales un sistema que se intercala entre una fuente de energía (batería, tensión de línea) y una carga (motor, horno), para suministrar la energía a la carga de manera controlada.

Según las características de entrada (fuente) y de la salida (carga) se pueden clasificar en:

- **Interruptor:** Funciona como llave de paso entre fuente y carga.

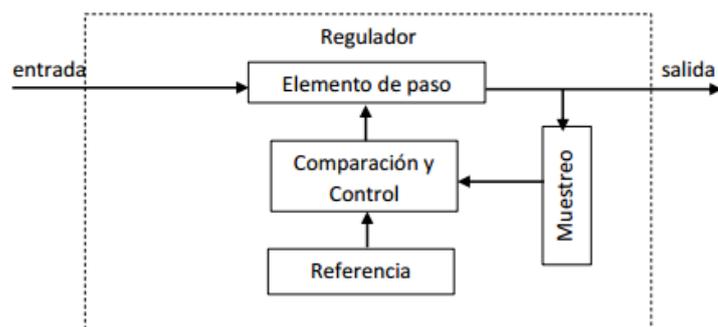
- **Rectificador c.a./c.c.:** Para alimentar una carga de c.c. a partir de una entrada de c.a.. Puede ser no controlado (diodos) o controlado (tiristores).

- **Inversor c.c./c.a.:** Para alimentar una carga c.a. a partir de una entrada c.c..

- **Regulador c.c./c.c.:** Para alimentar una carga de c.c. a partir de una entrada de c.c. de distinta tensión (reductor o elevador).

LAZO DE REGULACIÓN

Una carga suele requerir un voltaje de alimentación constante. Además, el regulador debe proveer una tensión de salida inmune a las variaciones de tensión de entrada y la demanda de corriente. Existen cargas, como los motores, que exigen que la tensión de salida se pueda modificar para controlar la velocidad, posición o par.



En estos casos, el regulador debe integrar un **lazo de regulación**. Esto es un mecanismo de verificación y ajuste automático para que la salida se aproxime a valores deseados.

Los elementos del lazo de regulación se describen a continuación:

- **Elemento de paso controlable:** Es el circuito que se interpone entre la fuente y la carga, y que debe ser capaz de manejar la potencia en juego. Dispone de una entrada de control que modifica su conducción para que la salida alcance el valor deseado. Puede trabajar en régimen lineal (transistor en zona activa) o en conmutación (transistor en corte y saturación).

- **Muestreo:** Es un circuito que obtiene una muestra proporcional al parámetro de salida que se pretende ajustar (tensión, corriente, etc.). Por ejemplo, un divisor de tensión de dos resistencias permite obtener una fracción del voltaje de salida, una pequeña resistencia intercalada en la malla de salida permite obtener un voltaje proporcional a la corriente de salida.

- **Comparación y Control:** Es el encargado de modificar la conducción del elemento de paso para minimizar la diferencia entre la **muestra** y la **referencia**. Puede ser un controlador analógico o digital.

- **Referencia:** Es la consigna de tensión o corriente con la cual se compara la muestra. En fuentes de alimentación de tensión

o corriente constante, el regulador es un diodo Zener y en control de velocidad de motores, cuya referencia debe ser variable, es un voltaje (reguladores analógicos) o una consigna numérica (reguladores digitales).

RENDIMIENTO

Esta se define como la relación entre la potencia entregada a la carga y la potencia total aportada por la fuente.

$$\eta \% = \frac{P_{carga}}{P_{total}} \cdot 100 \%$$

El rendimiento de los reguladores lineales es malo. En los reguladores conmutados el rendimiento es superior al 80 % y en ocasiones se aproxima al 99 %.

U2: REGULACIÓN DE POTENCIA

B: REGULADORES LINEALES

TEMAS:

- Regulación serie paralelo.
- Fuente lineal de dos transistores.
- Fuente integrada lineal.

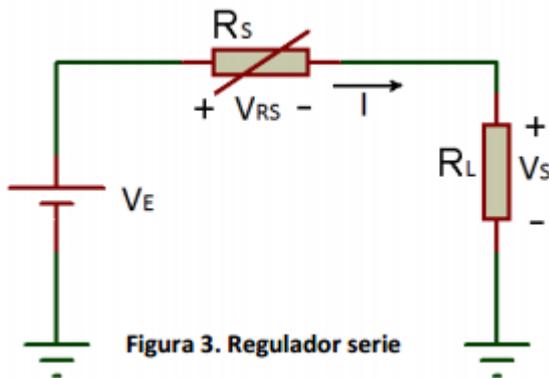
Apuntes de Cátedra, Unidad 2 pág. 3

REGULADORES LINEALES

Los reguladores lineales son aquellos en que el elemento de paso trabaja como una resistencia que absorbe la diferencia de tensión entre la entrada y la salida. Según su ubicación se clasifican en serie o en paralelo.

REGULADOR EN SERIE

En este caso el elemento de conducción variable se conecta en serie con la carga, absorbiendo directamente la diferencia de tensión entre la entrada y el valor de salida deseado. La corriente de entrada es igual a la corriente en la carga.



Para saber el valor de la resistencia en serie " R_S ", se observa que la corriente es igual en toda la malla. Se llega a:

$$I_{RS} = I_S$$

$$\frac{V_{RS}}{R_S} = \frac{V_S}{R_L}$$

$$\frac{V_E - V_S}{R_S} = \frac{V_S}{R_L}$$

Despejando la resistencia se tiene:

$$R_S = R_L \left(\frac{V_E}{V_S} - 1 \right)$$

Se requiere mantener constante la tensión de salida " V_S ". Pueden suceder dos situaciones:

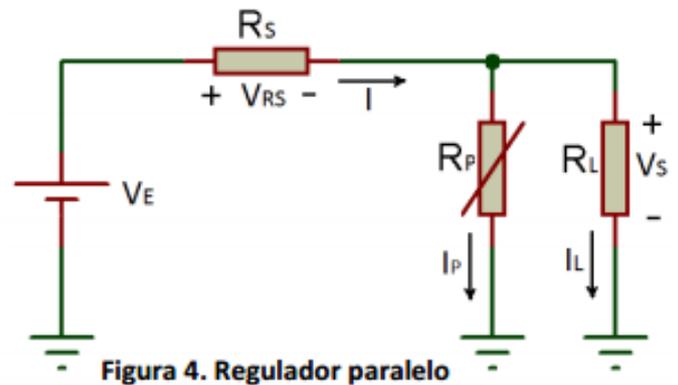
- Aumentar la demanda de corriente (R_L menor), entonces " R_S " debe disminuir. En caso de disminuir la demanda, " R_S " debería aumentar.
- Que la tensión de entrada " V_E " aumenta, entonces " R_S " debe aumentar. Si " V_E " disminuye, " R_S " debería disminuir.

El rendimiento es:

$$\eta = \frac{P_{Carga}}{P_{total}} = \frac{I^2 R_L}{I^2 (R_S + R_L)} = \frac{R_L}{R_S + R_L}$$

REGULADOR EN SERIE

En esta conexión el elemento de conducción variable se conecta en paralelo con la carga, mientras que en serie con la carga se coloca una resistencia fija. El elemento en paralelo actúa como una carga adicional variable, absorbiendo corriente y haciendo que en la resistencia en serie fija se produzcan las variaciones de tensión para mantener la salida constante.



Observando el circuito se pueden detectar dos ecuaciones de Kirchhoff para mallas y una para nodo. Estas son:

$$V_E = R_S I + R_P I_P$$

$$V_E = R_S I + V_S$$

$$I = I_R + I_L$$

Trabajando las tres ecuaciones se puede encontrar:

$$V_S = \frac{V_E R_P R_L}{R_S R_P + R_S R_L + R_P R_L}$$

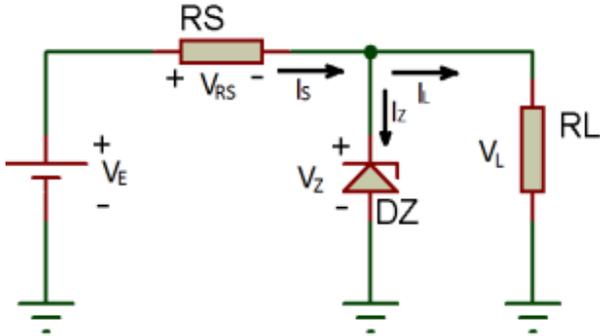
Al igual que el caso anterior se requiere mantener " V_S " constante y pueden ocurrir dos situaciones:

- Aumentar la tensión de entrada " V_E ", en cuyo caso " R_P " debería disminuir, así aumentaría " I_P " e " I ", y el aumento de tensión de entrada es absorbido por un aumento en la caída de tensión en " R_S ".
- Aumentar la demanda de corriente, lo que equivale a disminuir " R_L ", " R_P " debe aumentar para disminuir " I_P " y compensar el aumento de " I_L ".

Debe destacarse que si el consumo es muy bajo ($I_L = 0$), " R_p " debe disminuir y absorber " I_p " tal que compense la disminución de " I_L ". Esto equivale a un rendimiento " $\eta = 0$ " en ausencia de carga. El rendimiento siempre será menor que el regulador serie, ya que requiere un consumo por parte de " R_p ". Su uso está restringido a aplicaciones con muy baja potencia.

REGULADOR PARALELO CON ZENER

Esta conexión reemplaza la resistencia en paralelo por un diodo Zener. Se aprovecha la propiedad del diodo para mantener el voltaje en la carga constante e igual al voltaje de ruptura.



En ausencia de carga ($R_L = \infty$; $I_L = 0$), el diodo Zener debe absorber toda la corriente " I_S ", por lo tanto, para no superar la corriente máxima soportada por el diodo " $I_{Z Max}$ " se diseña para:

$$I_S < I_{Z Max}$$

$$R_S > \frac{(V_{E Max} - V_Z)}{I_{Z Max}}$$

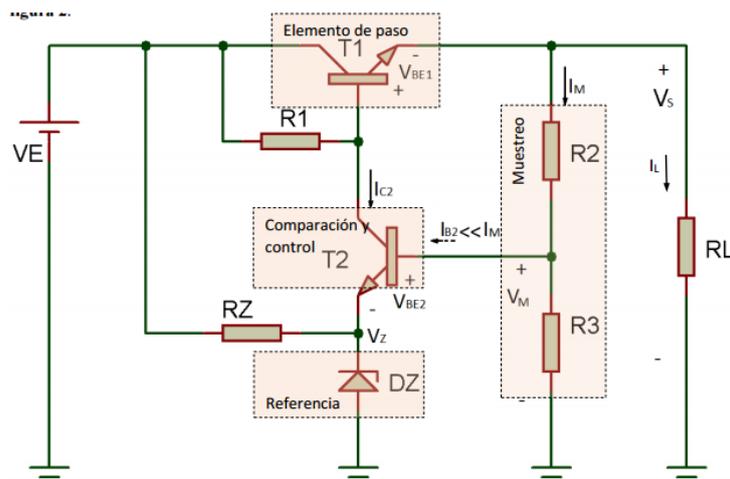
Sería más preciso utilizar " $V_{Z Max}$ ", sin embargo se utiliza " V_Z " y proporciona un valor de " R_S " más conservador.

Por su parte, cuando la corriente de carga es máxima " $I_{L Max}$ " ($R_{L Min}$), " R_S " debe ser baja para que " I_S " pueda suministrar " $I_{L Max}$ " e " $I_{Z Min}$ ".

Los diodos Zener se eligen por tensión nominal " V_Z " y potencia máxima " P_{Max} ", lo cual determina $I_{Z Max} = P_{Max}/V_Z$.

Para corrientes de carga mayores de 100 mA, es recomendable utilizar otros circuitos distintos a los paralelos. Existen algunas mejoras a los reguladores paralelos utilizando transistores para aumentar la capacidad de corriente.

FUENTE LINEAL DE DOS TRANSISTORES



Este conexionado esquematiza todos los elementos del lazo de control.

El **elemento de paso** es " T_1 " se encuentra en colector común (seguidor de emisor), que se polariza en la zona activa mediante " R_1 " y " T_2 ". La carga del transistor es la resistencia equivalente $R_{eq} \cong R_L \parallel (R_2 + R_3)$. El valor de " V_S " es igual al valor de la tensión en la base de " T_1 " menos la caída de tensión base-emisor " $V_{BE1} = 0,7 V$ ". Cualquier variación de tensión en la base de " T_1 ", producirá variaciones casi iguales de " V_S ".

La **referencia** se consigue con un diodo Zener " D_Z " polarizado por " R_Z ", de tal forma que establece un voltaje " V_Z " en el emisor de " T_2 ".

La **muestra** de la tensión de salida se obtiene mediante el divisor de tensión formado por " R_2 " y " R_3 ", el cual establece en la base de " T_2 " un potencial tal que lo hace trabajar en la zona activa. Se puede observar que el potencial " V_M " es unos 0,7 V superior a " V_Z ".

El **comparador/control** se hace a partir de " T_2 ". Supongamos que polarizamos más " T_2 ", es decir, aumentamos " V_{BE2} ", lo que se traduce en un aumento de la corriente " I_{C2} ". A continuación aumenta la caída en " R_1 " y disminuye el voltaje de base en " T_1 ", aumenta la barrera de potencial y disminuye " I_{C1} ". Finalmente, se obtiene menor voltaje de salida " V_S ". Por lo tanto, ajustando el divisor de tensión " $R_2 - R_3$ " se controla el voltaje de salida " V_S ".

Si se desprecia la corriente de base " I_{B2} ", la cual es mucho menor a " I_M ", se puede llegar a:

$$V_M = \frac{R_3}{R_2 + R_3} V_S$$

Además se observa que $V_M = V_Z + V_{BE2}$, entonces:

$$V_S = (V_Z + V_{BE2}) \left(1 + \frac{R_2}{R_3} \right)$$

Esta ecuación nos muestra que la tensión de salida " V_S " es proporcional a la suma " $(V_Z + V_{BE2})$ " y dependiente de la relación " R_2/R_3 ". Es importante destacar que " V_S " no depende de la tensión de entrada " V_E ". Esto se debe a que el transistor " T_1 " absorbe las variaciones de entrada " V_E ". A continuación se explica el efecto regulador:

Supongamos que " V_E " aumenta, si " T_1 " no modificara su tensión " V_{CE1} ", " V_S " tendería a aumentar. Al crecer " V_S ", aumenta proporcionalmente " V_M " y también " V_{BE2} " como se vio en las ecuaciones anteriores. Luego aumenta la corriente " I_{C2} " y baja la tensión de base en " T_1 " y también la de emisor. Finalmente " V_S " vuelve a su valor original.

Debe señalarse que " V_S " no retorna exactamente al valor original. Esto se debe a que durante el retorno, " V_M " va disminuyendo junto con " V_{BE2} " e " I_{C2} ". Esta diferencia es necesaria para mantener a " V_{BE2} " en un valor ligeramente superior con respecto su valor antes del aumento de " V_E ". Debido a que " V_Z " y " V_M " son del orden de los volt, solo se requieren unos milivolts extras de " V_{BE2} " y el error relativo en el lazo de regulación es chico. En caso de no utilizar " V_Z ", se tendría que

$V_M = V_{BE} = 0,7 V$ y el error necesario en " V_S " para incrementar " V_{BE2} " sería muy grande.

La potencia disipada por el regulador es prácticamente la que disipa el transistor " T_1 ", ya que en los demás componentes la disipación es insignificante.

$$P_{Reg} \approx P_{T1} = V_{CE1} I_{C1} \approx (V_E - V_S) I_{C1}$$

El rendimiento se puede calcular como:

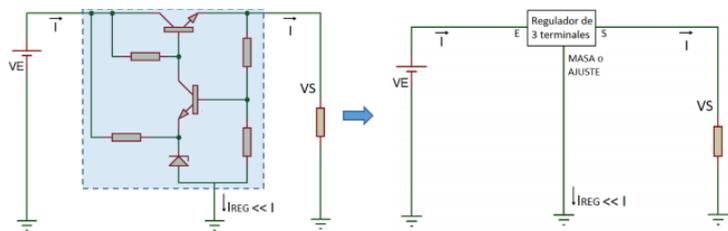
$$\eta = \frac{P_{Carga}}{P_{Total}} = \frac{P_{Carga}}{P_{Carga} + P_{Reg}} = \frac{V_S I_L}{V_S I_L + V_{CE1} I_{C1}}$$

Siendo $I_L \approx I_{E1} \approx I_{C1}$, se llega a:

$$\eta = \frac{V_S}{V_S + V_{CE1}} = \frac{V_S}{V_E}$$

FUENTE INTEGRADA LINEAL

El regulador estudiado en el apartado anterior se podría encapsular en un circuito integrado con tres terminales, conocidos como: entrada, masa (ajuste) y salida.

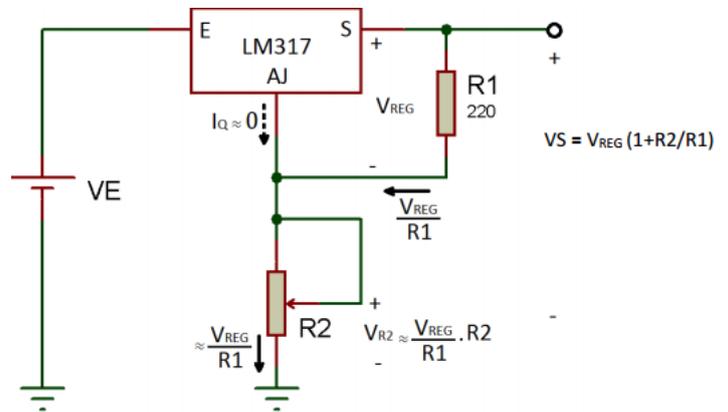


Generalmente los reguladores integrados comerciales son más complejos. Incluyen protección térmica y contra cortocircuitos, el lazo de regulación suele ser más preciso y presentan circuitos de compensación. Sin embargo, el principio de funcionamiento es similar a la fuente de dos transistores. Un regulador de este tipo habitual es el "78XX", siendo "XX" el voltaje de salida (5, 6, 8, 9, 12, 45, 18, 24 V). El rango de entrada va desde el voltaje de salida más 2 V (dropout: voltaje mínimo para que el regulador trabaje), hasta los 35 – 40 V.

Generalmente se conecta un capacitor a la entrada y otro a la salida del regulador, necesarios para asegurar la estabilidad. A altas frecuencias, si el lazo de regulación es lento, puede crear perturbaciones. Los capacitores previenen estos efectos.

FUENTE DE VOLTAJE VARIABLE CON REGULADOR INTEGRADO

En vez de conectar el terminal de masa a tierra se puede conectar al nodo de unión de dos resistores como se muestra a continuación:



De esta manera la corriente por " R_1 " es:

$$I_{R1} = \frac{V_{Reg}}{R_1}$$

Por " R_2 " circula:

$$I_{R2} = I_{R1} + I_Q$$

Y el voltaje por " R_2 " es:

$$V_{R2} = I_{R2} R_2 = (I_{R1} + I_Q) R_2 = \left(\frac{V_{Reg}}{R_1} + I_Q \right) R_2$$

El voltaje de salida será la suma en las caídas en " R_1 " y " R_2 ":

$$V_S = V_{R1} + V_{R2} = V_{Reg} + \left(\frac{V_{Reg}}{R_1} + I_Q \right) R_2$$

$$V_S = V_{Reg} \left(1 + \frac{R_2}{R_1} \right) + I_Q R_2$$

Se observa en esta ecuación que si " R_2 " es cero, entonces $V_{Reg} = V_S$. Aumentando " R_2 ", " V_S " será mayor que " V_{Reg} ". Además, $V_E = V_S + V_{Dropout}$.

La serie de reguladores "78XX" y "79XX" están pensados como reguladores fijos, ya que " I_Q " es grande (hasta 8 mA), algo impreciso y varía con la temperatura, lo cual repercute en la salida $V_S = I_Q R_2$. Aumentar la precisión significaría disminuir las resistencias " R_1 " y " R_2 ", que a su vez implica aumentar la corriente consumida.

Existen circuitos específicos para estas aplicaciones como el "LM317" y "LM337", con $I_Q = 0,1 mA$ y voltaje de salida de $V_S = 1,25 V$, lo que permite construir fuentes reguladas de 1,25 V a 35 V. En algunos reguladores, siguiendo las indicaciones del fabricante se puede considerar $I_Q = 0 A$, y aproximar la ecuación anterior a:

$$V_S = V_{Reg} \left(1 + \frac{R_2}{R_1} \right)$$

Malvino 6ta Edición, unidad 24 pág. 991

FUENTES DE ALIMENTACIÓN REGULADAS

CARACTERÍSTICAS DE LAS FUENTES DE ALIMENTACIÓN

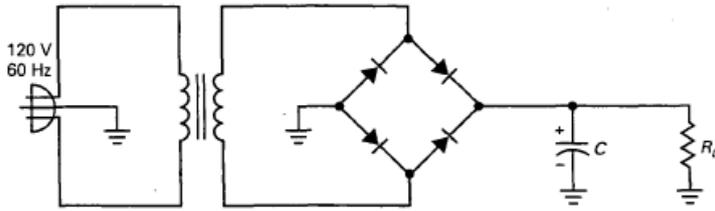
La calidad de una fuente depende de tres cosas:

- La regulación en su carga.
- La regulación en su red.

- La resistencia de salida.

REGULACIÓN PARA CARGA

En la fuente que se muestra a continuación, cuando se disminuye la resistencia de carga, se consigue mayor rizado y una tensión adicional atraviesa el transformador y los diodos. Debido a esto, un aumento de la corriente por la carga siempre disminuye la tensión en la carga.



La **regulación para carga** indica cuanto cambia la tensión en la carga cuando cambia la corriente por la carga:

$$\text{Regulación para carga} = \frac{V_{NL} - V_{FL}}{V_{FL}} 100\%$$

Siendo " V_{NL} " la tensión en la carga sin corriente y " V_{FL} " es la tensión en la carga con corriente de carga máxima. Cuanto menor es este valor, mejor será la fuente. Un valor aceptable para una fuente buena es abajo del 1%.

REGULACIÓN DE RED

Generalmente, la tensión de entrada suele variar dependiendo del momento del día, la población y otros factores. Por lo tanto, la tensión en la carga suele variar junto con la de red o la entrada.

Otra forma de especificar la calidad de la fuente es a través de la regulación de línea o de red, definida como:

$$\text{Regulación de red} = \frac{V_{HL} - V_{LL}}{V_{LL}} 100\%$$

Siendo " V_{HL} " la tensión en la carga para una tensión de red máxima y " V_{LL} " es la tensión en la carga con tensión de red mínima.

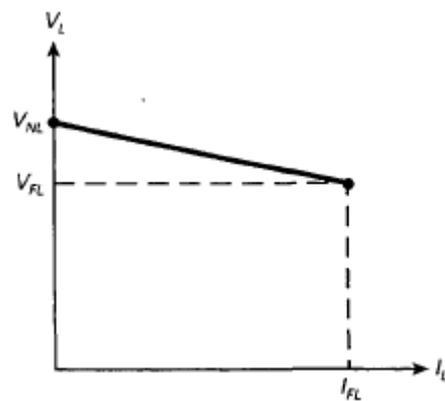
Cuanto menor sea este valor, mejor será la fuente regulada. Un valor aceptable para una buena red está por debajo de 0,1%.

RESISTENCIA DE SALIDA

La resistencia de Thevenin o de salida de una fuente determina la regulación en la carga. Una fuente con baja resistencia de salida tiene baja regulación en la carga. La resistencia de salida se calcula como:

$$R_{TH} = \frac{V_{NL} - V_{FL}}{I_{FL}}$$

En la siguiente figura se muestra una gráfica de tensión de carga frente a corriente de carga. Como se puede observar, la tensión de carga disminuye al aumentar la corriente de carga. En cambio, la resistencia de salida de la fuente se mantiene constante, representada gráficamente como la pendiente de la recta. Mientras más horizontal es la recta, menor será la resistencia.



Una expresión equivalente para la resistencia de carga es:

$$\text{Regulación para carga} = \frac{R_{TH}}{R_{L\text{Min}}} 100\%$$

U2: REGULACIÓN DE POTENCIA

C: DISPOSITIVOS DE POTENCIA

TEMAS:

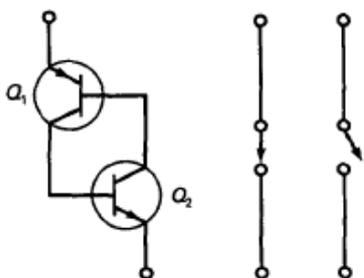
- Tiristores.
- Transistores MOSFET.
- IGBT.
- Análisis funcional.
- Aplicaciones.

Malvino 6ª Ed., Unidad 15 pág. 549

TIRISTORES

EL DIODO DE CUATRO CAPAS (LATCH)

El funcionamiento de un tiristor se puede explicar por el circuito equivalente que se muestra a continuación.



El transistor superior " Q_1 " es un dispositivo "pnp" y el inferior " Q_2 " es "nnp". Los colectores de cada dispositivo excitan la base de su vecino.

REALIMENTACIÓN POSITIVA

Un cambio de corriente de base " Q_2 " se amplifica y retoma al mismo punto a través de " Q_1 " para aumentar el cambio original. Esta realimentación positiva continúa hasta que ambos transistores llegan a saturación o a corte.

Por ejemplo, si la corriente de base de " Q_2 " aumenta, aumentará la corriente de colector de " Q_2 ", junto con la corriente de base de " Q_1 " y la corriente de colector de " Q_1 ", que a su vez vuelve a alimentar la base de " Q_2 " y el proceso se repite hasta la **saturación**. Es decir, el circuito actúa como un **interruptor cerrado**.

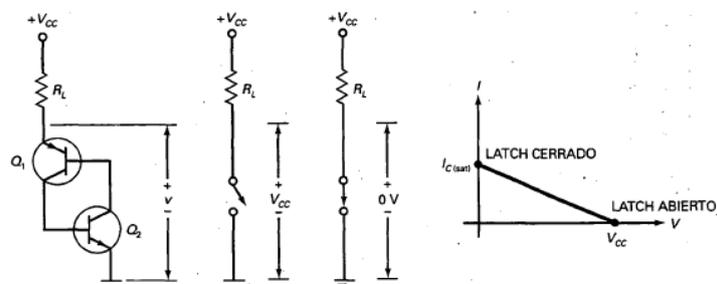
Por otro lado, si la corriente de base de " Q_2 " disminuye, disminuirá la corriente de colector de " Q_2 ", junto con la corriente de base " Q_1 " y la corriente de colector de " Q_1 ", que a su vez vuelve a disminuir la corriente de base " Q_2 " y el proceso continúa hasta el **corte**. Es decir, el circuito actúa como un **interruptor abierto**.

El estado abierto o cerrado permanecerá así hasta que algo cause que la corriente cambie. Este circuito se conoce como **latch**.

COMO CERRAR UN LATCH

Supongamos que tenemos un latch conectado a una resistencia de carga con una fuente de alimentación " V_{CC} ". Inicialmente el latch está abierto. Puesto a que no hay corriente a

través de la resistencia, la tensión de salida es igual a la tensión de la fuente.



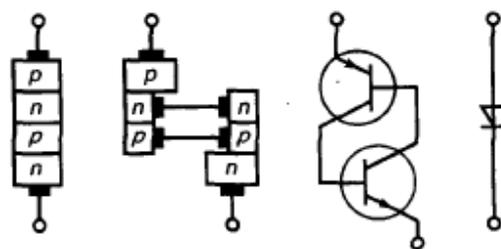
La única forma de cerrar el latch es mediante una **tensión de cebado**. Esto implica utilizar una tensión de alimentación " V_{CC} " suficientemente grande como para llevar a ruptura a los diodos. Esto desata la realimentación positiva que lleva los transistores a saturación. En esta condición los transistores se comportan idealmente como cortocircuitos.

COMO ABRIR UN LATCH

Reduciendo a cero la tensión de alimentación, lo cual fuerza al transistor a pasar de saturación a corte. A esto se lo conoce como **bloqueo por disminución de corriente**.

EL DIODO SCHOCKLEY

El esquema a continuación se conoce como **diodo Schockey, diodo de cuatro capas, diodo "pnpn" o interruptor unilateral de silicio**.

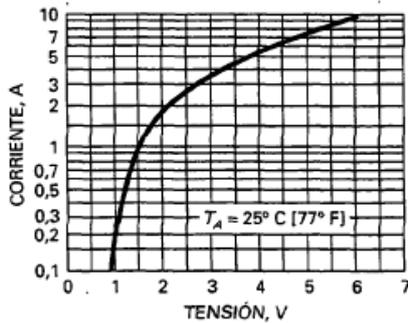


El dispositivo solo permite el paso de la corriente en una dirección. La manera más sencilla de entender cómo funciona es imaginarlo en dos mitades separadas como muestra la imagen. En

la izquierda se encuentra el transistor "pnp" y a la derecha el "npn". Por lo tanto, el **diodo de cuatro capas es equivalente a un latch**.

El único modo de hacer que el diodo de cuatro capas conduzca es mediante cebado, y la única forma de abrirlo es con bloqueo por disminución de corriente. No hay que necesariamente reducir la corriente hasta cero para abrir el latch. Los transistores saldrán de saturación cuando la corriente sea menor a la **corriente de mantenimiento** (indicado en la hoja de características). Luego el dispositivo pasará de saturación a corte.

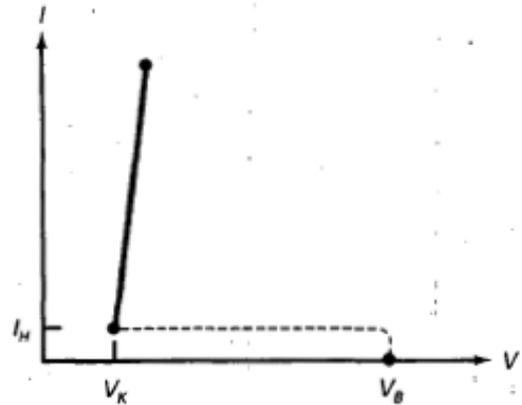
Una vez que el dispositivo entra en saturación, la tensión disminuye a un valor pequeño, que dependerá de la corriente que circule. A continuación se muestra esta característica para el "IN5158".



FUNCIÓN DE TRANSFERENCIA

A continuación se presenta una gráfica de corriente en función de la tensión para un diodo de cuatro capas. Tiene dos

zonas de funcionamiento: no conducción (corte) y conducción (saturación). La línea de trazos es la transición entre ambas zonas y está dibujada así para indicar que el dispositivo conmuta rápidamente entre los dos estados.



Cuando el dispositivo está en corte tiene corriente cero. Si la tensión trata de exceder " V_B ", el diodo entra en saturación y su punto de trabajo se desplaza rápidamente por la línea de trazos hasta la zona de conducción. En este estado el diodo funciona sobre la recta, siempre y cuando la corriente se mantenga por encima de la corriente de mantenimiento " I_H ". Debajo de este valor el dispositivo conmuta a la zona de corte.

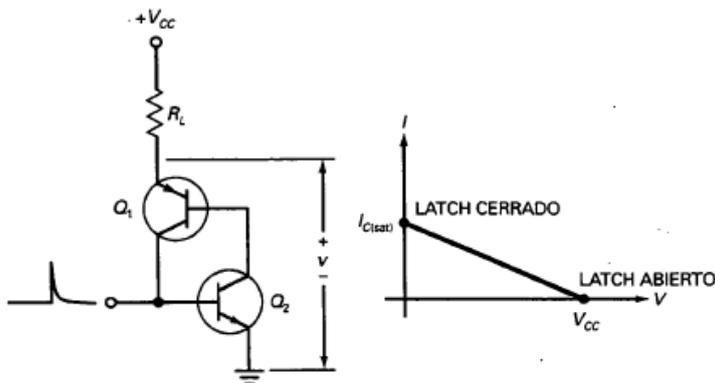
La aproximación ideal del diodo de cuatro capas es un interruptor abierto cuando se encuentra en corte y un interruptor cerrado cuando está en saturación. Una segunda aproximación incluye la tensión " $V_K \approx 0,7 V$ ".

EL RECTIFICADOR CONTROLADO DE SILICIO (SCR)

Es el tiristor más usado. Puede conmutar corrientes muy elevadas.

DISPARO DEL LATCH

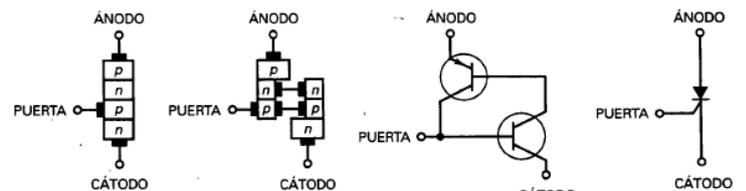
Al añadir un terminal de entrada en la base de " Q_2 ", se puede crear una segunda manera de cerrar el latch. Para ello se introduce un disparador (pulso afilado) en la base " Q_2 " y se incrementa la corriente de base. Esto inicia la realimentación positiva y lleva ambos transistores a saturación. En este estado el circuito es idealmente un cortocircuito.



DISPARO DE PUERTA

A continuación se muestra la estructura de un SCR. Tiene tres terminales: anodo, catodo y **puerta**. Este dispositivo es más útil que el diodo de cuatro capas porque el disparo de puerta es

más sencillo que el disparo mediante tensión de cebado. En definitiva el SCR es equivalente a un latch pero con una entrada de disparo.

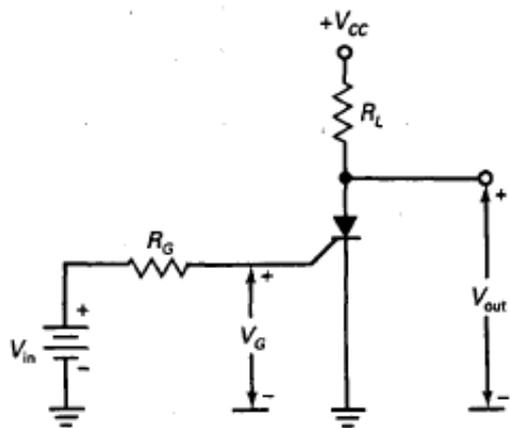


Como la puerta está conectada a la base de un transistor interno, se necesitan al menos $0,7 V$ para disparar el SCR. La hoja de características indica la **tensión de disparo " V_{GT} "**. En lugar de especificar la resistencia de entrada de la puerta, algunos fabricantes proporcionan la corriente mínima de entrada necesaria para que el SCR conduzca. Esta se llama **corriente de disparo " I_{GT} "**. Por lo tanto, para cebar un SCR se debe proporcionar una corriente " I_{GT} " a una tensión de " V_{GT} ".

TENSIÓN DE ENTRADA

Un SCR posee una tensión de puerta " V_G ". Cuando esta es mayor que " V_{GT} " el SCR conduce y la tensión de salida caerá a un valor menor que " V_{CC} ". En ocasiones se usa una resistencia de puerta para limitar la corriente a un valor seguro. La tensión de entrada necesaria para disparar el SCR es:

$$V_{in} \geq V_{GT} + I_{GT}R_G$$



REINICIAR EL SCR

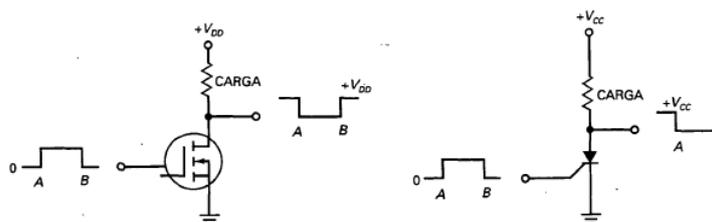
Luego de cebar el SCR, permanecerá en saturación incluso aunque se reduzca " V_{in} " a cero. En este caso, la tensión de salida se mantendrá baja indefinidamente. Para reiniciar el SCR se debe reducir su corriente a un valor menor que la corriente de mantenimiento, esto se logra reduciendo " V_{CC} ". La tensión de alimentación para que el SCR conduzca tiene que ser:

$$V_{CC} = 0,7 V + I_H R_L$$

FET DE POTENCIA VS. SCR

Aunque ambos pueden conmutar corrientes grandes, presentan funcionamientos diferentes. Los FET de potencia pueden ser abiertos o cerrados por la tensión de puerta, sin embargo los SCR solo pueden ser cerrados por la tensión de puerta.

Debido a que el reinicio son diferentes, los dispositivos tienen diferentes aplicaciones. Los FET de potencia responden como interruptores de dos posiciones, mientras que los SCR lo hacen como interruptores de una sola pulsación. El control más simple de los FETs lo hacen más útiles para circuitos integrados digitales y cargas pesadas. En aplicaciones en las que es importante que el circuito permanezca cerrado, se emplean los SCR con frecuencia.

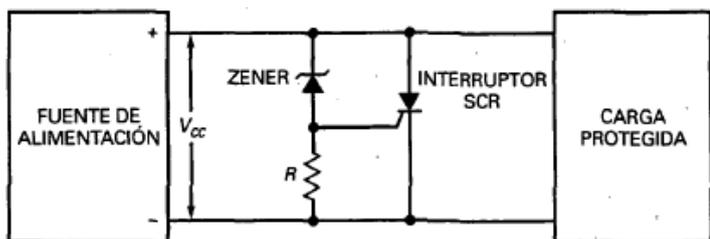


EL SCR COMO INTERRUPTOR

En ocasiones, pueden dañarse la fuente de alimentación y causar sobretensiones a la salida. Para resguardar la carga de este problema se utilizan frecuentemente los SCR como elemento de protección.

DISEÑO BÁSICO

En la imagen se puede ver una fuente de alimentación positiva que alimenta una carga. Se intercala un elemento de protección que consiste en un diodo Zener, una resistencia y un SCR. En condiciones normales, " V_{CC} " es inferior a la tensión de ruptura del diodo Zener, por lo tanto no hay corriente a través de " R " y el SCR permanece abierto.



Supongamos ahora que la tensión de la fuente se incrementa por alguna razón. Cuando " V_{CC} " es tan grande como el valor de la tensión de ruptura, activa el diodo Zener, genera una corriente a través de esa rama y produce una caída de tensión en " R ". Si la tensión es superior a la tensión de disparo del SCR (alrededor de $0,7 V$), hará que se cebe y conducirá como un cortocircuito. La acción es muy rápida ($1\mu s$ para el 2N4441), por lo tanto la carga queda protegida.

La sobretensión que dispara el SCR es:

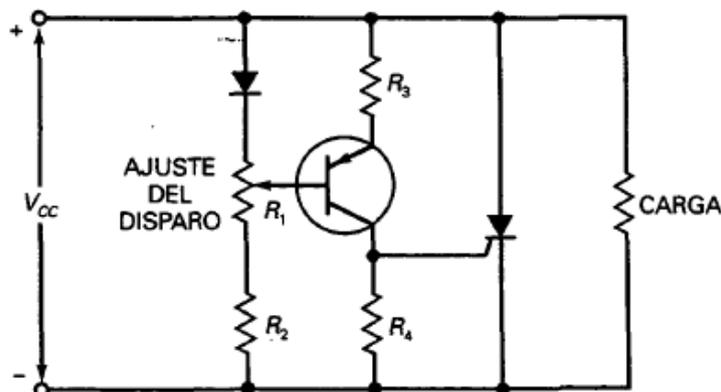
$$V_{CC} = V_Z + V_{GT}$$

Esta protección es muy drástica, ya que un cortocircuito puede dañar la fuente de alimentación, por lo tanto se usan fusibles o limitadores de corriente para evitar daños.

UN DISEÑO MÁS EFICIENTE (GANANCIA DE TENSION)

El circuito básico adolece de un encendido suave, debido al codo de tensión de ruptura del Zener que es curvada en vez de angular. El encendido suave puede resultar en una tensión de alimentación peligrosamente alta antes de que el SCR se dispare.

Para corregir este problema se aumenta la ganancia de tensión con transistores. Normalmente este se encuentra en corte, pero cuando la tensión de salida crece, el transistor puede pasar a conducir y produce una caída en " R_4 ". La ganancia del transistor es aproximadamente " R_4/R_3 ", lo cual una pequeña sobretensión puede activar el SCR.



El diodo sirve para compensar las variaciones con las temperaturas del diodo base-emisor. El ajuste de disparo permite establecer el punto de disparo del circuito.

Existen dispositivos integrados con esta protección.

CONTROL DE FASE MEDIANTE SCR

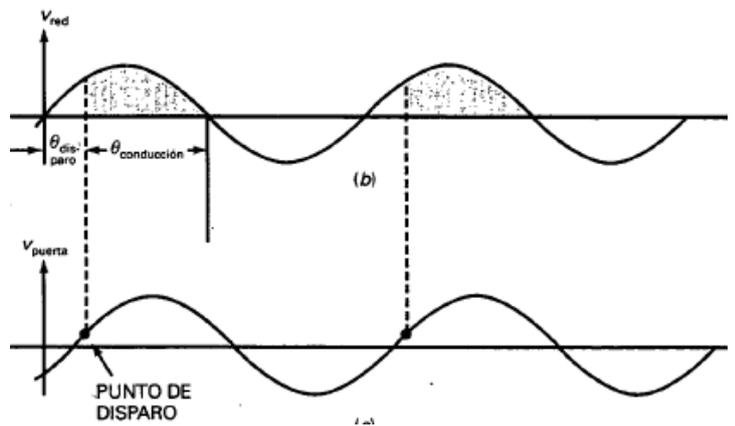
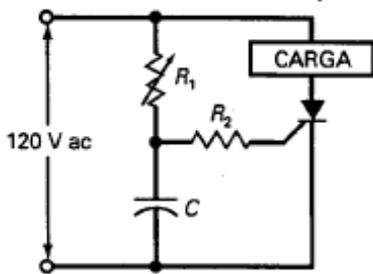
Estos dispositivos pueden controlar cargas industriales elevadas utilizando el control de fase.

CIRCUITO RC PARA CONTROL DE ÁNGULO DE FASE

A continuación se presenta una tensión de red aplicada a un circuito SCR que controla la corriente a través de una carga elevada. Con la resistencia variable " R_1 " y el condensador "C" se puede modificar el ángulo de fase en la señal de puerta. Cuando " R_1 " es cero, la tensión de puerta está en fase con la tensión de red y el SCR actúa como un rectificador de media onda. " R_2 " limita la corriente de puerta a un valor seguro.

Cuando " R_1 " crece, la tensión de puerta atrasa respecto a la tensión de red en un ángulo entre 0 y 90° , como muestra la imagen. Antes del punto de disparo el SCR está abierto y la corriente por la carga es cero. A partir del punto de disparo la tensión en el condensador es suficientemente grande como para disparar el SCR, y casi toda la tensión de red aparecerá en los terminales de la carga. El SCR cebado continúa cerrado hasta que la tensión de red cambia de polaridad.

La variación de " R_1 " permite controlar el valor medio de la corriente a través de la carga. Esto permite variar la velocidad de un motor, el brillo de una lámpara o la temperatura de un horno.

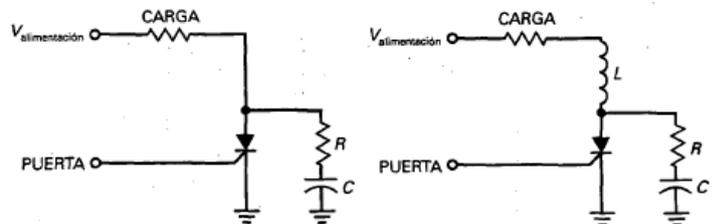


Este circuito es una forma básica de controlar la corriente media. Usando amplificadores operacionales y otros circuitos RC más complejos se puede cambiar el ángulo de fase de 0 a 180° .

VELOCIDAD CRÍTICA DE CRECIMIENTO DE LA TENSIÓN

La tensión alterna en dispositivos SCR puede desatar disparos falsos, debido a las capacidades internas. Para evitar esto no se debe exceder la velocidad crítica de crecimiento de tensión señalada en la hoja de características.

Los efectos de los transitorios de conmutación de las fuentes de alimentación pueden ser reducidos con amortiguadores RC. Si por otro lado, es la corriente la que quiere aumentar rápidamente se incluye una bobina en serie con la carga y así se reduce el efecto.



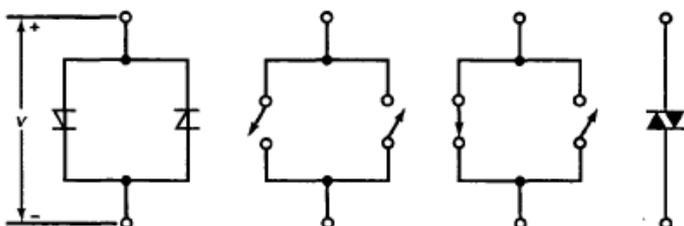
TIRISTORES BIDIRECCIONALES

Tanto el SCR como el diodo de cuatro capas son dispositivos unidireccionales, conducen la corriente en un sentido. El DIAC y el TRIAC son tiristores bidireccionales.

DIAC

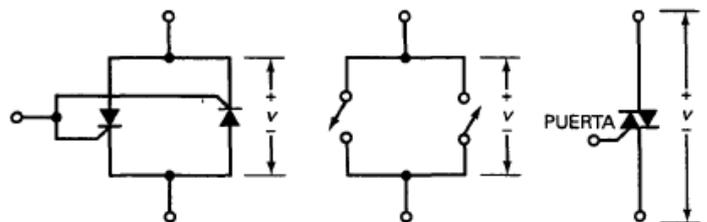
El circuito equivalente del DIAC es un par de diodos de cuatro capas en paralelo y puede conducir en cualquier sentido. Este dispositivo no conduce hasta que la tensión en los extremos no supera la tensión de cebado en cualquier dirección.

Con la polaridad indicada el latch de la izquierda se cierra y conduce.



TRIAC

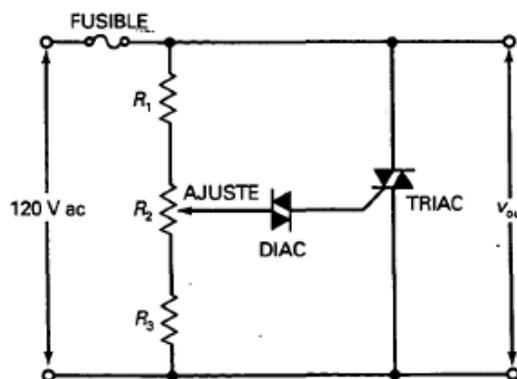
El circuito equivalente de un TRIAC equivale a dos SCR en paralelo e invertidos. Esto permite controlar la corriente en cualquier dirección.



Si la tensión es la indicada, se requiere un disparo positivo para cerrar el latch izquierdo. Caso contrario el disparo tendrá que tener la polaridad opuesta.

INTERRUPTOR TRIAC

A continuación se muestra la conexión útil para proteger equipos contra tensiones de red excesivas. Si la tensión de red crece mucho, el *DIAC* se ceba y dispara el *TRIAC*. A continuación se funde el fusible y se corta el circuito. El potenciómetro " R_2 " permite establecer el punto de disparo.



Malvino 6ª Ed., Unidad 13 pág. 465

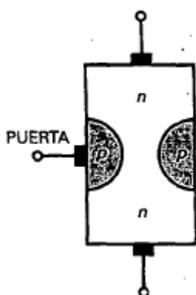
JFET

El transistor bipolar basa su funcionamiento en dos tipos de cargas: electrones y huecos. En cambio, los *FET* (transistor de efecto de campo) son unipolares, porque solo una carga es la que viaja: electrones libres o huecos. Solo tiene portadores

mayoritarios. A diferencia de los transistores, estos tienen mayor impedancia de entrada y se prefieren en aplicaciones de interruptor. Esto se debe a que no existen portadores minoritarios, lo cual lo vuelve un dispositivo más veloz.

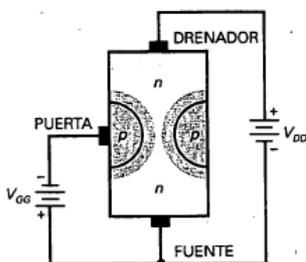
IDEAS BÁSICAS

El *JFET* es un semiconductor tipo "n" pero con dos áreas tipo "p". Estas dos áreas están interconectadas para tener un solo terminal externo de **puerta**.



EFEECTO DE CAMPO

La polaridad del *JFET* se muestra a continuación:



La tensión de alimentación del drenador es positiva y la de la puerta es negativa. El término **efecto de campo** se relaciona con las zonas de deplexión que rodean las zonas "p". Estas contienen electrones libres de la zona "n" que difunden y se recombinan.

CORRIENTE DE PUERTA

La puerta y la fuente forman el diodo puerta-fuente. En un *JFET* siempre se polariza en inversa este diodo, por lo tanto la corriente " I_G " es aproximadamente cero, lo que equivale a una resistencia de entrada infinita.

Esta impedancia de entrada es la ventaja de los *JFET* frente a los transistores bipolares. Una aplicación frecuente es el seguidor de fuente, análogo al seguidor de emisor.

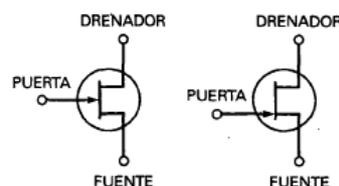
LA TENSIÓN DE PUERTA CONTROLA LA CORRIENTE DE DRENADOR

Los electrones que circulan desde la fuente hacia el drenador deben pasar a través del estrecho **canal** entre las zonas de deplexión. Cuanto más negativa sea la tensión de puerta, más grande será la capa de deplexión y más estrecho el canal de conducción. Esto implica que la tensión de puerta controla la corriente a través del canal. **Cuanto más negativa la tensión de puerta, menor será la corriente fuente-drenador.**

El *JFET* es un circuito controlado por tensión. Una tensión de entrada " V_{GS} " controla una corriente de salida.

SÍMBOLO ELÉCTRICO

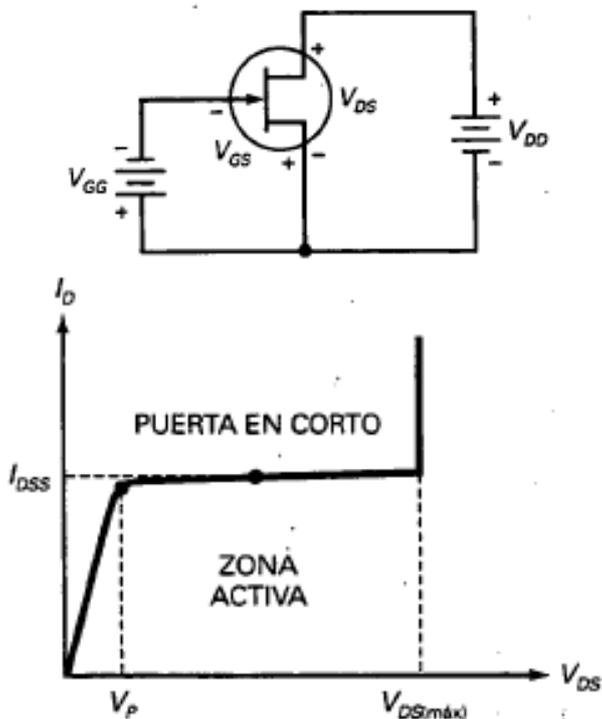
El *JFET* antes mostrado es de **canal n** debido a que entre la fuente y el drenador hay material tipo "n". En muchas aplicaciones de baja frecuencia los terminales fuente y drenador son intercambiables. Sin embargo, a altas frecuencias no son intercambiables ya que el fabricante minimiza la capacidad entre la puerta y el drenador. El símbolo es indistintamente alguno de los siguientes:



Los *JFET* de canal "p" solo difiere en el sentido de la flecha de la puerta. En este todas las tensiones y corrientes están invertidas respecto al *JFET* tipo "n".

CARACTERÍSTICAS DE SALIDA

En la siguiente figura se muestra un *JFET* con tensiones de polarización normales. La tensión puerta-fuente " V_{GS} " es igual a la tensión de alimentación de la puerta " V_{GG} ", y la tensión drenador-fuente " V_{DS} " es igual a la tensión de alimentación del drenador " V_{DD} ".



CORRIENTE DE DRENADOR MÁXIMA

Si **cortocircuitamos la puerta con la fuente**, entonces " $V_{GS} = 0$ " y la corriente de drenador " I_D " será máxima. En la gráfica $I_D - V_{DS}$ se observa esta situación. La corriente de drenador se incrementa rápidamente y luego se vuelve horizontal cuando " $V_{DS} = V_P$ ".

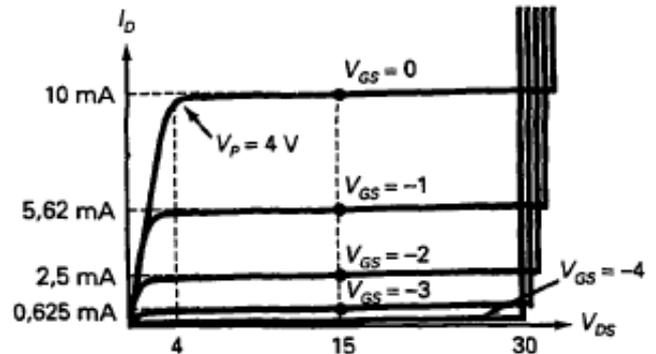
Cuando " V_{DS} " aumenta, la capa de deplexión se expande. Cuando " $V_{DS} = V_P$ " la capa de deplexión se cierra e impide posteriores aumentos de corriente. El límite superior será " I_{DSS} ".

La zona activa del *JFET* está entre la **tensión de estrangulamiento " V_P "** y la **tensión de ruptura " V_{DSMax} "**. En esta zona actúa como fuente de corriente con " I_{DSS} " a " $V_{GS} = 0$ ".

" I_{DSS} " es el parámetro más importante de los *JFET* y que se encuentra en la hoja de características. Representa la corriente máxima.

LA ZONA ÓHMICA

En la siguiente figura se observan las dos zonas principales de los *JFET*: la **zona activa** horizontal y la **zona óhmica** casi vertical.



En la zona óhmica el *JFET* actúa como una resistencia pequeña. Su valor aproximado es:

$$R_{DS} = \frac{V_P}{I_{DSS}}$$

CORTE Y ESTRANGULAMIENTO DE LA PUERTA

Viendo la familia de curvas del *JFET* la curva superior es siempre para " $V_{GS} = 0$ ", la **condición de corte**. La tensión de estrangulamiento para este ejemplo es " $V_P = 4V$ " y la tensión de ruptura es " $V_{DS} = 30V$ ". Se puede observar que mientras más negativa sea la tensión puerta-fuente " V_{GS} ", menor será la corriente de drenador.

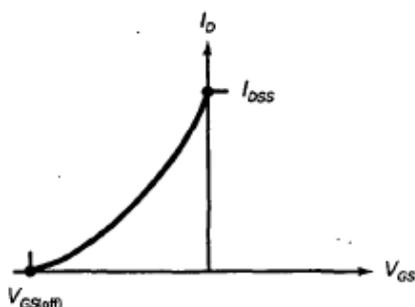
Cuando " $V_{GS} = -4$ " la corriente de drenador se reduce casi a cero. Esta es la **tensión puerta-fuente de corte " V_{GSoff} "**. En este punto la zona de deplexión se pone en contacto.

Los dos parámetros más importantes para el *JFET*: " V_P " y " V_{GSoff} ", son de igual magnitud. Esto no es casual, ya que es la tensión en la cual la capa de deplexión se pone en contacto. Se cumple que:

$$V_{GSoff} = -V_P$$

CARACTERÍSTICAS DE TRANSFERENCIA

La **característica de transferencia** de un *JFET* es una gráfica $I_D - V_{GS}$, como se muestra a continuación:



La curva no es lineal porque la corriente aumenta rápidamente cuando " V_{GS} " se acerca a cero. La ecuación de la curva es:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSoff}} \right)^2$$

Existen dispositivos normalizados que respetan las razones " I_D/I_{DSS} " y " V_{GS}/V_{GSoff} ".

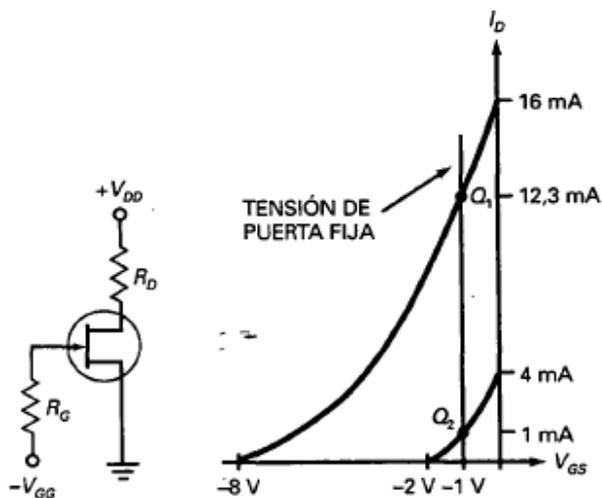
POLARIZACIÓN EN LA ZONA ÓHMICA

Un *JFET* polarizado en la zona óhmica equivale a una resistencia, y polarizado en la zona activa equivale a una fuente de corriente.

POLARIZACIÓN DE PUERTA

Para la **polarización de puerta** se utiliza una tensión negativa " $-V_{GG}$ " en puerta a través de la resistencia de polarización " R_G ". Con esto la corriente de drenador será menor que " I_{DSS} ". La tensión de drenador es:

$$V_D = V_{DD} - I_D R_D$$

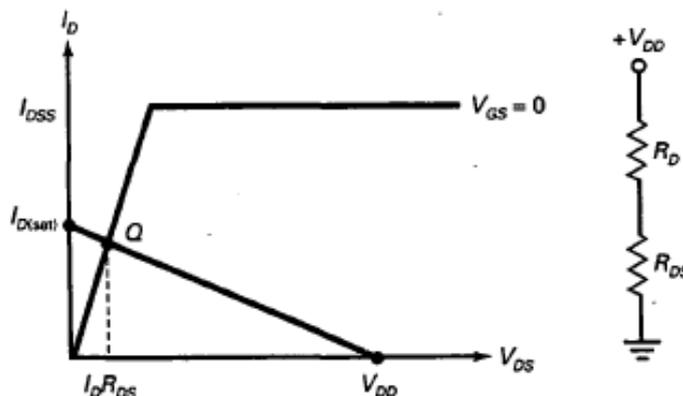


Esta es la peor forma de polarizar un *JFET* en la zona activa, debido a que el punto "Q" es demasiado inestable, como se observa en la imagen para el dispositivo "2N5459", para " I_{DSS} " y " $V_{GS\ off}$ ". En la gráfica se puede observar la separación entre mínimo y máximo, " I_{DSS} " varía entre 4 mA a 16 mA y " $V_{GS\ off}$ " va de -2 V a -8 V. Usando una polarización de puerta (por ejemplo

-1 V) se puede obtener una corriente de drenador mínima y máxima. Sin embargo, es útil para trabajar en la zona óhmica ya que aquí no importa la estabilidad.

SATURACIÓN FUERTE

A continuación se muestra como polarizar un *JFET* en la zona óhmica.



El límite superior de la recta de carga para c.c. tiene una corriente de saturación de drenador de:

$$I_{D\ sat} = \frac{V_{DD}}{R_D}$$

Para asegurarse el funcionamiento en la zona óhmica, se debe hacer " $V_{GS} = 0$ " y " $I_{D\ sat} \ll I_{DSS}$ ".

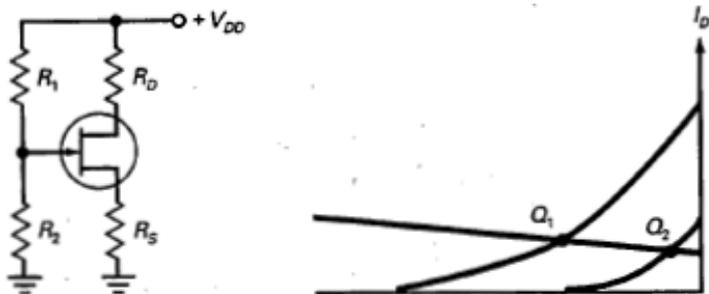
Cuando un *JFET* se polariza en la zona óhmica, se puede sustituir por una resistencia " R_{DS} ", como muestra la imagen. Con este circuito equivalente se puede calcular la tensión del drenador. Cuando " R_{DS} " es mucho menor que " R_D ", la tensión de drenador se aproxima a cero.

POLARIZACIÓN EN LA ZONA ACTIVA

Para trabajar en esta zona no sirve la polarización de puerta, por su gran margen entre parámetros. Por lo tanto, se recurre a métodos similares a los usados con transistores bipolares.

POLARIZACIÓN CON UN DIVISOR DE TENSION

A continuación se muestra el conexionado:



El divisor de tensión aporta a la puerta una tensión que representa una fracción de la tensión de alimentación. La tensión en la resistencia de fuente es:

$$V_S = V_G - V_{GS}$$

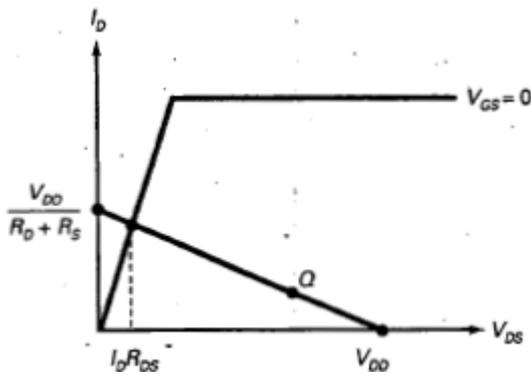
Debido a que la tensión " V_{GS} " es negativa, la tensión de fuente será algo mayor que la tensión de puerta. La corriente de drenador es:

$$I_D = \frac{V_S}{R_S} = \frac{V_G - V_{GS}}{R_S} \approx \frac{V_G}{R_S}$$

Cuando la tensión de puerta es grande, se puede despreciar la variación de " V_{GS} ", y lograr la aproximación de la ecuación. Como resultado, la corriente de drenador es casi constante en cualquier *JFET*.

En la gráfica a continuación se muestra una recta de carga para c.c. Para un amplificador, "Q" debe estar en la zona activa. Es decir, " V_{DS} " es mayor que " $I_D R_{DS}$ " (zona óhmica) y menor que " V_{DD} " (corte).

Cuando la tensión de alimentación es grande, la polarización por divisor de tensión alcanza un punto "Q" estable.

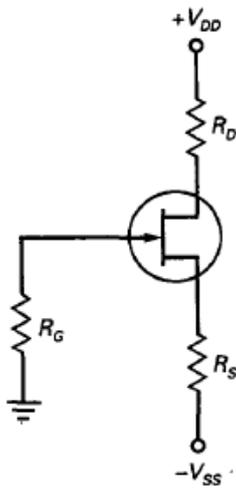


POLARIZACIÓN CON DOS FUENTES

A continuación se muestra una imagen con la polarización con dos fuentes. La corriente de drenador es:

$$I_D = \frac{V_{SS} - V_{GS}}{R_S} \approx \frac{V_{SS}}{R_S}$$

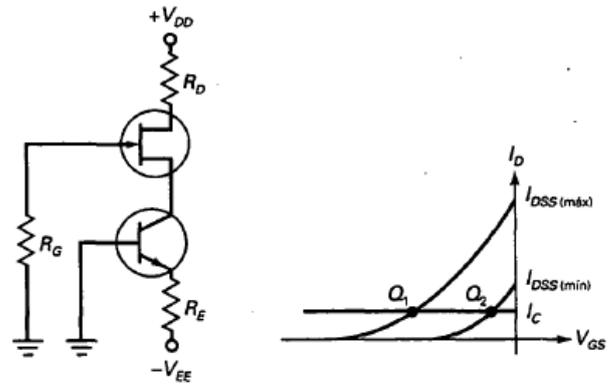
Nuevamente, se tiende a reducir la influencia de " V_{GS} ", haciendo " V_{DS} " mucho mayor.



POLARIZACIÓN CON FUENTE DE CORRIENTE

Cuando la fuente de tensión del drenador no es lo suficientemente grande puede que no haya la suficiente tensión en la puerta como para despreciar las variaciones de " V_{GS} ". En este caso, se puede usar la polarización con fuente de corriente. En este esquema, el transistor bipolar bombea una corriente fija al *JFET*. La corriente de drenador viene dada por:

$$I_D = \frac{V_{EE} - V_{BE}}{R_E}$$



Se observa gráficamente que aunque " V_{GS} " es diferente para cada punto " Q ", ya no existe influencia sobre la corriente de drenador.

AUTOPOLARIZACIÓN

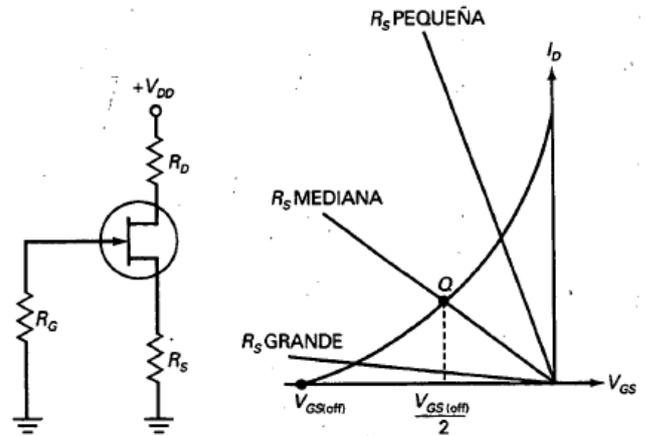
Como la corriente de drenador circula a través de la resistencia de fuente " R_S ", existirá una tensión entre la fuente y tierra:

$$V_S = I_D R_S$$

Como " V_G " es cero, se tiene:

$$V_{GS} = -I_D R_S$$

Esto nos indica que la tensión puerta-fuente es igual a la tensión negativa a través de la resistencia de la fuente. Básicamente, el circuito crea su propia polarización usando la tensión en " R_S " para polarizar en inversa la puerta.



En la gráfica muestra el efecto de diferentes resistencias de fuente. El punto " Q " para la autopolarización no es tan estable como la polarización por división de tensión, polarización de fuente o polarización por fuente de corriente. Por esto, este esquema se utiliza para amplificadores de pequeña señal.

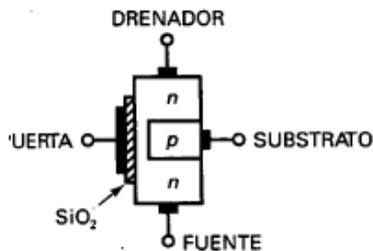
MOSFET

El *FET* de semiconductor óxido-metal o *MOSFET*, está compuesto por una puerta, un drenador y una fuente. Sin embargo, su puerta está eléctricamente aislada del canal. Esto hace que la corriente de puerta sea menor que para un *FET*.

Existen dos tipos: los *MOSFET* de **empobrecimiento** y los de **enriquecimiento**. El primero se usa muy poco, el segundo se suele usar en circuitos discretos como integrados como interruptores de potencia y también en conmutación digital.

EL MOSFET DE EMPOBRECIMIENTO

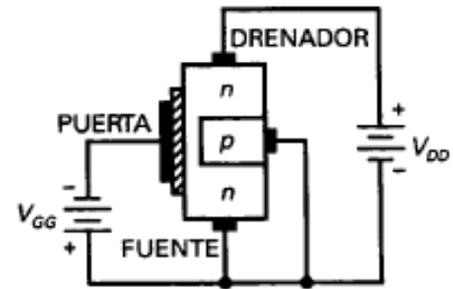
Se conocen como **MOSFET de empobrecimiento o de deplexión** y constructivamente son como muestra la siguiente imagen. Se componen de una pieza de material tipo "n" con una zona tipo "p" a la derecha y una puerta aislada a la izquierda. La zona "p" se conoce como **sustrato o cuerpo**. Los electrones que circulan desde la fuente hacia el drenador deben pasar por el estrecho canal.



Se deposita una capa delgada de dióxido de silicio SiO_2 en el lado izquierdo. Este material es semejante al vidrio (aislante). La puerta es metálica y está aislada al canal. La corriente de puerta es despreciable.

A continuación se muestra una imagen de un MOSFET de empobrecimiento con tensión de puerta negativa. También puede

ser la tensión de puerta positiva. La alimentación " V_{DD} " obliga a los electrones libres a circular desde la fuente hacia el drenador, pasando por el estrecho canal a la izquierda del sustrato "p". La tensión de puerta controla el ancho del canal. Cuanto más negativa sea la tensión de puerta, menor será la corriente de drenador. Este dispositivo es muy similar al JFET.



Al estar la puerta aislada eléctricamente, es posible aplicar tensión positiva a la puerta. Esta incrementa el número de electrones libres que circulan a través del canal. Cuanto más positiva sea la tensión de puerta, mayor será la corriente de drenador.

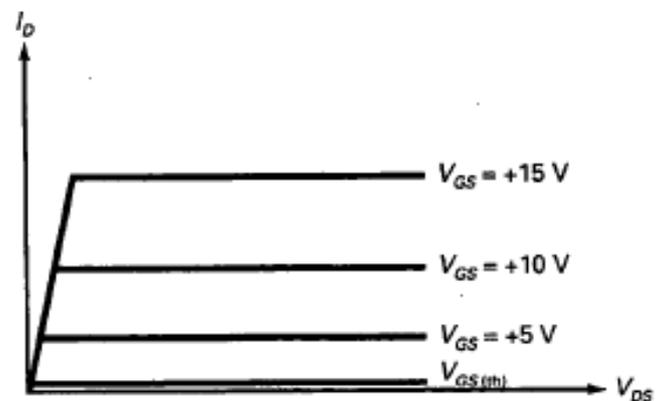
EL MOSFET DE ENRIQUECIMIENTO

LA IDEA BÁSICA

A continuación se muestra constructivamente un **MOSFET de enriquecimiento**. El sustrato tipo "p" se extiende a lo ancho hasta el dióxido de silicio. La imagen muestra las tensiones de polarización normales. Cuando la tensión de puerta es nula, la corriente fuente-drenador es nula. Es decir, el MOSFET de enriquecimiento está **normalmente en corte**.

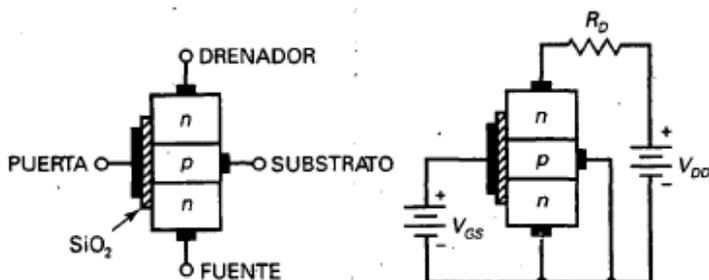
Cuando la tensión de puerta es positiva, se consigue corriente fuente-drenador. La puerta atrae electrones libres dentro de la región "p", y se recombinan con los huecos cercanos al dióxido de silicio. Cuando la tensión de puerta es suficientemente grande, todos los huecos desaparecen y los electrones libres circulan desde la fuente al drenador. El efecto es idéntico al de crear una capa de material tipo "n", conocida como capa de inversión tipo "n". Para crear esta capa se requiere una tensión umbral " $V_{GS(th)}$ ". A tensiones " V_{GS} " menores, la corriente de drenador es nula. La tensión umbral generalmente se encuentra entre 1 – 3 V y tienen una limitación de menos de 1 W.

a " $V_{GS(th)}$ ". Para tensiones menores la corriente de drenador es casi cero. Para tensiones superiores hay conducción y la corriente de drenador se controla por medio de la tensión de puerta.



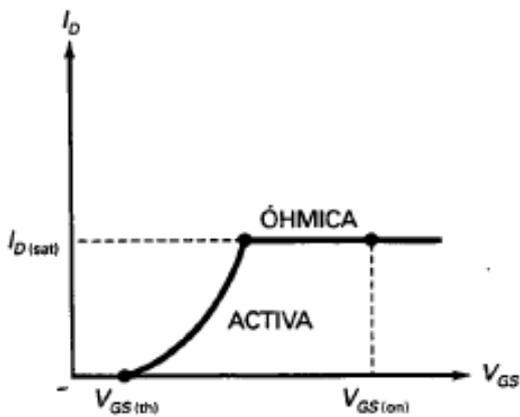
La **zona óhmica** corresponde a la zona donde las curvas se acercan a la vertical. La **zona activa** corresponde a la zona donde las curvas son horizontales. El MOSFET de enriquecimiento puede actuar en cualquier zona, como resistencia o como fuente de corriente respectivamente. Suele usarse en la zona óhmica.

A continuación se muestra la **curva de transferencia** típica. No hay corriente de drenador hasta que " V_{GS} " no alcanza " $V_{GS(th)}$ ". A partir de ahí, la corriente de drenador se incrementa rápidamente hasta un valor de corriente de saturación " $I_{D sat}$ ". Más allá de este punto el dispositivo está polarizado en la región óhmica, es decir, " I_D " no aumenta con ulteriores aumentos de " V_{GS} ".



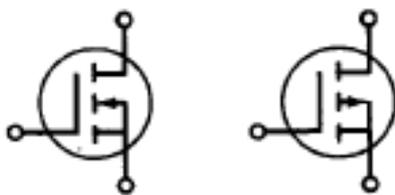
CARACTERÍSTICAS DE SALIDA

A continuación se presenta una gráfica de curvas de salida de un MOSFET de enriquecimiento. La curva inferior corresponde



SÍMBOLO ELÉCTRICO

El símbolo de un *MOSFET* de enriquecimiento con capa de inversión de canal tipo "n" se muestra a la izquierda. A la derecha se muestra un *MOSFET* de enriquecimiento con capa de inversión de canal tipo "p".



MÁXIMA TENSIÓN PUERTA-FUENTE

La delgada capa aislante de dióxido de silicio de los *MOSFETs*, impide la corriente de puerta. Esta capa es tan delgada que puede destruirse fácilmente con una tensión puerta-fuente " V_{GS} " excesiva.

Existe otra forma de destrucción diferente a la mencionada. Si se retira o inserta un *MOSFET* en un circuito mientras la alimentación está conectada, las tensiones transitorias debido a efectos inductivos pueden exceder la tensión máxima " $V_{GS Max}$ ". Incluso la carga estática depositada al tocar el dispositivo puede contribuir a la destrucción. Es por esto que los *MOSFETs* vienen empacutados en anillos metálicos, envueltos en papel aluminio o dentro de espuma conductora.

Muchos *MOSFETs* vienen protegidos con diodos Zener internos en paralelo con la puerta y la fuente. La tensión Zener es menor a " $V_{GS Max}$ ". Esto causa que diodo Zener entre en ruptura antes de que se produzca algún daño a la capa de aislamiento. La desventaja de este método es que reduce la alta resistencia de entrada. Sin embargo, cuando los *MOSFETs* son caros se justifica la pérdida de resistencia.

Como conclusión, al ser los *MOSFETs* elementos muy sensibles, no deben extraerse con alimentación y antes de manipularlos debemos poner nuestro cuerpo a masa, tocando el chasis del equipo con el que trabajamos.

LA ZONA ÓHMICA

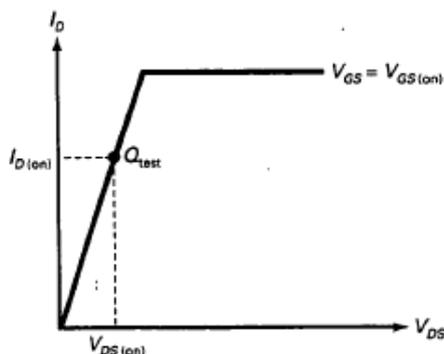
Aunque el *MOSFET* de enriquecimiento puede funcionar en la zona activa, no se suele hacer porque es principalmente un dispositivo de conmutación. La tensión baja es 0 V y la tensión alta es " $V_{GS(on)}$ " que viene especificado en la hoja de características.

DRENADOR-FUENTE EN RESISTENCIA

Cuando se lo polariza en la zona óhmica, es equivalente a una resistencia de " $R_{DS(on)}$ ". Las hojas características suelen dar el valor de resistencia a una corriente de drenador y a tensión puerta-fuente específica.

El fabricante calcula esta resistencia en un punto "Q" en la zona óhmica de la curva " $V_{GS} = V_{GS(on)}$ ", midiendo " $I_{D(on)}$ " y " $V_{DS(on)}$ ", y con la siguiente ecuación:

$$R_{DS(on)} = \frac{V_{DS(on)}}{I_{D(on)}}$$



Esta resistencia en la zona óhmica es baja. Cuando se polarizan en corte tienen una resistencia alta. Por lo tanto, los

MOSFETs de enriquecimiento tienen una excelente relación de conexión-desconexión.

POLARIZACIÓN EN LA ZONA ÓHMICA

En siguiente circuito la corriente de saturación de drenador es:

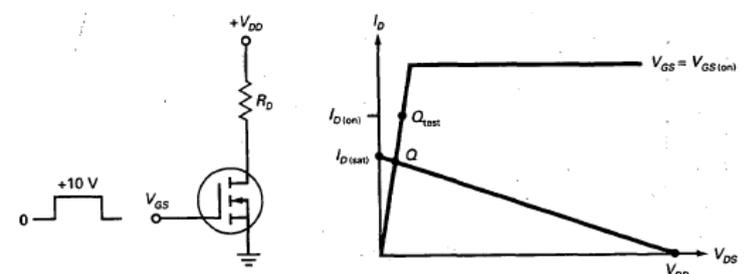
$$I_{D sat} = \frac{V_{DD}}{R_D}$$

La tensión de corte de drenador es " V_{DD} ". Se muestra además la recta de carga para c.c..

Cuando " $V_{GS} = 0$ ", el punto "Q" se encuentra en el extremo inferior de la recta de carga, con una tensión drenador-fuente " V_{DD} " en corte. Cuando " $V_{GS} = V_{GS(on)}$ ", el punto "Q" está en el extremo superior de la recta de carga, en saturación. La imagen muestra al punto "Q" en la zona óhmica, y satisface:

$$I_{D sat} < I_{D(on)} \text{ cuando } V_{GS} = V_{GS(sat)}$$

Cumpliendo esta condición el *MOSFET* se encuentra en la zona óhmica y se comporta como una pequeña resistencia.



U2: REGULACIÓN DE POTENCIA

D: REGULADORES CONMUTADOS

TEMAS:

- Modulación de ancho de pulso (PWM).
- Aplicaciones: Fuentes, Inversores, Variadores.

Malvino 6ª Ed., Unidad 15 pág. 1042

REGULADORES CONMUTADOS

Los reguladores conmutados provienen de la clase general de convertidores c.c.-c.c., dado que transforman una tensión de entrada continua en otra tensión de salida continua, superior o inferior. Pero los reguladores conmutados incluyen también regulación de tensión. Controlan mediante modulación en ancho de pulso el corte y la conducción de un transistor. Con cambios en el ciclo de trabajo, los reguladores conmutados pueden mantener la tensión de salida constante bajo condiciones de variación de la red y la carga.

EL TRANSISTOR DE PASO

En los reguladores serie la potencia disipada del transistor de paso era aproximadamente:

$$P_D = (V_{in} - V_{out})I_L$$

Los reguladores serie de tres terminales son muy populares, ya que son fáciles de usar y cubren muchas necesidades cuando la carga es menor de 10 W. El rendimiento en estos límites es del 50 %, lo que implica mucha disipación de calor. Al aumentar la potencia, los disipadores de calor empiezan a ser voluminosos y la temperatura puede llegar a ser inaceptable.

CONMUTACIÓN DEL TRANSISTOR DE PASO

La mejor solución al problema del bajo rendimiento y las altas temperaturas son los reguladores conmutados. Con estos, el transistor de paso está conmutado entre saturación y corte. En corte, la potencia disipada es virtualmente cero, y en saturación, es muy baja, ya que " $V_{CE\ sat}$ " es mucho menor que la tensión diferencia de entrada-salida de los reguladores serie. Los reguladores conmutados presentan rendimientos entre 75-95 %.

TOPOLOGÍA

A continuación se presenta una gráfica con las topologías usadas. Los más básicos son las tres primeras, ya que utilizan pocos componentes y soportan potencias de alrededor de 150 W.

Cuando se requiere un transformador aislado, se usa flyback y half-forward hasta los 150 W, a partir de esta potencia las topologías cambian se vuelven complejas.

Topología	Conversión	Choque	Transformador	Diodos	Transistores	Potencia (W)	Complejidad
Reductora	Reduce	Sí	No	1	1	0-150	Baja
Elevadora	Aumenta	Sí	No	1	1	0-150	Baja
Inversora	Ambas	Sí	No	1	1	0-150	Baja
Flyback	Ambas	No	Sí	1	1	0-150	Media
Half-forward	Ambas	Sí	Sí	1	1	0-150	Media
Contrafase	Ambas	Sí	Sí	2	2	100-1000	Alta
Medio puente	Ambas	Sí	Sí	4	2	100-500	Alta
Puente completo	Ambas	Sí	Sí	4	4	400-2000	Muy alta

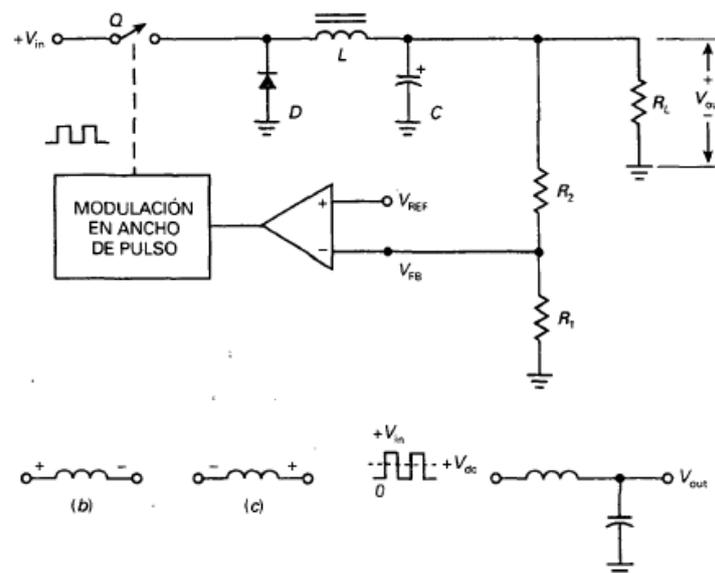
REGULADOR REDUCTOR

Esta topología siempre disminuye la tensión. El dispositivo de conmutación es un transistor bipolar o FET. La señal rectangular de salida del modulador de pulso abre y cierra el conmutador. El comparador controla el ciclo de trabajo de pulsos.

Cuando el pulso está en nivel alto, el conmutador está cerrado. Esto polariza en inversa el diodo, y la corriente de entrada circula a través de la autoinducción, y crea un campo magnético. La energía almacenada como campo magnético es:

$$E = 0,5Li^2$$

También se carga el condensador y proporciona corriente de carga. Mientras el conmutador está cerrado, la tensión en la autoinducción aparece con la polaridad como indica "b".



Cuando el pulso cae, se abre el conmutador y el campo magnético comienza a decrecer (devuelve la energía almacenada) e induce una tensión inversa con la polaridad mostrada en "c". Esto se llama **golpe inductivo**. A continuación, el diodo se polariza en

directa y la corriente que circula por la autoinducción continúa en el mismo sentido. La bobina se comporta como fuente.

La corriente circulará por la bobina hasta que entregue toda la energía almacenada (funcionamiento continuo) o hasta que el conmutador se cierre nuevamente (funcionamiento continuo. En ambos casos, el condensador también entrega energía cuando el conmutador se encuentra abierto. Así se minimiza el rizado.

El conmutador abre y cierra continuamente a una frecuencia de 10 – 100 kHz dependiendo el conmutador.

Con la tensión de entrada fija y un diodo ideal, llegará una tensión de forma rectangular a la entrada del **filtro de choque**. La salida del filtro de choque será igual a la corriente continua o valor medio de la entrada:

$$V_{out} = DV_{in}$$

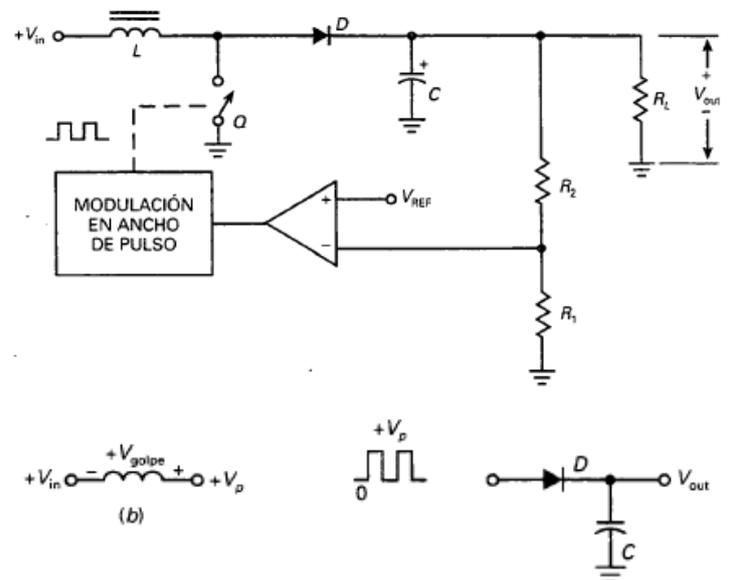
Mientras mayor sea el ciclo de trabajo, mayor será la tensión continua de salida.

Cuando la fuente se enciende por primera vez, no hay tensión en la salida que realimente el divisor de tensión. La salida del comparador será alta y el ciclo de trabajo se aproxima al 100 %. Como la tensión de salida aumenta, la tensión de realimentación " V_{FH} " disminuye y reduce el ciclo de trabajo. En algún punto la tensión de salida alcanzará un equilibrio en el cual la tensión de realimentación produzca un ciclo de trabajo que tenga la misma tensión de salida.

Establecido el equilibrio, cualquier intento de cambio en la tensión de salida, sea por el cambios en la red o en la carga, será completamente compensado por la realimentación negativa. Por ejemplo, si la tensión de salida trata de aumentar, la tensión de realimentación disminuye la salida del comparador. Esto disminuye el ciclo de trabajo y la tensión de salida. El efecto global es solo un incremento de la tensión de salida.

REGULADOR ELEVADOR

A continuación se puede observar el esquema del circuito. Este regulador siempre aumenta la tensión.



El funcionamiento es similar al regulador reductor. Por ejemplo, cuando el pulso está en nivel alto, el conmutador está

cerrado y la energía se almacena en forma de campo magnético en el autoinductor.

Cuando el pulso pasa a nivel bajo, se abre el conmutador. El campo magnético inducido en la bobina comienza a disminuir y provoca una tensión inversa como muestra "b". La tensión de entrada se sumará al golpe inductivo. Esto significa que el pico de tensión a la derecha de la autoinducción es:

$$V_p = V_{in} + V_{golpe}$$

El golpe inductivo depende de la cantidad de energía almacenada en forma de campo magnético, es decir, es proporcional al ciclo de trabajo.

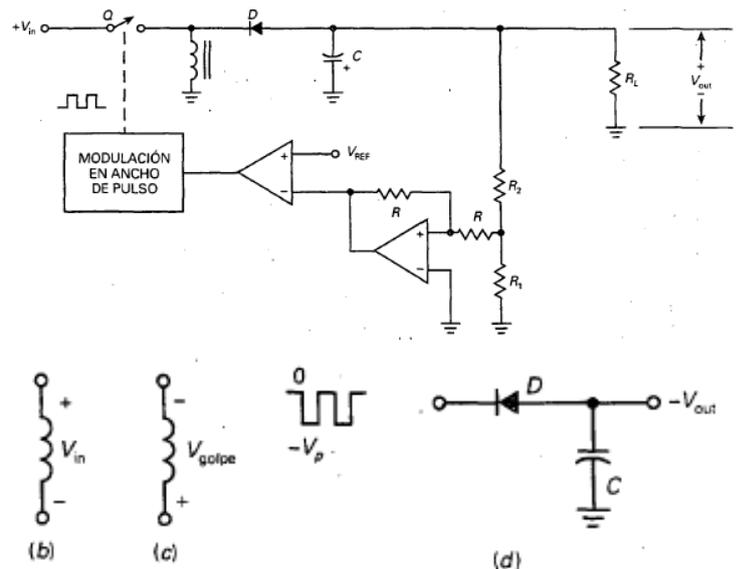
Con una tensión fija den entrada, llegara una tensión de forma rectangular a la entrada del **filtro con condensador**. De esta forma la tensión de salida regulada es aproximadamente igual al pico de la tensión. Como " V_{golpe} " es mayor que cero, entonces " V_p " siempre será mayor a " V_{in} ".

La diferencia entre un regulador reductor y uno elevador, es que el primero usa un filtro de choque y el segundo un filtro de capacitor.

Si la tensión de salida trata de aumentar, hay menor realimentación, menor salida del comparador, un ciclo de trabajo menor y un golpe inductivo menor. Esto disminuye el pico de tensión.

REGULADOR INVERSOR

Un regulador inversor siempre produce una tensión negativa de salida cuando es alimentado con una tensión negativa. Cuando el modulador de ancho de pulso tiene su salida en nivel alto, el conmutador permanece cerrado y almacena energía en el campo magnético. La tensión será " V_{in} " con la polaridad mostrada en "b".



Cuando el pulso pasa a nivel bajo se abre el conmutador, y comienza a disminuir la energía de campo magnético. Esto induce el golpe inductivo, con polaridad mostrada en "c". La tensión de golpe es proporcional a la energía almacenada en forma de campo magnético, la cual está controlada por el ciclo de trabajo. Un ciclo de trajo bajo almacena poca energía. Si es alto, la tensión de golpe puede ser incluso mayor que " V_{in} ".

El diodo y el filtro con condensador producirán una tensión de salida " $-V_p$ ". Como la tensión de salida en valor absoluto puede ser mayor o menor que la de entrada, se conoce a esta topología como reductora-elevadora.

Falta...

Se utiliza un amplificador en configuración inversora para invertir la tensión de realimentación antes de que alcance la entrada inversora comparador.

Cualquier intento de aumento de la tensión de salida disminuirá el ciclo de trabajo, lo que reduce el valor pico de la tensión.

ELECTRÓNICA

U3: ELECTRÓNICA DIGITAL A: FUNCIONES LÓGICAS

TEMAS:

- Llave lógica.
- Funciones lógicas.
- Postulados básicos.
- Compuertas lógicas.

Tocci 10ª Ed., Unidad 3 pág. 57

DESCRPCIÓN DE LOS CIRCUITOS LÓGICOS

CONSTANTES Y VARIABLES BOOLEANAS

En el álgebra booleana las variables solo pueden tomar dos valores posibles: 0 y 1. Se utilizan comúnmente para representar niveles de voltaje, generalmente representan 0V y 5V respectivamente. Estos se conocen como niveles lógicos. Al nivel lógico 0 se lo denomina a también: **falso, apagado, abierto**, y al nivel 1: **verdadero, encendido, cerrado**.

Se utiliza el álgebra booleana como medio para representar la entrada y la salida en un circuito lógico. Las entradas suelen ser designadas por letras.

El álgebra booleana tiene solo tres **operaciones lógicas** básicas: **OR**, **AND** y **NOT**. Los circuitos digitales, llamados **compuertas lógicas**, se construyen a partir de diodos, transistores y resistencias.

OPERACION OR

La tabla de verdad muestra la **operación OR**: "x" es un 1 lógico cuando una o más entrada vale 1. "x" se vuelve 0 únicamente cuando tanto "A" como "B" están en 0.

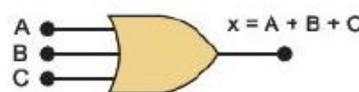
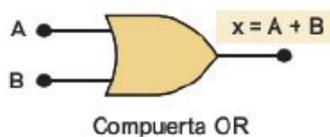
La expresión booleana para la operación OR con tres entradas es:

La expresión booleana para la operación OR es:

$$x = A + B$$

$$x = A + B + C$$

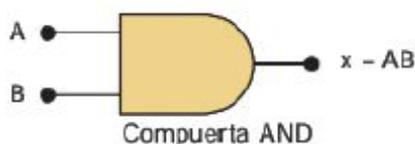
OR		
A	B	x = A + B
0	0	0
0	1	1
1	0	1
1	1	1



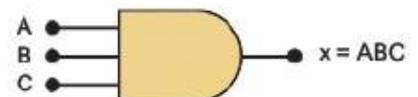
A	B	C	x = A + B + C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

OPERACIÓN AND

AND		
A	B	x = A · B
0	0	0
0	1	0
1	0	0
1	1	1



A	B	C	x = ABC
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



La tabla de verdad muestra la **operación AND**. "x" es un 1 lógico cuando tanto "A" como "B" se encuentran en nivel 1. Para cualquier caso en donde "A" o "B" vale o entonces "x" valdrá 0.

La expresión booleana para la operación AND es:

$$x = A \cdot B$$

La expresión booleana para la operación AND con tres entradas es:

$$x = A \cdot B \cdot C$$

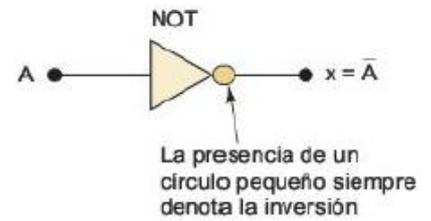
OPERACIÓN NOT (INVERSOR)

La operación NOT se realiza sobre una sola variable: "x" será el inverso, el complemento o el valor opuesto de "A". Se expresa como:

$$x = \bar{A}$$

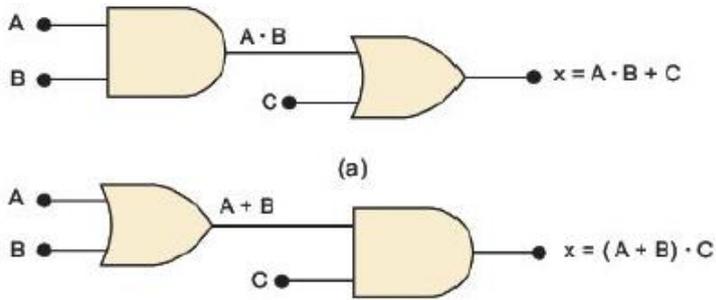
NOT	
A	x = \bar{A}
0	1
1	0

(a)



DESCRIPCIÓN DE CIRCUITOS LÓGICOS

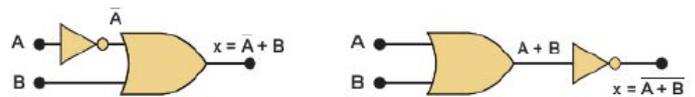
Cualquier circuito lógico puede describirse por completo mediante el uso de las tres operaciones básicas.



PRECEDENCIA DE OPERADORES

Generalmente hay confusión acerca de cuál operación debe llevarse a cabo primero en una operación que contenga operadores AND y OR. Siempre se realiza primero la operación AND, al menos que hayan paréntesis. En ese caso, el paréntesis debe resolverse primero.

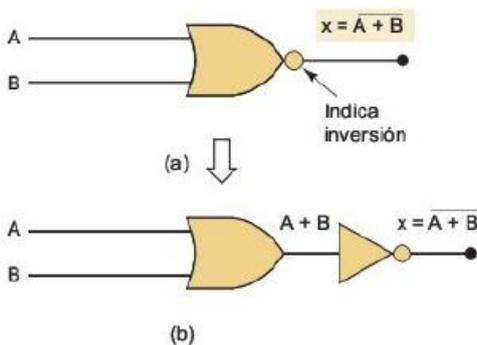
CIRCUITOS CON INVERSORES



COMPUERTAS NOR Y NAND

Estas operaciones combinan las operaciones básicas antes vistas.

COMPUERTA NOR



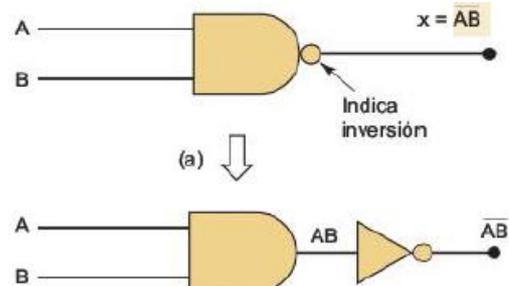
A	B	OR		NOR	
		A + B	A + B-bar	A + B	A + B-bar
0	0	0	1	0	1
0	1	1	0	1	0
1	0	1	0	1	0
1	1	1	0	1	0

La **compuerta NOR** combina la compuerta OR con un NOT a la salida. Su expresión booleana es:

$$x = \overline{A + B}$$

La tabla de verdad de la compuerta NOR muestra que la salida se encuentra en 0 cuando cualquiera de sus entradas están en 1.

COMPUERTA NAND



A	B	AND		NAND	
		AB	AB-bar	AB	AB-bar
0	0	0	1	0	1
0	1	0	1	0	1
1	0	0	1	0	1
1	1	1	0	1	0

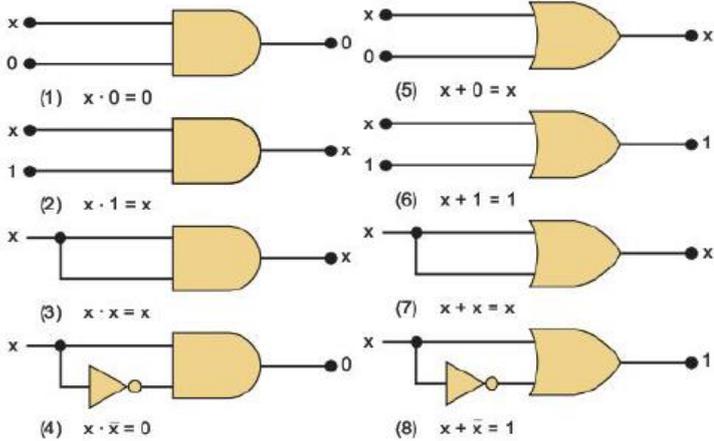
La **compuerta NAND** combina la compuerta AND con un INVERSOR a la salida. Su expresión booleana es:

$$x = \overline{A \cdot B}$$

La tabla de verdad de la compuerta NAND muestra que la salida se encuentra en 0 cuando todas sus entradas están en 1.

TEOREMA BOOLEANOS

TEOREMAS CON UNA VARIABLE



TEOREMAS CON MÁS DE UNA VARIABLE

Leyes conmutativas:

$$(9) x + y = y + x$$

$$(10) x \cdot y = y \cdot x$$

Leyes asociativas:

$$(11) x + (y + z) = (x + y) + z$$

$$(12) x \cdot (y \cdot z) = (x \cdot y) \cdot z$$

Ley distributiva (o factor común):

$$(13.a) x \cdot (y + z) = x \cdot y + x \cdot z$$

$$(13.b) (w + x) \cdot (y + z) = w \cdot y + x \cdot y + w \cdot z + x \cdot z$$

Los teoremas visto hasta el momento son faciles de recordar, ya que se utilizan en el algebra ordinaria. Sin embargo, los siguientes teoremas no tienen contraparte en el algebra ordinarria.

$$(14) x + x \cdot y = x$$

$$(15.a) x + \bar{x} \cdot y = x + y$$

$$(15.b) \bar{x} + x \cdot y = \bar{x} + y$$

Estos teoremas permiten simplificar una expresión lógica y obtener circuitos menos complejos que los que se obtendrian con la expresion original.

TEOREMAS DE DEMORGAN

Los teoremas expresan:

$$(16) \overline{(x + y)} = \bar{x} \cdot \bar{y}$$

$$(17) \overline{(x \cdot y)} = \bar{x} + \bar{y}$$

Para tres variables:

$$(16) \overline{(x + y + z)} = \bar{x} \cdot \bar{y} \cdot \bar{z}$$

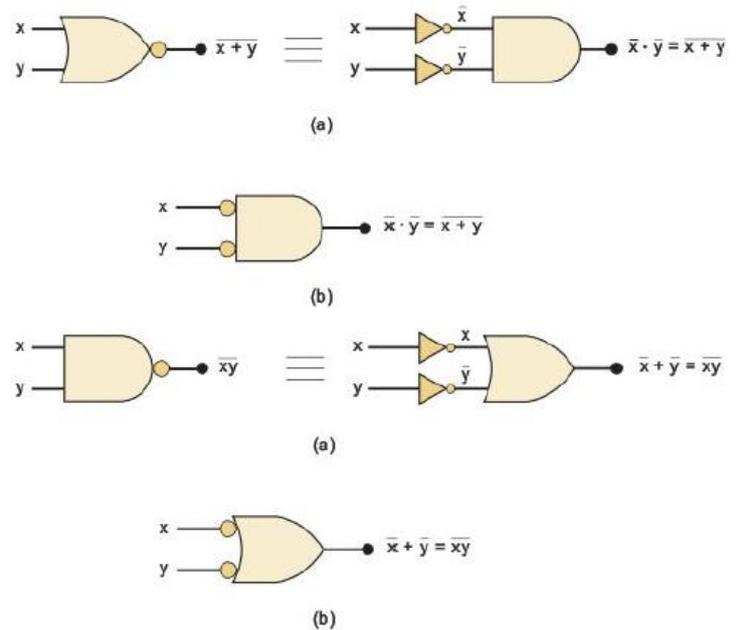
$$(17) \overline{(x \cdot y \cdot z)} = \bar{x} + \bar{y} + \bar{z}$$

IMPLICACIONES DEL TEOREMA

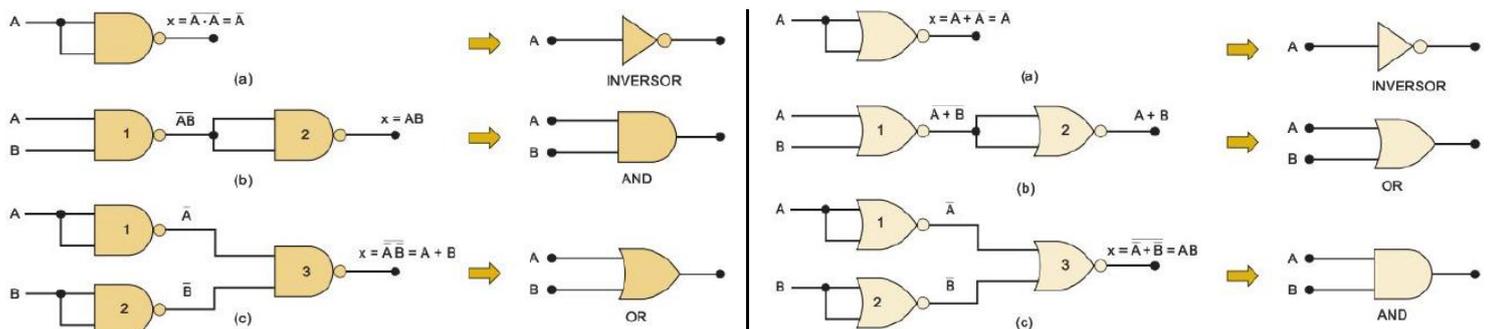
Consideremos la ecuación 16. El lado izquierdo puede considerarse como la salida de una compuerta NOR. El lado derecho, por su parte, es el resultado de invertir ambas variables y después pasarlas a través de una puerta AND. Esta última se puede representar como muestra la figura "b".

La ventaja de este teorema es que nos permite reemplazar esquemas lógicos por otros equivalentes pero que requieren menos componentes.

De igual forma pasa para la ecuación 17.



UNIVERSALIDAD DE LAS COMPUERTAS NOR Y NAND



Es posible implementar cualquier expresión básica (*OR*, *AND*, *NOT*) a través de compuertas *NOR* o *NAND* únicamente.

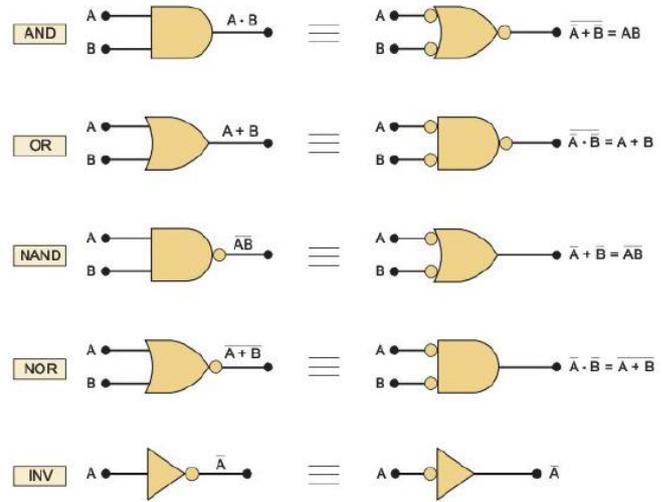
A continuación se presentan las conexiones para la compuerta *NAND*.

Por su parte, las compuertas *NOR* se conectan de la siguiente forma:

REPRESENTACIONES ALTERNAS DE COMPUERTAS LÓGICAS

Además de los símbolos estándar para las compuertas explicadas, existen algunos símbolos lógicos alternativos. Se presentan en la imagen.

Estas compuertas alternativas suelen utilizarse para hacer más sencilla la interpretación de circuitos lógicos complejos.

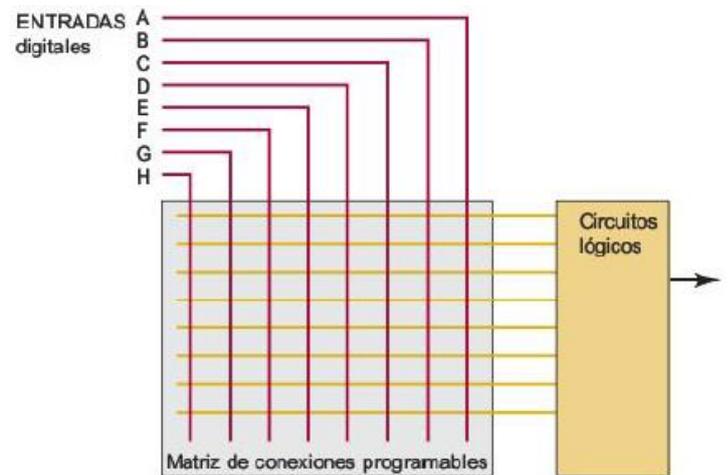


CIRCUITOS LÓGICOS PROGRAMABLES PLD

Actualmente, muchos circuitos digitales se implementan mediante el uso de *PLD*. Estos no son como los microcontroladores, los cuales ejecutan un conjunto de instrucciones. En vez de ello se configuran en forma electrónica y sus circuitos internos están alambrados entre sí en forma electrónica para formar un circuito lógico. Este alambrado programable consiste en miles de conexiones que están conectadas (1) o desconectadas (0). La imagen muestra solo un área de este dispositivo. Cada intersección es una conexión programable. Antiguamente cada intersección se configuraba manualmente como una matriz de 1 y 0.

Para reemplazar la configuración manual existe lo que se conoce como lenguaje de descripción de hardware. La computadora ejecuta una aplicación de software llamada compilador para traducir este lenguaje en una matriz de 1 y 0 que

pueda cargarse al *PLD*. El lenguaje permite programar evitando usar algebra booleana, dibujos esquemáticos y tablas de verdad.



U3: ELECTRÓNICA DIGITAL

B: CIRCUITOS COMBINACIONALES

TEMAS:

- Generador de paridad.
- Sumador.
- Restador.
- Comparador.
- Decodificador.
- Multiplexor.

Tocci 10ª Ed., Unidad 4 pág. 118

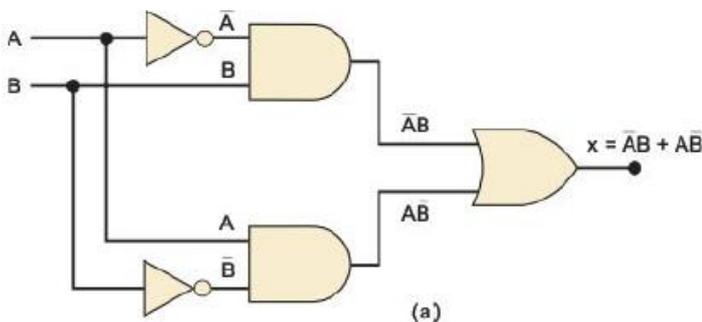
CIRCUITOS LÓGICOS COMBINACIONALES

CIRCUITOS OR EXCLUSIVO (XOR) Y NOR EXCLUSIVO (XNOR)

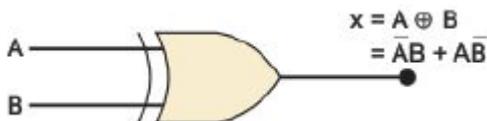
OR EXCLUSIVO (XOR)

El circuito **OR exclusivo** o **XOR** produce una salida en alto siempre que las dos entradas se encuentran en niveles opuestos. La expresión de salida es:

$$x = \bar{A}.B + A.\bar{B}$$



A	B	x
0	0	0
0	1	1
1	0	1
1	1	0



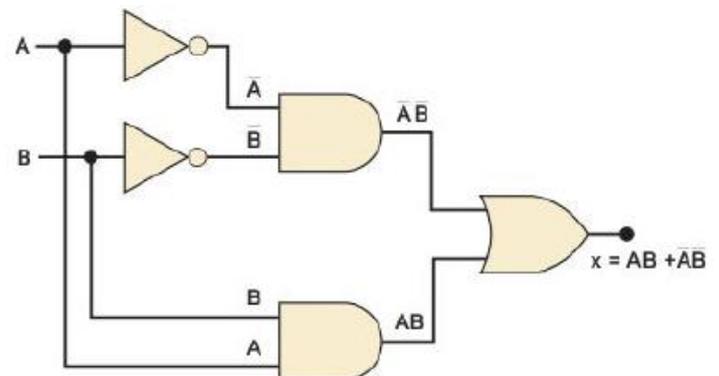
Al ser un circuito muy común se le ha asignado un símbolo propio. Solo se compone de dos entradas. En forma abreviada se usa la expresión:

$$x = A \oplus B$$

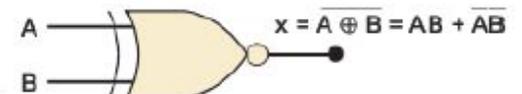
NOR EXCLUSIVO (XNOR)

El circuito **NOR exclusivo** o **XNOR** trabaja de forma opuesto al circuito **XOR**. Este produce una salida en alto siempre que las dos entradas se encuentren en igual nivel. La expresión de salida es:

$$x = A.B + \bar{A}.\bar{B}$$



A	B	x
0	0	1
0	1	0
1	0	0
1	1	1



Esta compuerta también tiene solo dos entradas y se designa de forma abreviada como:

$$x = \overline{A \oplus B}$$

Tocci 10ª Ed., Unidad 2 pág. 41

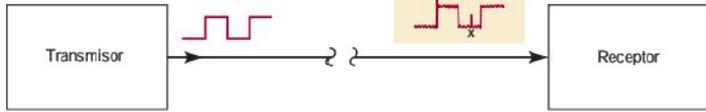
MÉTODO DE PARIDAD PARA LA DETECCIÓN DE ERRORES

El movimiento de datos binarios y códigos de un lugar a otro es la operación más frecuente que se realiza con los sistemas digitales. Siempre que se transmite información desde un dispositivo (transmisor) hasta otro (receptor), existe la posibilidad que pueda producirse errores tales que causen que el receptor no

reciba la información idéntica tal y como la envió el transmisor. La principal causa es el ruido eléctrico, que consiste en fluctuaciones en el voltaje o en la corriente.

En ocasiones el ruido es tan grande en amplitud que altera el nivel lógico de la señal. En este caso, el receptor puede interpretar en forma incorrecta un bit.

Los equipos modernos tienen muy baja probabilidad de errores. Utilizan algún método de detección (y a veces corrección) de errores. Uno de los métodos más simples es el **método de paridad**.



BIT DE PARIDAD

El **bit de paridad** es un bit que se agrega al grupo de bits del código que se está transfiriendo de un lugar a otro. Toma valores 0 y 1 dependiendo del número de unos que contenga el grupo de bits del código. Existen dos métodos distintos:

En el **método de bit de paridad par**, el valor del bit de paridad se elige de manera que el número total de unos en el grupo de bits del código, incluyendo el bit de paridad, sea **par**. Por ejemplo:

1 1 0 0 0 1 1
 ↑ bit de paridad agregado'

El **método de paridad impar** se utiliza de la misma forma, solo que el bit de paridad se elige de manera que el número total de unos, incluyendo el bit de paridad, sea **impar**.

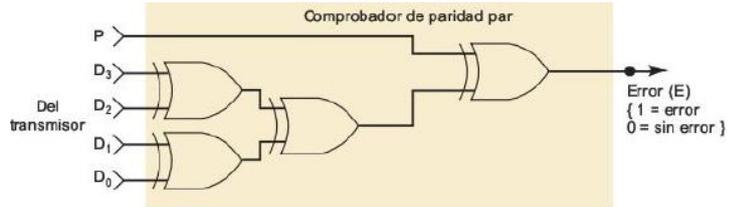
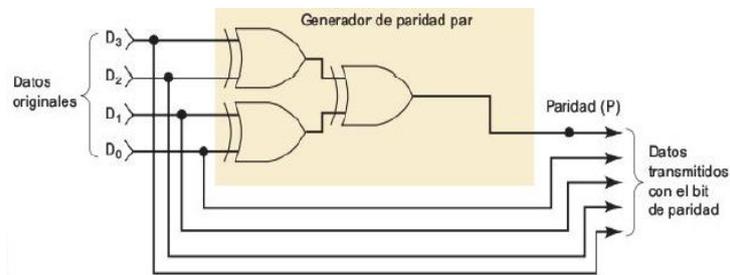
En cualquiera de los dos el bit de paridad se convierte en parte del código. La finalidad es detectar cualquier error de un solo bit que ocurra durante la transmisión del código. Sin embargo, se requiere que tanto el transmisor como el receptor trabajen con el mismo método.

Al momento de detectar un error, el receptor no sabrá en que bit se ha cometido, pero puede pedir al transmisor para pedirle que vuelva a transmitir el último conjunto de datos. Además, el método no funciona si el ruido es tal que produce dos bits erróneos. Por lo tanto, este método se utiliza cuando la probabilidad de un error es muy baja y la probabilidad de dos errores es prácticamente cero.

Tocci 10ª Ed., Unidad 4 pág. 149

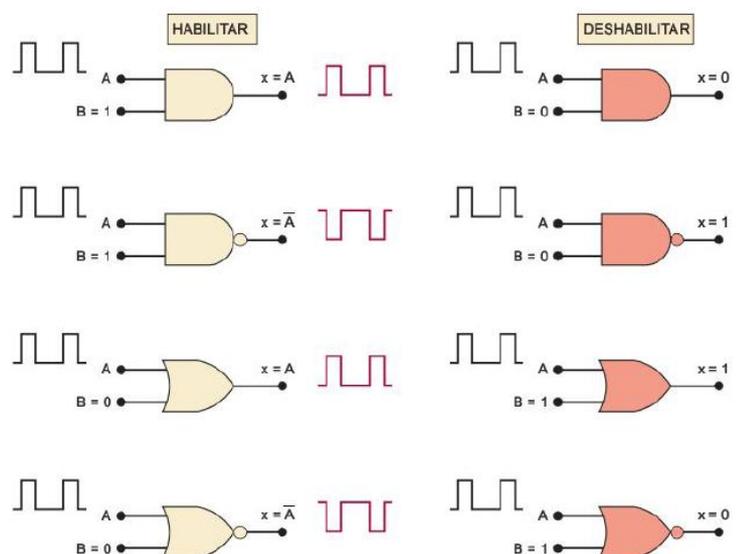
GENERADOR Y COMPROBADOR DE PARIDAD

A continuación se presenta un tipo de circuito lógico que se utiliza para la **generación de paridad** y la **comprobación de paridad**. En el ejemplo se utiliza un grupo de cuatro bits como los datos a transmitir, y se adjunta un bit de paridad par.



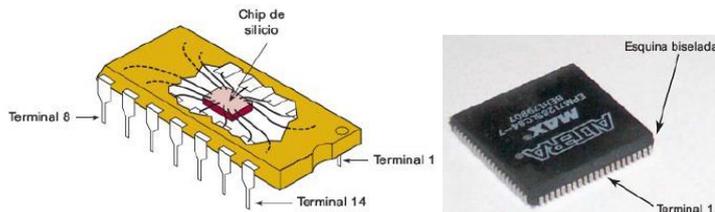
CIRCUITOS HABILITACIÓN/DESHABILITACIÓN

Cada compuerta lógica puede usarse para controlar el paso de una señal lógica. A continuación se presenta una imagen con cada compuerta, en la cual ingresa la señal por la entrada "A". La entrada "B" es la entrada de control. El nivel lógico en esta última, determinará si la compuerta se encuentra habilitada o deshabilitada. Esta función explica porque estos circuitos se conocen como compuertas.



CARACTERÍSTICAS BÁSICAS DE LOS *CIS* DIGITALES

Los *CIs* digitales (chip) son una colección de resistencias, diodos y transistores fabricados en una sola pieza de material semiconductor (comúnmente de silicio), conocido como sustrato. Se encuentran encapsulados por plástico o cerámico protector del cual salen terminales para la conexión. El encapsulado más común es el encapsulado dual en línea *DIP* que se muestra a continuación:



Las terminales se numeran en sentido antihorario, comenzando por la terminal que se encuentra más cerca de la muesca del encapsulado. Además, se puede observar que el chip de silicio es mucho más pequeño que el *DIP*.

Los *DIP* son los encapsulados de *CI* digitales más comunes. Sin embargo, actualmente se ha hecho popular otro tipo de encapsulados como el que se muestra en imagen.

Los *CIs* digitales se clasifican de acuerdo al número de compuertas lógicas equivalentes en el sustrato. Actualmente existen seis niveles de complejidad. A continuación se tabulan:

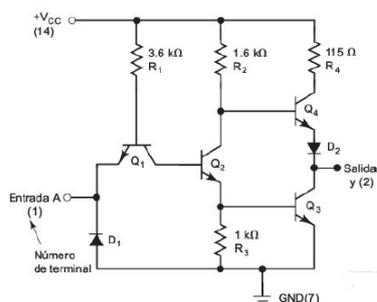
Complejidad	Compuertas por chip
Integración a pequeña escala (SSI)	Menos de 12
Integración a mediana escala (MSI)	De 12 a 99
Integración a gran escala (LSI)	De 100 a 9999
Integración a muy grande escala (VLSI)	De 10,000 a 99,999
Integración a ultra gran escala (ULSI)	De 100,000 a 999,999
Integración a giga escala (GSI)	1,000,000 o más

Actualmente el mundo industrial de la electrónica digital se ha concentrado en los dispositivos lógicos programables *PLDs* para implementar sistemas digitales. Algunos *PLDs* simples se encuentran en encapsulados *DIP*, pero los más complejos requieren muchas terminales.

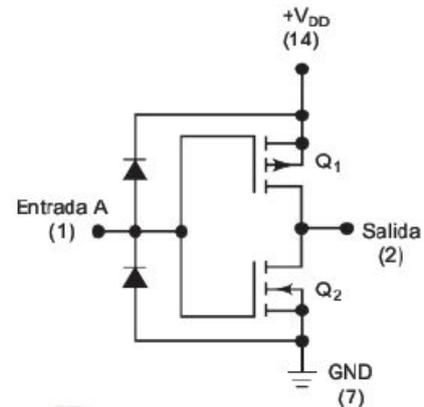
CIs BIPOLARES Y UNIPOLARES

Otra clasificación de los *CIs* digitales es por el tipo de componente electrónico empleado. Los *CIs* bipolares utilizan transistores de unión bipolar "npn" o "pnp". Los *CIs* digitales unipolares utilizan transistores unipolares de efecto de campo.

La familia lógica de transistor/transistor *TTL* se utiliza para *CIs* digitales bipolares. Su arreglo básico (actualmente sustituido por otras tecnologías) se muestra a continuación:



Otra tecnología que ha reemplazado a *TTL* son los **semiconductores metal-óxido de complementario CMOS**. Estos son *CIs* digitales unipolares, ya que integran *MOSFETs* en vez de transistores. Una de las ventajas principales es que integra menos componentes. A continuación se muestra un circuito inversor estándar.



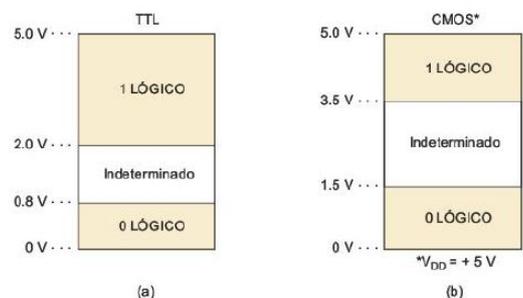
ALIMENTACIÓN Y TIERRA

Para que el *CI* funcione correctamente es necesario realizar las conexiones de alimentación c.c. y tierra.

INTERVALOS DE VOLTAJE DE NIVELES LÓGICOS

Para los dispositivos *TTL* " V_{CC} " es de 5 V y para los *CMOS* varía entre 3 – 18 V pero el valor más común es de 5 V.

A continuación se presentan los intervalos de voltaje de entrada aceptables para los niveles lógicos. La imagen "a" es para la tecnología *TTL* y "b" para *CMOS*.



ENTRADAS DESCONECTADAS (FLOTANTES)

El valor que toma una entrada desconectada o flotante es diferente para cada tecnología.

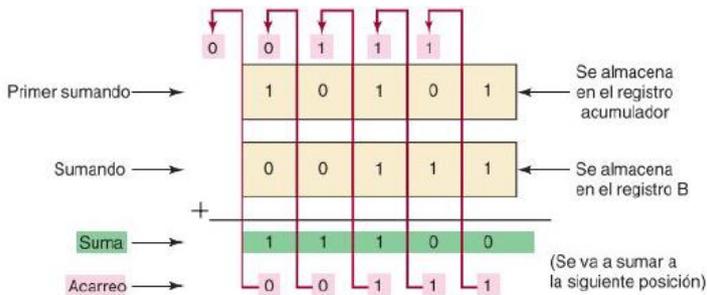
Los *TTL* actúan como un 1 lógico. Esta característica se utiliza como prueba de los circuitos *TTL*. Si se mide el voltaje en el terminal nos encontraremos que la tensión en la entrada flotante se encuentra en niveles del rango de indeterminado. Sin embargo, será identificado como un 1 lógico.

En los *CMOS* las entradas flotantes pueden producir sobrecalentamientos y dañarse. Por ello, las entradas deben estar conectadas a niveles altos, bajos o a otros *CI*. La entrada flotante tendrá un voltaje fluctuante y aleatorio dependiendo del ruido. No actuará ni como 1 ni como 0 y los efectos sobre la salida son impredecibles.

ARITMÉTICA DIGITAL

SUMADOR BINARIO EN PARALELO

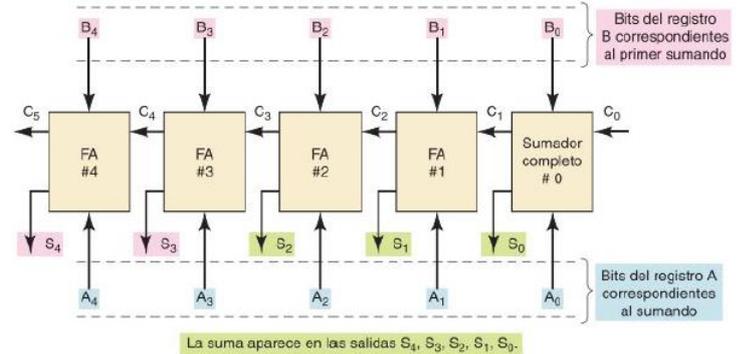
Las computadoras y calculadoras realizan la operación de la suma sobre dos números binarios a la vez, cada uno puede tener varios dígitos binarios. A continuación se esquematiza el proceso:



El **primer sumando** se almacena en el registro acumulador. El acumulador contiene FFs que almacenan los valores. El **sumando** se almacena en el registro B.

La suma comienza por el **bit menos significativo** del primer sumando y del sumando, y se genera un **acarreo** que debe sumarse a la siguiente posición, junto con el primer sumando y el sumando. De manera similar continua la operación.

En cada paso se realiza la suma de tres bits: primer sumando, sumando y acarreo. El resultado de la suma de los tres bits produce dos bits: bit de suma y bit de acarreo. Por lo tanto, solo se necesita un circuito lógico que realice el paso y la suma se logra con tantos circuitos como bits implicados haya. En el siguiente esquema se ilustra el circuito.



Las variables "A₄" hasta "A₀" representan los bits del primer sumando almacenados en el acumulador o registro A. Las variables "B₄" hasta "B₀" representan los bits del sumando almacenados en el registro B. Las variables "C₄" hasta "C₀" representan los bits de acarreo. Las variables "S₄" hasta "S₀" son los bits de salida de la suma para cada posición. Los bits del primer sumando y del sumando se alimentan a un circuito lógico conocido como **sumador completo FA**, junto con el bit de acarreo que proviene de la posición anterior.

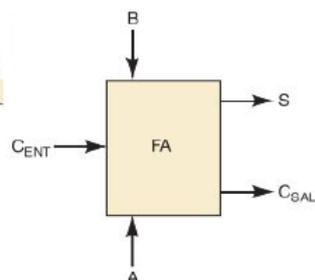
El circuito sumador completo en paralelo tiene tres entradas (A, B y C) y dos salidas (suma y acarreo). La ilustración es para números con cinco bits, pero es similar para las computadoras modernas que utilizan de 8 a 64 bits.

La conexión se conoce como **sumador en paralelo**, ya que todos los bits del primer sumando y el sumando se alimentan en forma simultánea. Es decir la suma de cada posición se lleva a cabo al mismo tiempo.

DISEÑO DE UN SUMADOR COMPLETO

Habiendo conocido la función del sumador completo, podemos diseñar un circuito lógico que desarrolle esta función. Primero se comienza con la tabla de verdad del circuito. Como se dijo anteriormente, la función requiere tres entradas y dos salidas, por lo tanto, la tabla tendrá ocho filas. A la salida se listan los valores deseados.

Bit de entrada del primer sumando	Bit de entrada del sumando	Bit de entrada del acarreo	Bit de salida de la suma	Bit de salida del acarreo
A	B	C _{ENT}	S	C _{SAL}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Debido a que hay dos salidas, se diseñarán los circuitos para cada una de manera individual. Se utilizará el método de suma de productos. Para la salida existen cuatro casos en que vale 1, por lo tanto:

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$S = \bar{A}(\bar{B}C + B\bar{C}) + A(\bar{B}\bar{C} + BC)$$

$$S = \bar{A}(B \oplus C) + A(\bar{B} \oplus \bar{C})$$

$$S = A \oplus (B \oplus C)$$

Para la salida de acarreo se tiene:

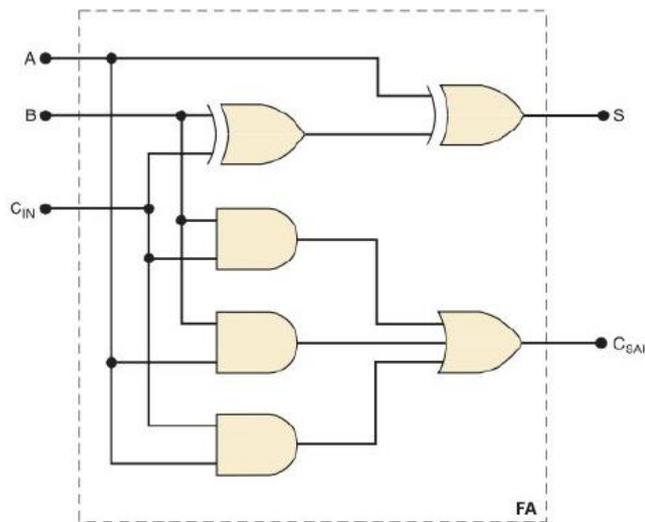
$$C_{Sal} = \bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$$

A través del **mapa de Karnaugh** se llega a:

A \ BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_{Sal} = AB + BC + AC$$

Teniendo las dos salidas se puede construir el circuito lógico del sumador completo:



MEDIO SUMADOR

En ocasiones solo se requiere un circuito que sume solo dos bits de entrada sin acarreo, como sucede con el bit menos significativo al sumar dos números. Esto se conoce como **medio sumador**. Para su diseño se comienza con la tabla de verdad.

A	B	S	C _{Sal}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Con el método de suma de productos, la salida es:

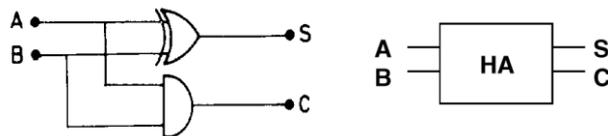
$$S = \bar{A}B + A\bar{B}$$

$$S = A \oplus B$$

El acarreo, por su parte, será:

$$C_{Sal} = AB$$

El circuito lógico será de la siguiente manera:



SUMADOR COMPLETO CON DOS SEMISUMADORES

Trabajando de otra manera se puede llegar a expresiones distintas para la suma y el acarreo de un sumador completo. A continuación se muestra el desarrollo:

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$S = (\bar{A}\bar{B} + AB)C + (\bar{A}B + A\bar{B})\bar{C}$$

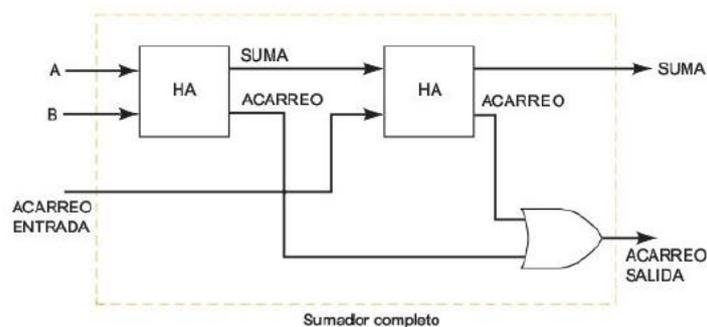
$$S = (A \oplus B)C + (A \oplus B)\bar{C}$$

$$S = (A \oplus B) \oplus C$$

$$C_{Sal} = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

$$C_{Sal} = (\bar{A}B + A\bar{B})C + AB(\bar{C} + C)$$

$$C_{Sal} = (A \oplus B)C + AB$$



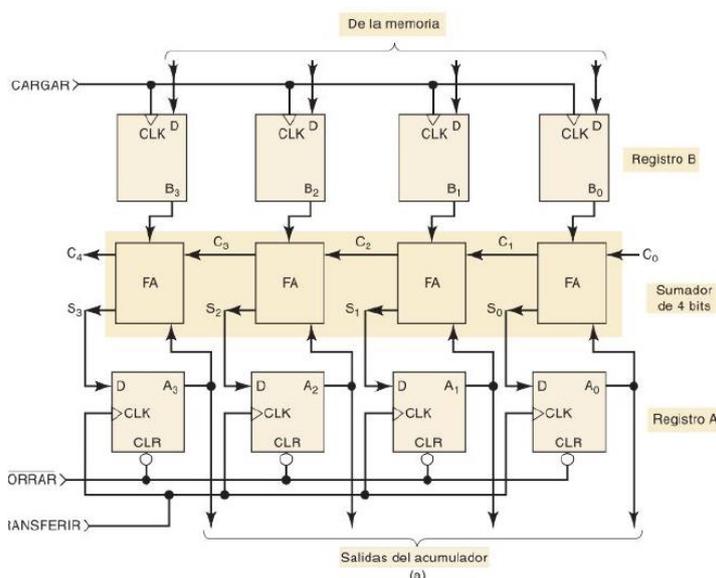
SUMADOR COMPLETO EN PARALELO CON REGISTROS

En una computadora, los números que se van a sumar se almacenan en registros de FF. A continuación se presenta un sumador en paralelo de cuatro bits, junto con los registros de almacenamiento.

Los bits del primer sumando, desde "A₃" hasta "A₀", se almacenan en el acumulador (registro A). Los bits del sumando, "B₃" hasta "B₀", se almacenan en el registro B. Cada registro está compuesto de flip-flops D para facilitar la transferencia de datos.

El contenido del registro A se suma al del registro B a través de cuatro sumadores completos FAs y la suma se produce a la salida de "S₃" hasta "S₀". El acarreo "C₄" puede usarse como la entrada de acarreo para un quinto acumulador completo o como un **bit de desbordamiento** para indicar que la suma se excedió de 1111.

Las sumas están conectadas a las entradas D del registro A. Esto permite que la suma se transfiera en paralelo y se almacene en el registro A.



Además, las entradas D del registro B vienen de la memoria de la computadora. La mayoría de las computadoras

tienen una provisión para transferir en paralelo números binarios de la memoria al acumulador (registro *A*).

Las salidas del registro *A* están disponibles para realizar transferencias hacia otras ubicaciones, como la memoria, otro registro. Esto deja disponible al sumador para un nuevo conjunto de números.

SECUENCIA DE OPERACIONES

A modo de ejemplo, se describirá el proceso que lleva a cabo el esquema anterior para sumar 1001 y 0101, con acarreo $C_0 = 0$.

- $[A] = 0000$. Se aplica un pulso borrar a las entradas asíncronas *CLR* de cada *FF* en el registro *A*. Ocurre en " t_1 ".
- $[M] \rightarrow [B]$. Se trasfiere desde la memoria hasta el registro *B* el número binario 1001. Se transfiere con una transición de tendencia positiva *PGT* (flanco de subida) del pulso *CARGAR* en " t_2 ".
- $[S] \rightarrow [A]$. Con $[B] = 1001$ y $[A] = 0000$, los sumadores producen la suma $[S] = 1001$. Esta salida se transfiere al registro *A* en *PGT* del pulso *TRANSFERIR* en " t_3 ".
- $[M] \rightarrow [B]$. El segundo número binario 0101 se transfiere desde la memoria al registro *B* en *PGT* del segundo pulso *CARGAR* en " t_4 ". $[B] = 0101$
- $[S] \rightarrow [A]$. Con $[B] = 0101$ y $[A] = 1001$, los sumadores producen $[S] = 1110$. A continuación se transfieren hacia el registro *A* con el segundo pulso *TRANSFERIR* en " t_5 ". $[A] = 1110$.
- La suma se almacena en el acumulador. En la mayoría de las computadoras luego del acumulador pasan a la memoria, dejando el circuito sumador listo para funcionar.

PROPAGACIÓN DEL ACARREO

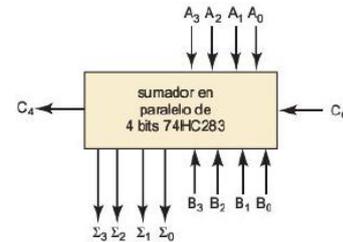
El sumador en paralelo realiza las sumas a una velocidad relativamente alta, debido a que los bits de cada posición se suman al mismo tiempo. No obstante, se ve limitada por el efecto de **propagación del acarreo** o **rizo del acarreo**. Esto significa que el bit de suma de las cifras más significativas depende del acarreo de la suma de las cifras menos significativas. Es decir, el último sumador completo depende de " C_1 " del primer sumador completo. Esto genera el retraso de propagación que equivale a la suma de

los tiempos de retraso de cada sumador y significa que se debe retrasar el pulso del comando de suma.

Para aumentar la velocidad se diseñan circuitos lógicos adicionales.

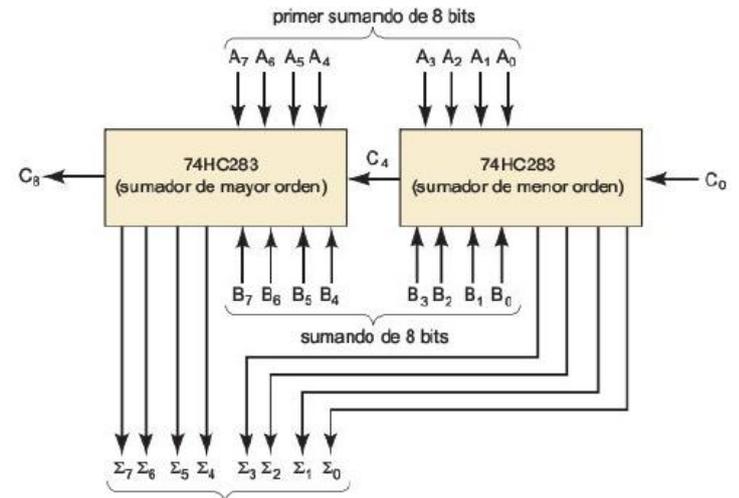
SUMADORES EN PARALELO DE CIRCUITOS INTEGRADOS

El *CI* de este tipo más común contiene cuatro *FAs* interconectados y los circuitos de acarreo adelantado para operar a alta velocidad. Ejemplo: 7483A, 74LS83A, 74LS283 y 74HC283. A continuación se muestra el último.



SUMADORES EN PARALELO EN CASCADA

Se pueden conectar dos o más sumadores *CI* juntos para lograr suma de números binarios más grandes.



SISTEMAS DE COMPLEMENTO A 2

La mayoría de las computadoras modernas utiliza el sistema de **complemento a 2** para representar números negativos y realizar restas. Esto permite realizar operaciones de suma y resta con un mismo circuito.

El complemento a 2 de un número se halla realizando el **complemento a 1**, es decir cambiando cada 0 por 1 y 1 por 0, y sumándole a continuación 1. A continuación se presenta un ejemplo:

$$1001001 \rightarrow 0110110 \rightarrow 0110111$$

La operación es la siguiente:

$$1001001 \text{ XOR } 1111111 = 0110110$$

$$0110110 + 0000001 = 0110111$$

SUMA

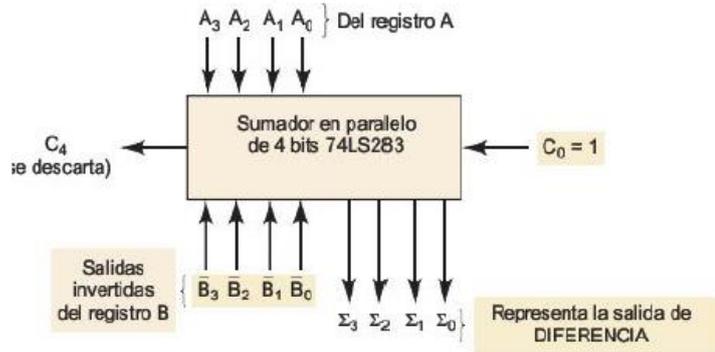
Los números positivos y negativos (incluyendo los bits de signo) pueden sumarse en el sumador en paralelo cuando los números negativos se encuentran en forma de complemento a 2.

RESTA

El **sustraendo** (el que resta) se cambia a su complemento a 2 y después se suma al **minuendo** (el que es restado). Podemos suponer que el minuendo está almacenado en el acumulador. Luego el sustraendo se coloca en el registro *B* (desde una memoria en el caso de computadoras) y se cambia a su forma de complemento a 2 antes de sumarlo al número que se encuentra en el registro *A*. Las salidas de suma del circuito representan la diferencia entre el minuendo y el sustraendo.

Se puede usar el sumador en paralelo para esta operación, pero antes hay que proporcionarle un medio para sacar el complemento a 2 del número del registro B . Para obtener el complemento a 2 de un número binario se invierte cada bit y después se suma 1 a la cifra menos significativa.

El circuito a continuación gráfica este sistema. Las salidas del registro B están invertidas ($\bar{B}_0, \bar{B}_1, \bar{B}_2, \bar{B}_3$). \bar{B}_3 es el bit de signo. Además " C_0 " ingresa como 1, esto añade a la cifra menos significativa 1. Con esto queda conformado el complemento a 2. A la salida del sumador se tiene el resultado de la resta ($\Sigma_0, \Sigma_1, \Sigma_2, \Sigma_3$), siendo " Σ_3 " el bit de signo. " C_4 " se descarta.

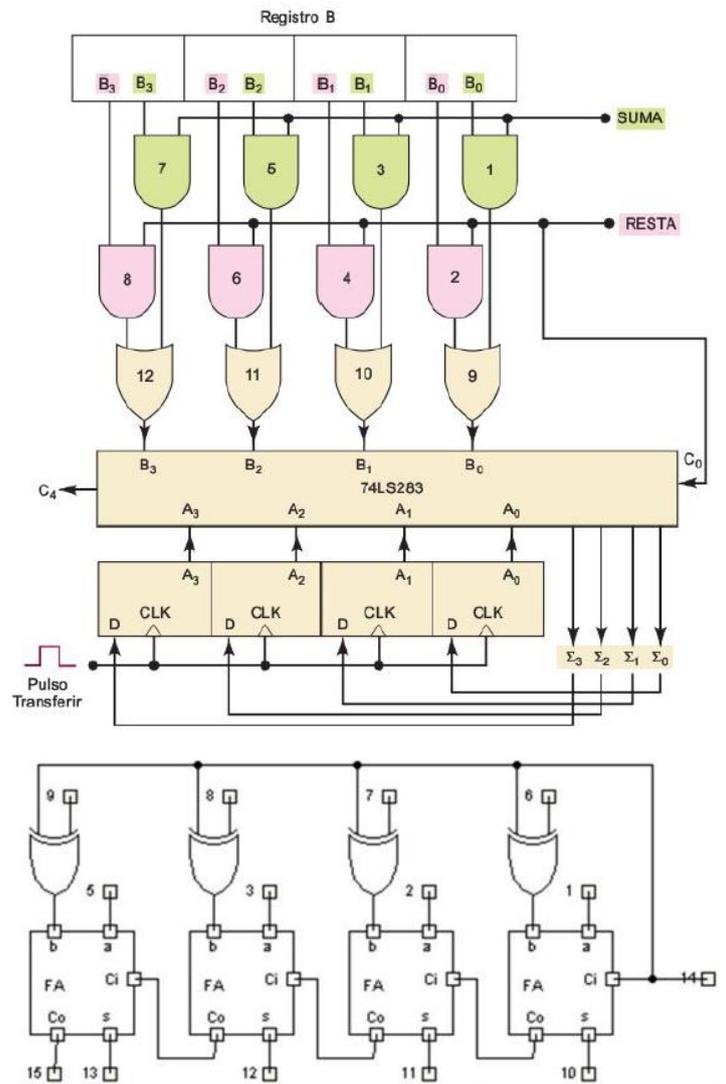


COMBINACIÓN DE SUMA Y RESTA

El circuito sumador en paralelo puede usarse para sumar o restar, dependiendo de si el número del registro B se deja sin cambio o se convierte en su complemento a 2. A continuación se muestran dos circuitos completos que puede realizar este proceso. Se lo conoce como circuito **sumador/restador**.

El circuito se controla mediante las dos señales de control $SUMA$ y $RESTA$. Cuando el nivel de $SUMA$ es alto, el circuito suma

los dos números almacenados en los registros A y B . Cuando $RESTA$ es alto, el circuito resta los mismos.



Tozzi 10ª Ed., Unidad 9 pág. 621 y Apuntes de cátedra

COMPARADOR DE MAGNITUD

COMPARADOR DE 2 BITS (APUNTES)

El circuito comparador rebela cual es la condición entre dos números (mayor, igual o menor). A continuación se muestra su tabla de verdad para 2 bits.

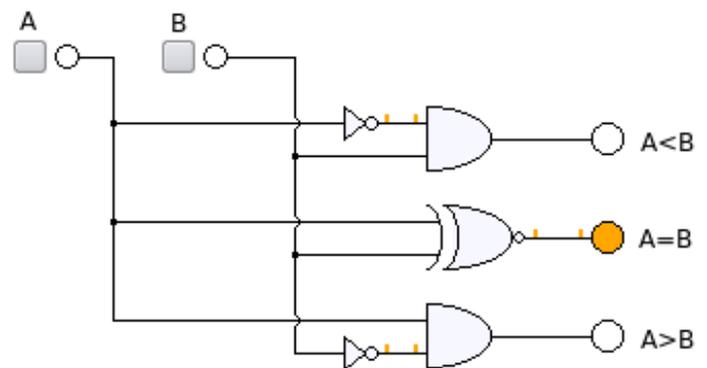
A	B	M	I	m
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Con el método de suma de productos, las salidas son:

$$M = A\bar{B}$$

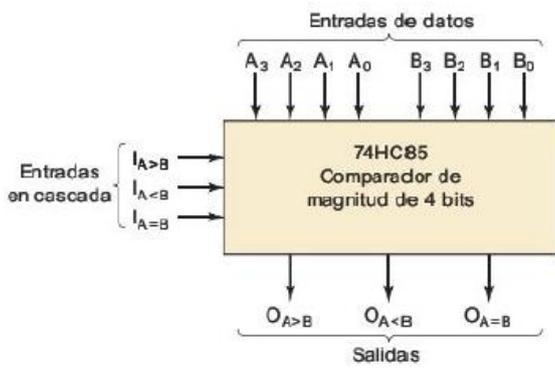
$$I = \bar{A}\bar{B} + AB$$

$$m = \bar{A}B$$



COMPARADOR DE MAGNITUD (TOCCI)

El comparador de magnitudes es un circuito lógico combinacional que compara dos cantidades binarias de entrada y genera salidas para indicar cuál es de mayor magnitud. A continuación se presenta el comparador de cuatro bits 74HC84 con su tabla de verdad:



COMPARACIÓN DE ENTRADAS				COMPARACIÓN DE ENTRADAS			SALIDAS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	O _{A>B}	O _{A<B}	O _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ >B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ <B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L

H = Nivel de voltaje ALTO
L = Nivel de voltaje BAJO
X = No importa

ENTRADAS DE DATOS

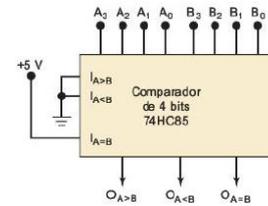
Este CI compara dos números binarios sin signo de cuatro bits. Las entradas son las palabras *A* y *B* que representan cantidades numéricas.

SALIDAS

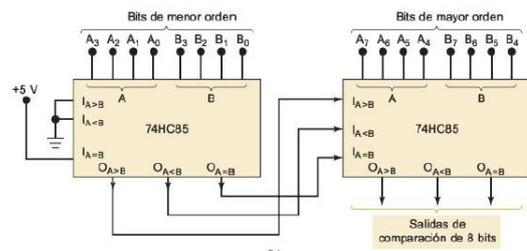
El CI tiene tres salidas: $A > B$, $A = B$ y $A < B$. Una de estas tres estará en *ALTO* si cumple determinada condición.

ENTRADAS EN CASCADA

La conexión en cascada nos permite expandir la operación de comparación a más de cuatro bits, usando más CIs comparadores. Las entradas en cascada se etiquetan de la misma manera que las salidas. Cuando se utiliza un único CI las entradas en cascada se deben conectar como se muestra a continuación:



Cuando se utiliza la conexión en cascada con dos comparadores, la conexión es la siguiente:

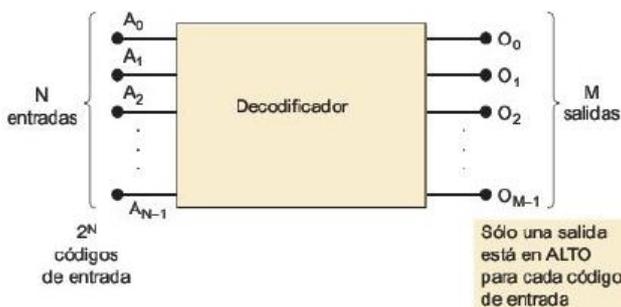


APLICACIONES

Los comparadores de magnitud son útiles en aplicaciones de control en las que un número binario que representa la variable física que se está controlando (presión, temperatura, etc.) se compara con un valor de referencia. Las salidas del comparador se utilizan para operar circuitos que lleven la variable física hacia el valor de referencia.

Tocci 10ª Ed., Unidad 9 pág. 577

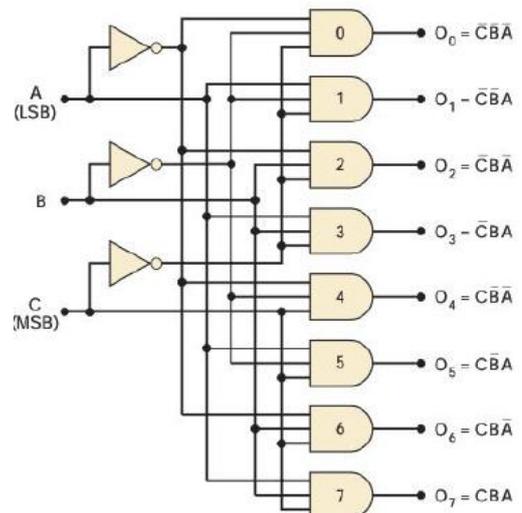
DECODIFICADORES



Un **decodificadores** un circuito lógico que acepta un conjunto de entradas que representan a un número binario y activa solo la salida que corresponde a ese número de entrada, las demás permanecen inactivas. A continuación se presenta el diagrama para un decodificador general, con *N* entradas y *M* salidas. Como cada *N* puede valer 0 o 1, existen 2^N combinaciones posibles de entrada. Para cada una de estas combinaciones, solo una de las *M* salidas estará activa o en *ALTO*, y las demás estarán en *BAJO*. Existen decodificadores cuya salida activa se pone en *BAJO* y todas las demás en *ALTO*.

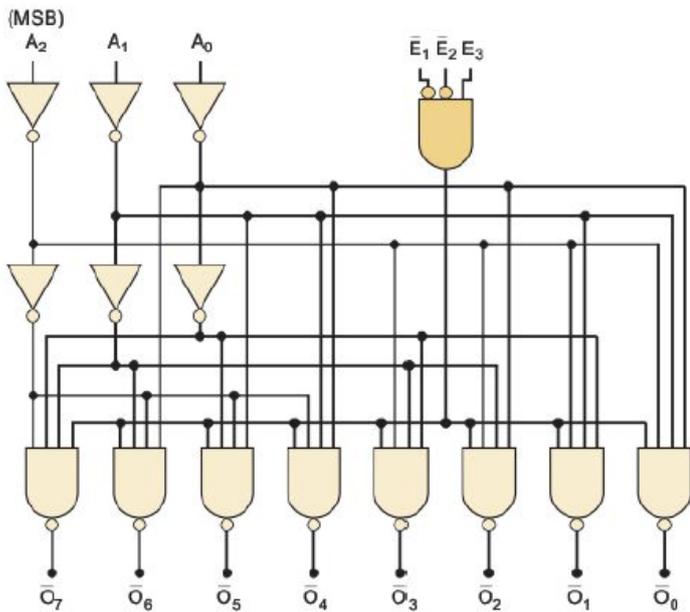
Generalmente los decodificadores no utilizan todas las entradas.

En la siguiente figura se presenta un decodificador con tres entradas y $2^3 = 8$ salidas que utiliza solo compuertas *AND*. Observe que para un código de entrada dado, la única salida activa es la que corresponde al equivalente decimal del código de entrada binario. Por ejemplo, la salida "*O₆*" cambia a *ALTO* cuando $CBA = 110_2 = 6_{10}$. Se conoce a este decodificador como **decodificador de 3 a 8 líneas**.



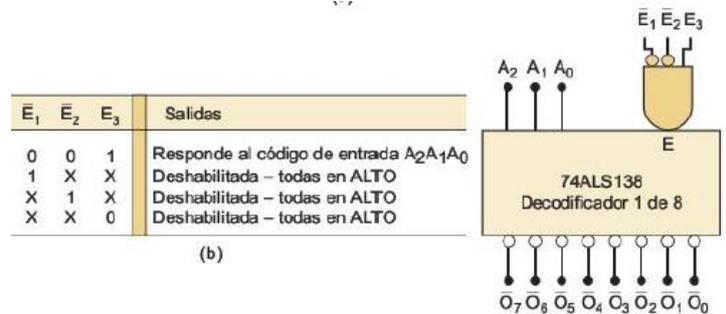
C	B	A	O ₇	O ₆	O ₅	O ₄	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	1	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

ENTRADAS DE HABILITACIÓN



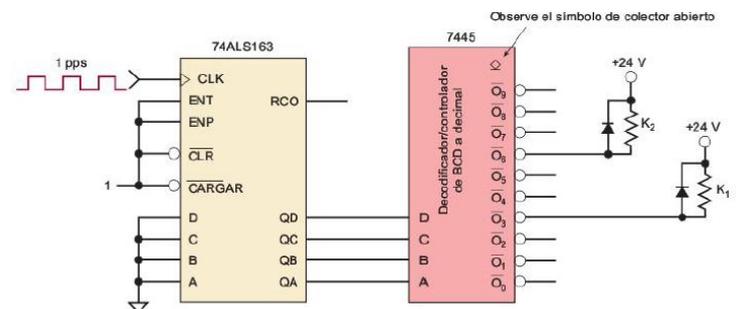
Algunos decodificadores tienen una o más entradas de *HABILITACIÓN*, las cuales se utilizan para controlar la operación del decodificador. A continuación se muestra un esquema que añade al decodificador anterior una línea de *HABILITACIÓN* común conectada a cada compuerta en su cuarta entrada. Si esta línea se mantiene en *ALTO*, el decodificador funcionará en forma normal, en cambio si se encuentra en *BAJO*, todas las salidas se encontrarán en *BAJO*, independientemente del valor de las entradas.

A continuación se muestra el circuito lógico del decodificador 74ALS138 un decodificador 3 en 8. Se puede observar salidas con compuertas *NAND*, por lo tanto sus salidas son activas en *BAJO*. La *HABILITACIÓN* se da con las entradas " \bar{E}_1, \bar{E}_2 y E_3 " en la compuerta *AND* cuando su nivel está en *ALTO*. Cuando la *HABILITACIÓN* está en *BAJO*, fuerza a todas las salidas *NAND* a que cambien a *ALTO*, sin importar el código de entrada. Esto se sintetiza en la tabla de verdad del componente.

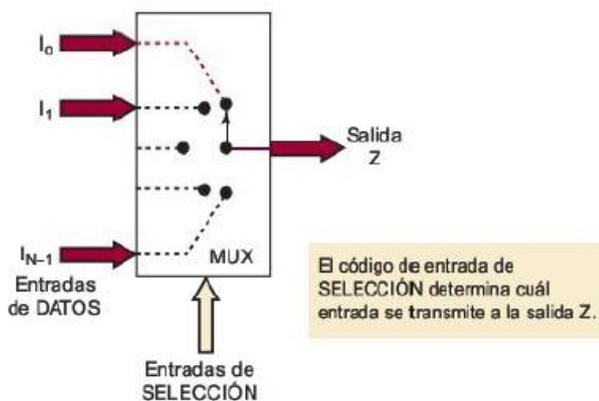


APLICACIÓN DE LOS DECODIFICADORES

Los decodificadores se utilizan siempre que deba activarse una salida o un grupo de salidas solo cuando ocurra una combinación específica de niveles de entrada. A menudo estos niveles de entrada se proporcionan mediante las salidas de un contador o registro. Para el caso de contadores, se le aplican pulsos continuos para activar las salidas de los decodificadores en forma secuencial para encender y apagar dispositivos.



MULTIPLEXOR (SELECTORES DE DATOS)



Un **multiplexor MUX** selecciona una de varias señales de entrada y la pasa a la salida. El multiplexor digital o selector de datos es un circuito lógico que acepta varias entradas de datos digitales y selecciona una de ellas en un momento dado para pasarla a la salida. El enrutamiento de la entrada de datos deseada hacia la salida se controla mediante la *SELECCIÓN*, conocidas

como entradas de *DIRECCIÓN*. A continuación se muestra un diagrama funcional de un multiplexor general.

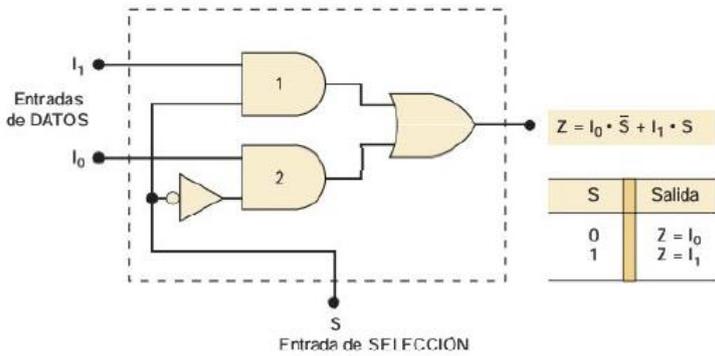
El multiplexor actúa como un interruptor de múltiples posiciones controlado en forma digital, en donde un código digital aplicado a la entrada de *SELECCIÓN* controla que entrada de datos se conmutarán hacia la salida. Es decir, el multiplexor selecciona una de *N* fuentes de datos de entrada y transmite los datos seleccionados a un solo canal de salida. Esto se conoce como **multiplexaje**.

MULTIPLEXOR BÁSICO DE DOS ENTRADAS

A continuación se presenta un multiplexor con dos entradas de datos: " I_0 " e " I_1 " y la entrada de *SELECCIÓN* " S ". En nivel lógico que se aplica a " S " determina cual compuerta *AND* está habilitada, de manera que su entrada de datos pase a través de la compuerta *OR*, a la salida " Z ". La expresión Booleana para la salida es:

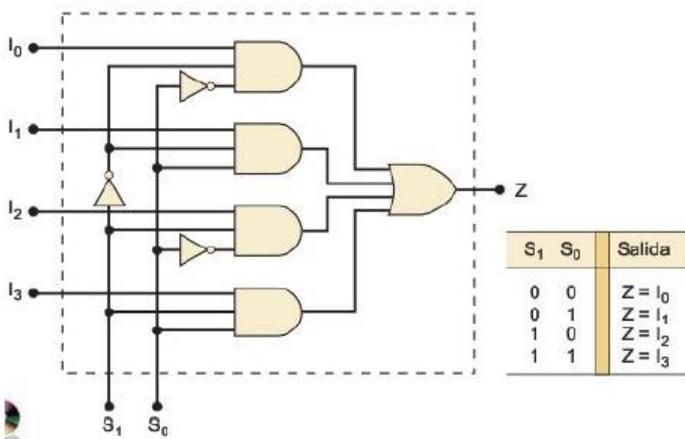
$$Z = I_0\bar{S} + I_1S$$

Cuando "S = 0", $Z = I_0\bar{1} + I_1\cdot 0 = I_0$ y la compuerta 1 estará habilitada. Por su parte, con "S = 1", $Z = I_0\cdot 0 + I_1\bar{1} = I_1$ habilitando la compuerta 2.

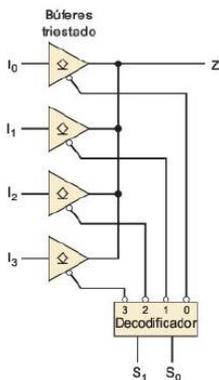


MULTIPLEXOR DE CUATRO ENTRADAS

A continuación se presenta un multiplexor de cuatro entradas. Las cuatro entradas se transiten de forma selectiva a la salida, de acuerdo con las cuatro posibles combinaciones de las entradas de selección "S₀S₁". Cada entrada de datos se conecta a una compuerta con una combinación distinta de niveles de entrada de selección. Por ejemplo, "I₀" se conecta a "S₀S₁". Esto queda expresado en la tabla de verdad.



Otro circuito que realiza la misma función se muestra a continuación. Este utiliza búferes triestado para seleccionar una de las señales. El decodificador asegura que solo pueda estar un búfer habilitado a la vez.



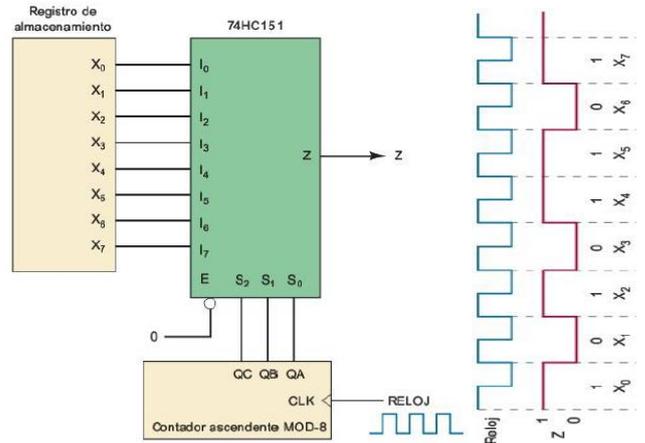
APLICACIONES DE LOS MULTIPLEXORES

Los multiplexores se utilizan en sistemas digitales para: enrutamiento de datos, selección de datos, secuencia de

operación, conversión de paralelo a serial, generación de formas de onda y generación de funciones lógicas.

CONVERSION DE PARALELO A SERIAL

Muchos sistemas digitales procesan datos binarios en formato paralelo porque es más rápido. Sin embargo, cuando los datos se van a transmitir a través de distancias grandes no es conveniente el arreglo en paralelo, ya que requiere muchas líneas. Por esto, se realiza la **conversión de paralelo a serial** con un multiplexor como se ilustra en el siguiente esquema.

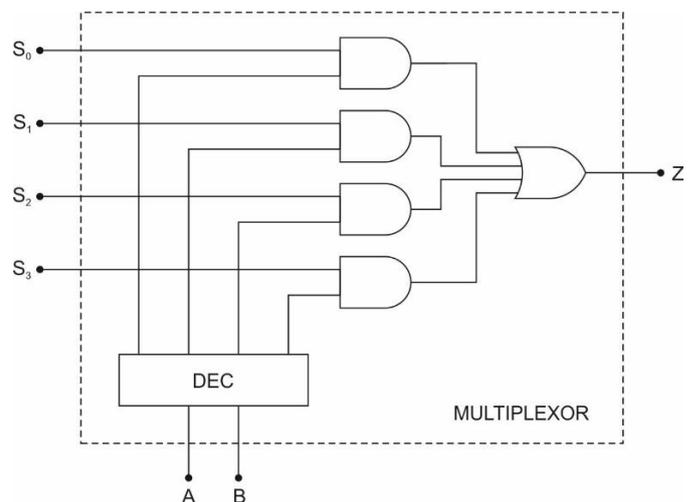


Los datos están presentes en formato paralelo en la salida del registro X y alimentan al multiplexor de ocho entradas. Se utiliza un contador de tres bits para proporcionar los bits de código de selección "S₂S₁S₀" que genera el conteo de "000" hasta "111" con un pulso de reloj. La salida "Z" es una forma de onda que viene siendo una representación en serie de los datos de entrada en paralelo. La conversión tarda ocho ciclos de reloj.

MULTIPLEXOR (APUNTES)

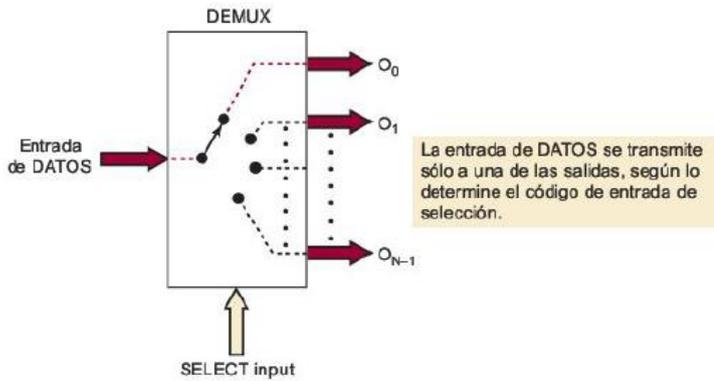
A	B	S
0	0	S ₀
0	1	S ₁
1	0	S ₂
1	1	S ₃

$$S = S_0\bar{A}\bar{B} + S_1A\bar{B} + S_2\bar{A}B + S_3AB$$



DEMULTIPLEXOR

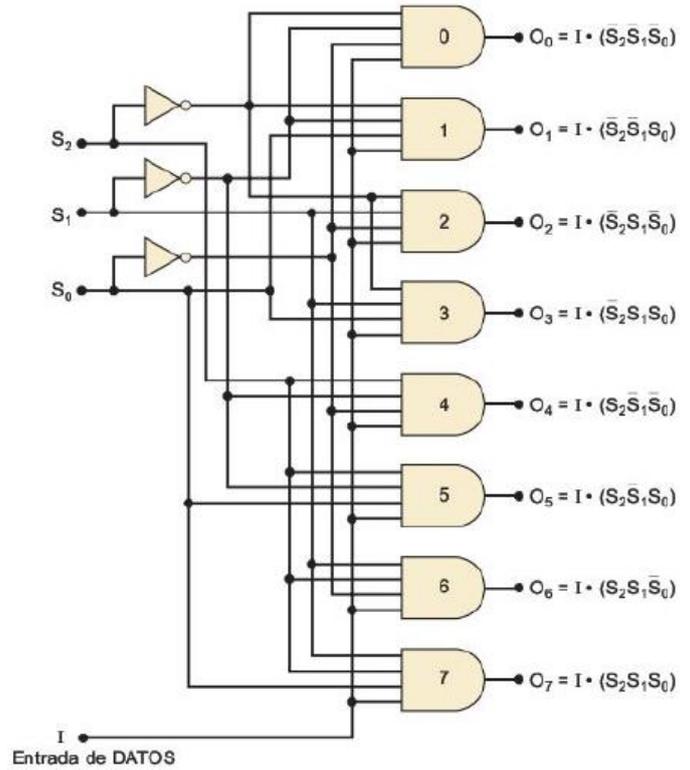
Un multiplexor recibe varias entradas y transmite una a la salida. Un **demultiplexor DEMUX** realiza la operación inversa: recibe una sola entrada y la distribuye a través de varias salidas. A continuación se presenta un diagrama funcional para un demultiplexor digital. El código de entrada de selección determina cuál de las salidas transmitirá la entrada *DATOS*. Es decir, recibe una fuente de datos de entrada y la distribuye en forma selectiva a una de las *N* salidas.



DEMULTIPLEXOR DE 1 A 8 LÍNEAS

En la siguiente figura se presenta un diagrama lógico para un demultiplexor que distribuye una línea de entrada en ocho líneas de salida. La única línea de entrada de datos "*I*" se conecta a todas las ocho compuertas *AND*, pero solo una de estas compuertas se habilitará mediante las líneas de entrada de *SELECCIÓN*. La tabla de verdad muestra cada código de *SELECCIÓN* para cada compuerta de salida.

El circuito demultiplexor mostrado se parece al circuito decodificador, solo que agrega una cuarta entrada "*I*" en cada compuerta. Sin embargo, los decodificadores con entrada de *HABILITACIÓN* pueden utilizarse como demultiplexores. La entrada de código binario sirve como entradas de *SELECCIÓN* y la entrada de *HABILITACIÓN* sirve como entrada de datos "*I*".

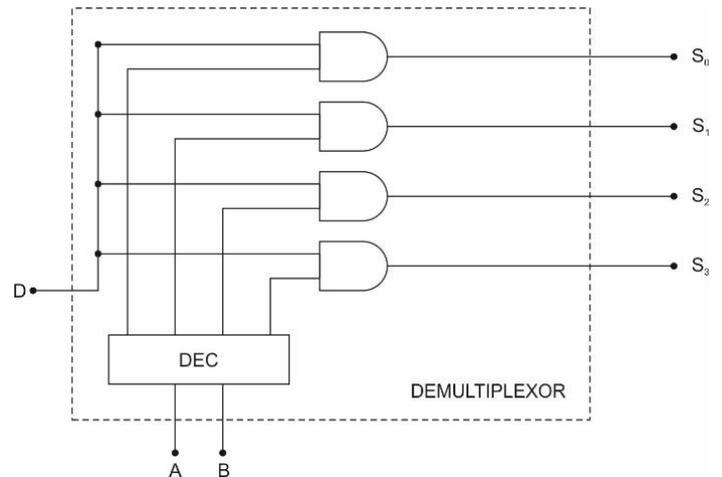


DEMULTIPLEXOR (APUNTES)

A	B	S ₀	S ₁	S ₂	S ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Código de SELECCIÓN				SALIDAS							
S ₂	S ₁	S ₀		O ₇	O ₆	O ₅	O ₄	O ₃	O ₂	O ₁	O ₀
0	0	0		0	0	0	0	0	0	0	1
0	0	1		0	0	0	0	0	0	1	0
0	1	0		0	0	0	0	0	1	0	0
0	1	1		0	0	0	0	1	0	0	0
1	0	0		0	0	0	1	0	0	0	0
1	0	1		0	0	1	0	0	0	0	0
1	1	0		0	1	0	0	0	0	0	0
1	1	1		1	0	0	0	0	0	0	0

Nota: I es la entrada de datos



U3: ELECTRÓNICA DIGITAL

C: CIRCUITOS SECUENCIALES

TEMAS:

- Biestables: SR básico, SR activado por nivel, D activado por nivel y por flanco. JK master-slave.
- Registros contadores y de desplazamiento, paralelo-paralelo, paralelo-serie, y serie-paralelo-
- Aplicación en comunicación serie.

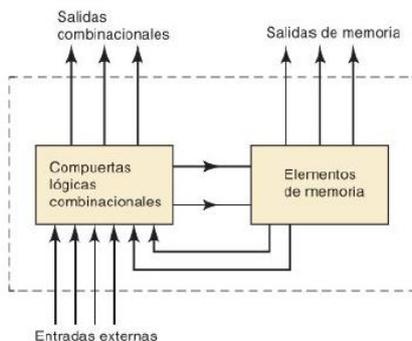
Tocci 10ª Ed., Unidad 5 pág. 208

FLIP-FLOPS Y DISPOSITIVOS RELACIONADOS

INTRODUCCIÓN

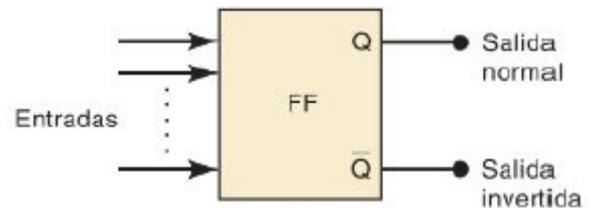
Los circuitos lógicos vistos son combinacionales. En estos el nivel de salida en cualquier instante depende de los niveles presentes en las entradas en ese instante. Es decir, los niveles de entrada anteriores no tienen efecto sobre el nivel actual de la salida. En definitiva, no tienen memoria.

A continuación se muestra un diagrama de bloques de un sistema que combina compuertas combinacionales y dispositivos de memoria. El combinacionales acepta las señales de entrada y de las salidas de la memoria. A continuación produce salidas, algunas van a la memoria nuevamente. Esto indica que las salidas son función de los valores de sus entradas y de la información almacenada en la memoria.



El elemento de memoria más importante es el **flip-flop FF, latch o multivibrador biestable**. A continuación se muestra el

símbolo general. Las salidas se identifican como " Q " (**terminal normal**) y " \bar{Q} " (**terminal invertida**). Cada vez que se hace referencia al estado del FF se está haciendo referencia al estado de " Q ".



Estados de la salida

$Q = 1, \bar{Q} = 0$: se denomina estado ALTO o 1; también se le conoce como estado SET (establecer).

$Q = 0, \bar{Q} = 1$: se denomina estado BAJO o 0; también se le conoce como estado CLEAR o RESET (borrar o restablecer).

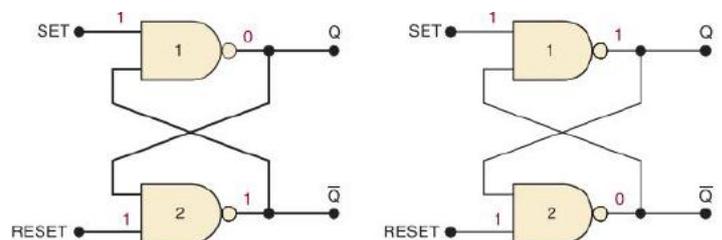
Luego se verá que la mayoría de las entradas de un FF necesitan activarse solo en forma momentánea (pulsos) para provocar un cambio en el estado de salida, y permanecerá en ese nuevo estado incluso después de que acabe el pulso de entrada. Esta característica es la **memoria** del FF. Muchos FF tienen una entrada **SET** y otra **RESET**.

LATCH DE COMPUERTA NAND (BIESTABLE S – R)

El circuito FF más básico puede crearse a partir de dos compuertas NAND o dos NOR. A continuación se presenta la versión con compuertas NAND, conocido como **latch de compuerta NAND**. Las compuertas están realimentadas en forma transversal. Las salidas son " Q " y " \bar{Q} ". Las entradas son: **SET**, la que **establece** " Q " en nivel 1, y **RESET** es la que **reestablece** " Q " en nivel 0.

Generalmente, las entradas **SET** y **RESET** permanecen en **ALTO**, y una de ellas cambiará a **BAJO** mediante un pulso cada vez que quiera cambiar el estado de las salidas. Comenzamos analizando la situación $SET = RESET = 1$, la cual tiene dos

estados de salida con la misma probabilidad. Una es cuando $Q = 0$ y $\bar{Q} = 1$. En este caso las entradas para la compuerta NAND – 2 son 0 y 1, lo cual produce $\bar{Q} = 1$. Este nivel hace que la compuerta NAND – 1 tenga ambas entradas en 1, lo que produce una salida $Q = 0$.

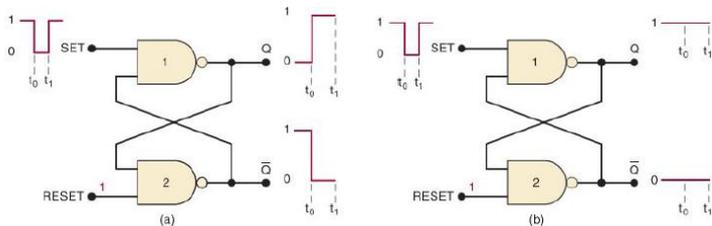


La segunda posibilidad con $SET = RESET = 1$ es cuando $Q = 1$ y $\bar{Q} = 0$. El nivel alto en $NAND - 1$ produce un nivel **BAJO** en la salida de la compuerta $NAND - 2$, que a su vez mantiene la salida de la compuerta $NAND - 1$ en **ALTO**. De esta forma, hay dos posibles estados cuando $SET = RESET = 1$ cuya presencia, como se verá más adelante, dependerá de lo que haya ocurrido antes en las entradas.

ESTABLECER EL LATCH

Manteniendo el nivel **ALTO** en $RESET$, aplicamos ahora un pulso a SET . Supongamos que $Q = 0$ y $\bar{Q} = 1$ antes de aplicar el pulso. Cuando llega el nivel **BAJO** en " t_0 ", " Q " cambia a nivel **ALTO** y consecuentemente " \bar{Q} " es obligada a cambiar a **BAJO**. Cuando SET regresa a 1 en " t_1 " las salidas se mantendrán en $Q = 1$ y $\bar{Q} = 0$.

Analicemos ahora que pasa luego del pulso en SET , pero cuando $Q = 1$ y $\bar{Q} = 0$. Debido a que $\bar{Q} = 0$ la compuerta $NAND - 1$ está siendo mantenida en **ALTO**, y el pulso **BAJO** en SET no cambiará nada. Es decir, en este caso las compuertas de salida no cambian de estado, sigue la condición en $Q = 1$ y $\bar{Q} = 0$.

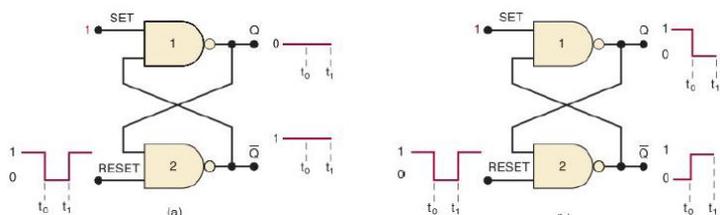


En conclusión un pulso **BAJO** en SET hará siempre que el latch termine en $Q = 1$. Esto se conoce como establecer el latch o **FF**.

REESTABLECER EL LATCH

Consideremos ahora cuando el pulso se aplica a $RESET$. Empecemos suponiendo que $Q = 0$ y $\bar{Q} = 1$. Como $Q = 0$ entonces la compuerta $NAND - 2$ ya está mantenida en **ALTO**, el pulso **BAJO** de $RESET$ no tendrá ningún efecto. El latch se mantendrá en $Q = 0$ y $\bar{Q} = 1$.

Supongamos ahora que $Q = 1$ y $\bar{Q} = 0$. Cuando $RESET$ cambia a **BAJO** en " t_0 ", " \bar{Q} " cambiará a **ALTO** y obligará a " Q " a cambiar a **BAJO**. Cuando $RESET$ regrese a **ALTO** en " t_1 ", la salida de la compuerta $NAND - 2$ permanecerá en **ALTO**, y a su vez este mantendrá la salida de la compuerta $NAND - 1$ en **BAJO**.



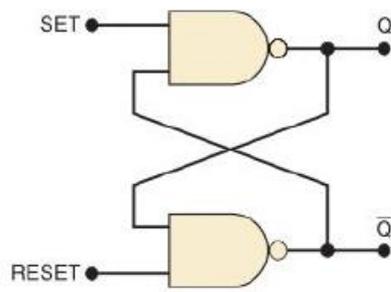
En conclusión un pulso **BAJO** en la entrada de $RESET$ siempre hará que el latch termine en el estado $Q = 0$. Esta operación se conoce como **reestablecer** el latch.

ESTABLECER Y RESTABLECER EN FORMA SIMULTANEA

El último caso a considerar es cuando se aplica el pulso simultáneamente en las dos entradas, SET y $RESET$, para que cambien a **BAJO**. Esto producirá niveles en **ALTO** en ambas compuertas $NAND$, haciendo $Q = \bar{Q} = 1$. Esto es indeseado ya que se supone que ambos valores son inversos. Además, cuando la entradas regresen al estado **ALTO**, el nivel de salida resultante dependerá de cual sea la entrada que regrese a **ALTO** primero. El resultado final es impredecible. Por esto no es común la condición $SET = RESET = 0$.

RESUMEN DE LATCH NAND

- $SET = RESET = 1$. Condición normal de reposo. No tiene efecto sobre la salida.
- $SET = 0, RESET = 1$. Establecer. Provocará que la salida cambie al estado $Q = 1$ y permanecerá así aun cuando SET regrese a **ALTO**.
- $SET = 1, RESET = 0$. Restablecer. Provocará que la salida cambie al estado $Q = 0$ y permanecerá así aun cuando SET regrese a **ALTO**.
- $SET = 0, RESET = 0$. Indeterminado. Provocará que la salida cambie al estado $Q = \bar{Q} = 1$ y cuando las entradas regresen a 1 simultáneamente el resultado será impredecible. Esta condición no debe usarse.



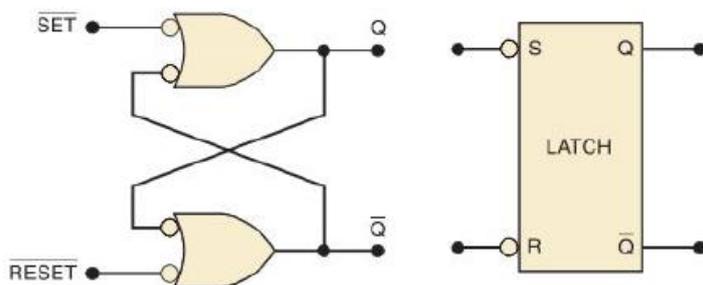
Set	Reset	Salida
1	1	Sin cambio
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválido*

* Produce $Q = \bar{Q} = 1$.

(b)

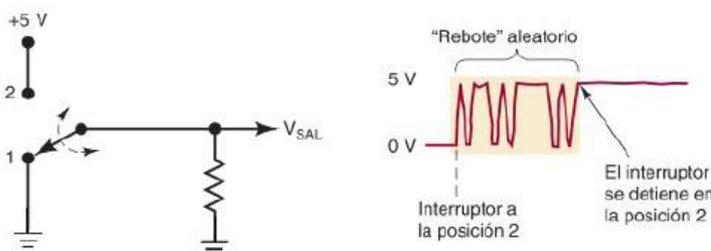
REPRESENTACIONES ALTERNATIVAS

La operación con latch $NAND$ se hace con entradas SET y $RESET$ en **BAJO**. Por esta razón, a menudo el latch $NAND$ se representa como se muestra en la siguiente figura.



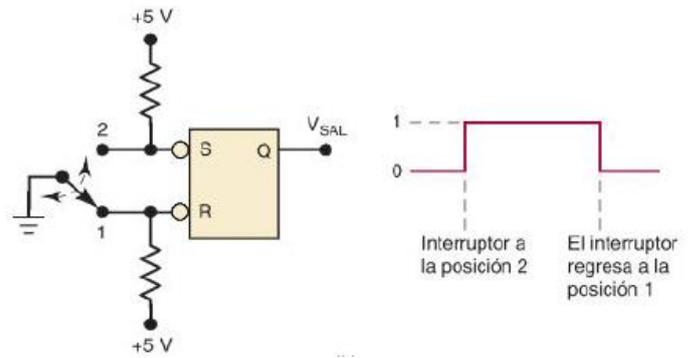
Las burbujas en las entradas y la línea sobre SET y $RESET$ indican los estados activos en **BAJO**. El circuito de la derecha es la representación en bloque simplificada de un **FF**.

APLICACIÓN



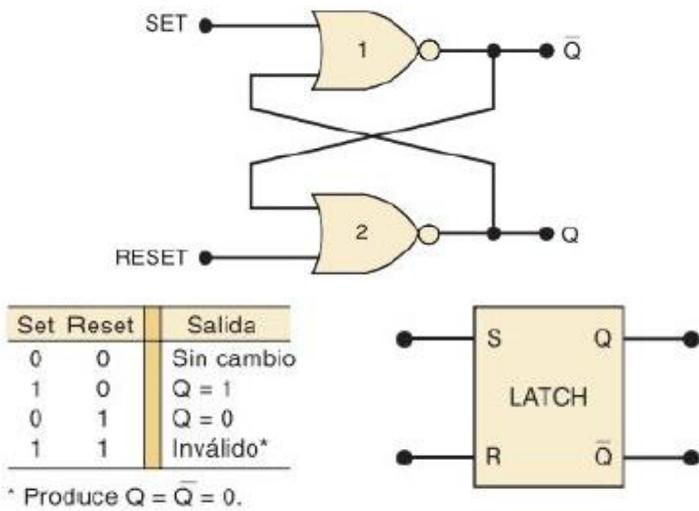
Los interruptores mecánicos no pueden generar transiciones de voltaje limpias, debido al fenómeno conocido como **rebote de contacto**, como se ilustra en la figura. Esto se produce cuando se mueve el interruptor a la posición 2 y el voltaje de salida "rebota" antes de estabilizar en 5 V.

Por lo general, las transiciones múltiples en la señal de salida no duran más de unos cuantos milisegundos, pero podría ser inaceptable en algunas aplicaciones. Por este motivo, se usa un latch *NAND*.



LATCH DE COMPUERTA NOR (BIESTABLE S – R)

El latch de compuerta *NOR* utiliza dos compuertas *NOR* acopladas transversalmente. El esquema se muestra a continuación.



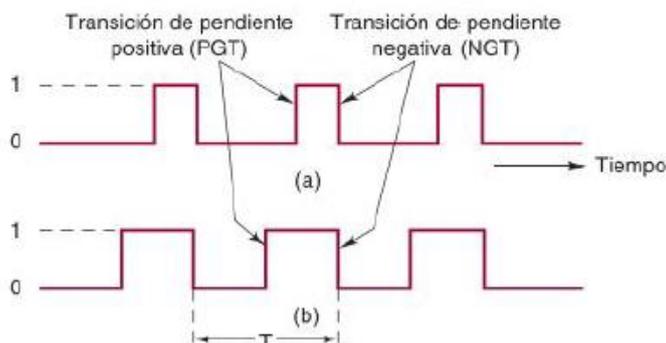
La diferencia con el latch de compuerta *NAND* es que las salidas "Q" y "Q̄" aparecen en posiciones invertidas.

El resultado del análisis se sintetiza continuación:

- $SET = RESET = 0$. Condición normal de reposo. No tiene efecto sobre la salida.
- $SET = 1, RESET = 0$. Establecer. Provocará que la salida cambie al estado $Q = 1$ y permanecerá así aun cuando *SET* regrese a *BAJO*.
- $SET = 0, RESET = 1$. Restablecer. Provocará que la salida cambie al estado $Q = 0$ y permanecerá así aun cuando *SET* regrese a *BAJO*.
- $SET = 1, RESET = 1$. Indeterminado. Provocará que la salida cambie al estado $Q = \bar{Q} = 0$ y cuando las entradas regresen a 1 simultáneamente el resultado será impredecible. Esta condición no debe usarse.
- En conclusión, el latch de compuerta *NOR* opera exactamente de la misma forma que el latch *NAND*, solo que las entradas *SET* y *RESET* son activas en *ALTO*, en vez de activas en *BAJO*, y el estado normal es $SET = RESET = 0$.

SEÑAL DE RELOJ Y FLIP-FLOPS SINCRONIZADOS POR RELOJ

Los sistemas digitales pueden operar en forma **asíncrona** o **síncrona**. En los sistemas asíncronos, las salidas de los circuitos lógicos pueden cambiar de estado en cualquier momento en el que una o más entradas cambien. Estos son más difíciles de diseñar que uno síncrono. En los sistemas síncronos, los tiempos exactos en los que cualquier entrada puede cambiar de estado se determinan con base a una señal que se conoce como **reloj o clock**. Comúnmente esta señal es un tren de pulsos rectangulares o una onda cuadrada. Los sistemas pueden cambiar de estado solo cuando el reloj hace una **transición o flanco**. El flanco puede ser **flanco de subida PGT** o **flanco de bajada NGT**.

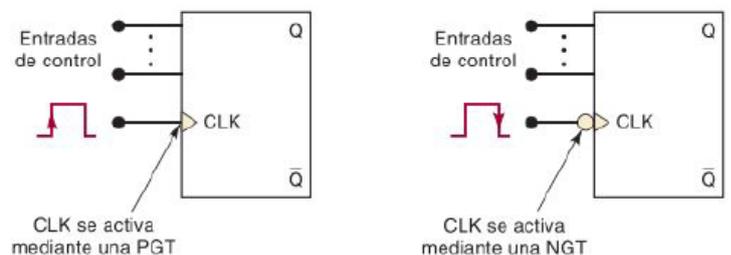


La acción de sincronización se logra a través del uso de **flip-flops sincronizados por reloj**.

La velocidad a la que opera un sistema digital síncrono depende de la frecuencia con la que ocurren los ciclos de reloj, el cual se mide desde un flanco de subida al siguiente flanco de subida. Al tiempo que se requiere para completar un ciclo se lo conoce como **periodo "T"**. El inverso se conoce como **frecuencia "f"** el cual se mide en *Hertz = ciclos/s*.

FLIP-FLOP SINCRONIZADO POR RELOJ

Los **FFs sincronizados por reloj** tienen una entrada de reloj identificada como *CLK*. En la mayoría de los *FFs* sincronizados, la entrada *CLK* es disparada por flanco, lo cual se indica con un triángulo en la entrada del *CLK*. Esta es la gran diferencia con los latches que se disparan por nivel.



En la imagen siguiente se presentan dos *FF*. La diferencia que presentan es que el de la derecha se activa por flanco de

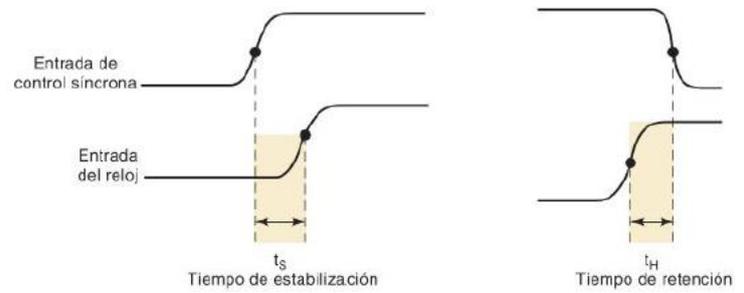
subida y el de la izquierda, por flanco de bajada. Este último presenta una burbuja por su forma de activación.

Los FFs sincronizados por reloj pueden tener una o más entradas de control, las cuales no tendrán efecto sobre "Q" sino hasta que ocurra un flanco sobre el reloj.

TIEMPO DE ESTABILIZACIÓN Y DE RETENCIÓN

El tiempo de estabilización " t_s " es el tiempo que va justo antes del flanco de la señal CLK , durante la cual la entrada de control debe mantenerse en el nivel apropiado. En la hoja de característica suele venir " t_{sMin} ".

El tiempo de retención " t_H " es el tiempo que sigue justo después del flanco de la señal CLK , durante la cual la entrada de control síncrona debe mantenerse en el nivel apropiado. En la hoja de características también se encuentra " t_{HMin} ".

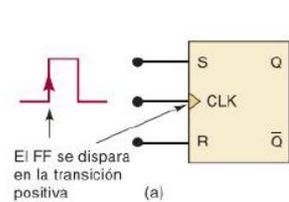


Para que el FF sincronizado por reloj responda apropiadamente cuando ocurra una transición activa de reloj, las entradas de control deben estar estables (sin cambios) durante al menos un tiempo igual a " t_{sMin} " antes del flanco de reloj, y " t_{HMin} " después del mismo.

El orden de estos tiempos se mide en nanosegundos y se miden desde la mitad del flanco.

FLIP-FLOP SINCRONIZADO POR RELOJ EN S – R

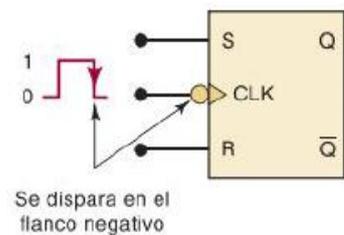
A continuación se presenta el símbolo lógico de un flip-flop sincronizado por reloj en S – R que se dispara por flanco de subida de la señal de reloj. Lo acompaña su tabla de verdad.



Entradas			Salida
S	R	CLK	Q
0	0	↑	Q_0 (sin cambio)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambigua

Q_0 es el nivel de salida antes de la \uparrow de CLK. La \downarrow de CLK no produce ningún cambio en Q.

En caso de que el flip-flop dispare por flanco de bajada el esquema y su tabla de verdad son los siguientes:



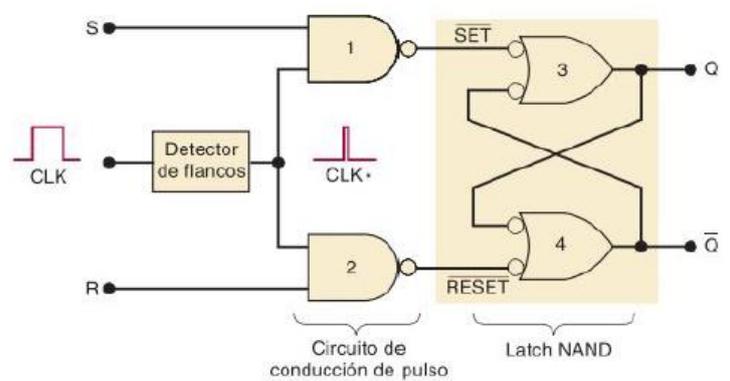
Entradas			Salida
S	R	CLK	Q
0	0	↓	Q_0 (sin cambio)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambigua

CIRCUITOS INTERNOS

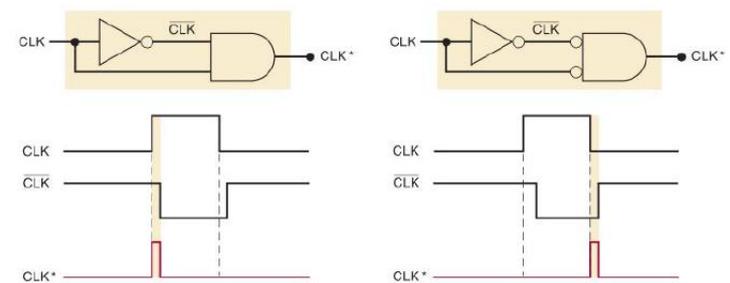
A continuación se presenta un esquema simplificado del conexionado interno de un FF disparado por flanco. Podemos observar tres partes:

- El latch NAND.
- El circuito de conducción de pulso.
- El circuito detector de flanco.

El circuito detector de pulso produce un pulso positivo estrecho coincidente con la transición activa del pulso de CLK . El circuito de conducción de pulso "guía" el pico a través de las entradas de SET y RESET del latch.



La siguiente figura muestra como se genera la señal de CLK^* para los FFs disparados por flanco. El INVERSOR produce un retraso de unos cuantos nanosegundos, haciendo que \overline{CLK} se produzca un poco después. La compuerta AND produce un pulso de salida en nivel alto durante los pocos nanosegundos que se mantienen CLK y \overline{CLK} en nivel ALTO. El resultado es un pulso estrecho CLK^* que ocurre en el flanco de subida de CLK . De manera similar se puede generar un pulso en ALTO activado por flanco de bajada de CLK como muestra la imagen.

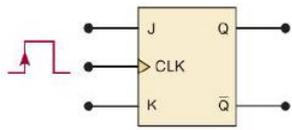


El pulso estrecho hace que "Q" sea afectado por "S" y "R" solo durante un corto intervalo.

FLIP-FLOP SINCRONIZADO POR RELOJ EN J – K

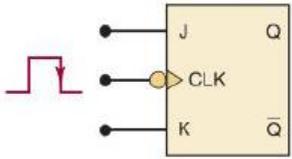
La figura muestra un flip-flop sincronizado por reloj en J – K, el cual se dispara por flanco de subida de la señal de CLK . Las entradas J y K controlan el estado del FF de la misma forma que las entradas S y R controlan el flip-flop S – R. La gran diferencia

es que la condición de $J = K = 1$ no produce una salida ambigua, sino que cambiará a su estado opuesto al momento en que ocurra el flanco de subida del reloj. A este se lo conoce modo conmutación.



J	K	CLK	Q
0	0	↑	Q_0 (sin cambio)
1	0	↑	1
0	1	↑	0
1	1	↑	\bar{Q}_0 (conmuta)

Para el mismo circuito pero con activación con el flanco de bajada de la señal de clock se tiene:

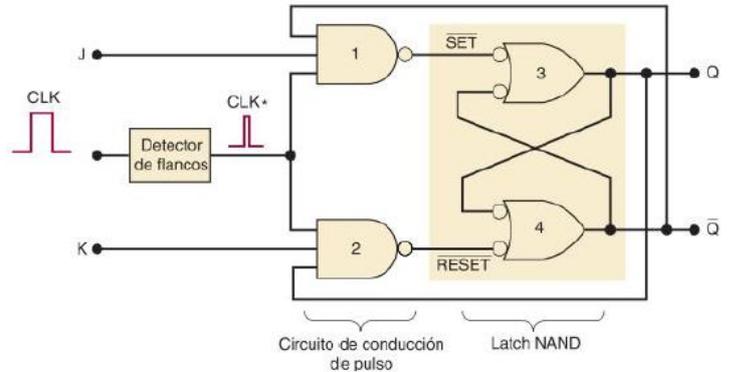


J	K	CLK	Q
0	0	↓	Q_0 (sin cambio)
1	0	↓	1
0	1	↓	0
1	1	↓	\bar{Q}_0 (conmuta)

El flip-flop $J - K$ es mucho más versátil que el flip-flop $S - R$, ya que no tiene estados ambiguos. El modo conmutación tiene amplios usos en contadores binarios.

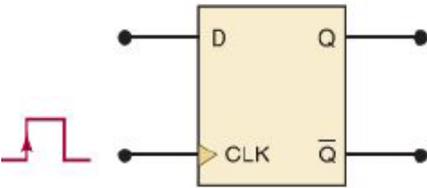
CIRCUITOS INTERNOS

A continuación se muestra un esquema simplificado de los circuitos internos de un flip-flop $J - K$ disparado por flanco. Contiene las mismas tres secciones que el flip-flop $S - R$ disparado por flanco. La única diferencia es que las salidas "Q" y "Q-bar" se alimentan de vuelta a las compuertas NAND de conducción de pulso. Esta retroalimentación es lo que proporciona la conmutación.



FLIP-FLOP SINCRONIZADO POR RELOJ EN D

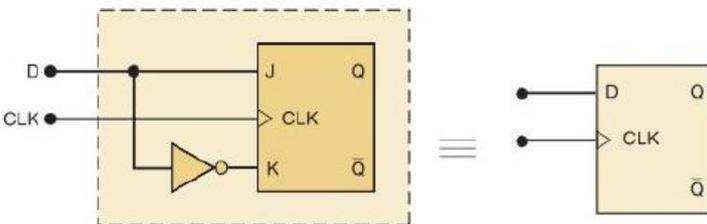
A continuación se presenta el símbolo y tabla de funciones para un **flip-flop sincronizado por reloj en D** disparado por flanco de subida. A diferencia de los anteriores, este tiene solo una entrada de control síncrona "D" que significa **datos**. La operación es como sigue: "Q" cambiará al mismo estado que esté presente en la entrada "D" cuando ocurra un flanco de subida en CLK. Esto quiere decir que se almacena el dato luego del flanco de subida. También se comercializan FFs D disparados por flanco de bajada.



D	CLK	Q
0	↑	0
1	↑	1

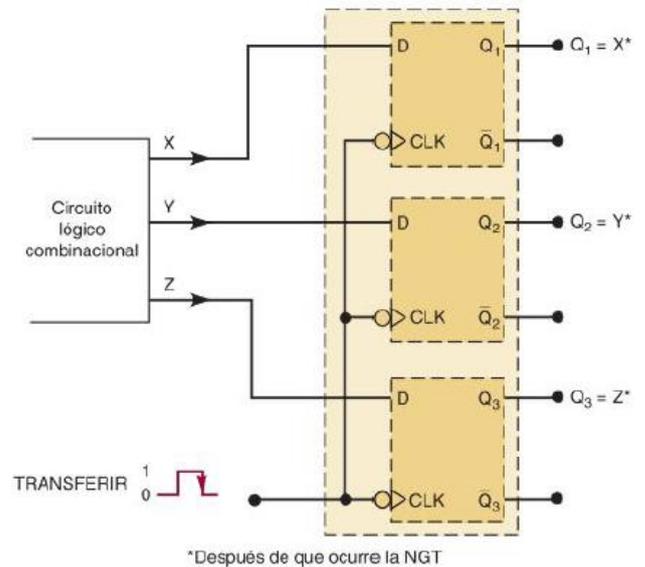
IMPLEMENTACIÓN DE FLIP-FLOP D

Constructivamente el flip-flop D es un flip-flop $J - K$ o $S - R$ con un *INVERSOR* extra.



TRANSFERENCIA DE DATOS EN PARALELO

En el ejemplo de la imagen, las salidas "X", "Y" y "Z" de un circuito lógico van a transferirse a los FFs "Q1", "Q2" y "Q3" para su almacenamiento. Utilizando flip-flops D los niveles presentes en "X", "Y" y "Z" se transferirán en el momento de aplicar el pulso *TRANSFERIR* a la entrada de CLK común. Este es un ejemplo de transferencia de datos en paralelos para datos binarios. La transferencia de los tres bits es simultánea.



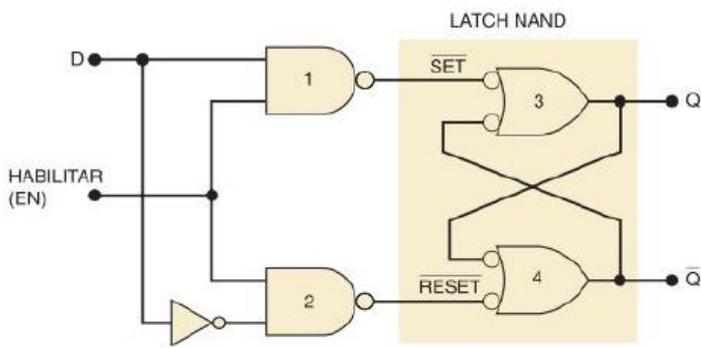
LATCH D (LATCH TRANSPARENTE)

El flip-flop D disparado por flanco utiliza un circuito detector de flancos. Sin este elemento, el circuito resultante opera algo diferente. Esto se conoce como latch D y a continuación se presenta su esquema.

La entrada común se llama habilitación EN. Su efecto sobre "Q" y "Q-bar" no se restringe a lo ocurrido solo con el flanco. A continuación se describe la operación:

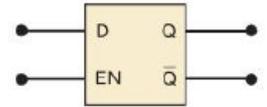
- Cuando EN está en ALTO, la entrada D producirá un nivel BAJO ya sea en \overline{SET} o en \overline{RESET} del latch NAND, para hacer que "Q" tenga el mismo nivel que "D".

- Cuando EN está en BAJO, la entrada D queda inhibida y no puede afectar al latch NAND debido a que las salidas de ambas compuertas de dirección se mantendrán en ALTO. Por ende, las salidas "Q" y "Q-bar" permanecerán en el nivel que tenían justo antes de que EN cambie a BAJO.



Entradas		Salida
EN	D	Q
0	X	Q_0 (sin cambio)
1	0	0
1	1	1

"X" indica "no importa"
 Q_0 es el estado Q justo antes de que EN cambie a BAJO.



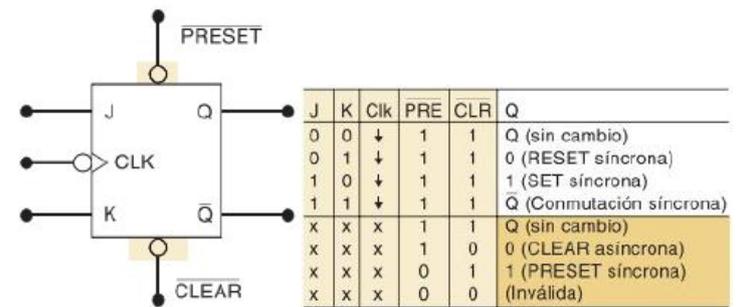
ENTRADAS ASÍNCRONAS

Para los flip-flops sincronizados por reloj que hemos visto, las entradas S , R , J , K y D se han designado como entradas de control, sin embargo también se conocen como **entradas síncronas**, ya que sus efectos están sincronizados con la entrada CLK .

La mayoría de los FFs sincronizados por reloj tienen también una o más **entradas asíncronas**, que operan de manera independiente a las entradas síncronas y a CLK . Pueden usarse para establecer el FF al estado 1 o borrar ($RESET$) el FF al estado 0 en cualquier momento, sin importar las condiciones de las otras entradas. Por tal motivo, se conocen como **entradas predominantes**.

A continuación se muestra un flip-flop $J - K$ con dos entradas asíncronas designadas como \overline{PRESET} y \overline{CLEAR} , que son entradas activas en **BAJO** como lo indican las burbujas.

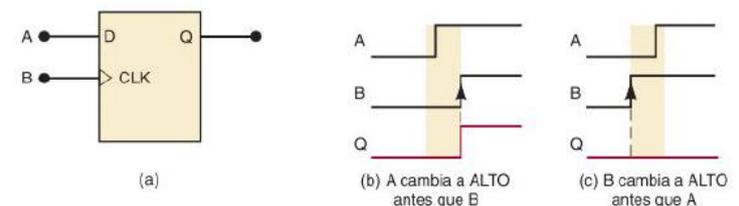
Las entradas asíncronas responden a niveles de corriente directa. Es común utilizarlas para establecer o borrar el FF.



DETECCIÓN DE UNA SECUENCIA DE ENTRADA

Muchas aplicaciones exigen que una salida se active únicamente cuando las entradas se activan en cierta secuencia. Esto no puede lograrse con lógica combinacional, requiere de la característica de almacenamiento de los FFs.

Una compuerta AND puede utilizarse para determinar cuándo dos entradas A y B se encuentran en **ALTO**, pero su salida responderá igual sin importar cual entrada cambia primero. Supongamos que necesitamos generar una salida en **ALTO** solo si A cambia a **ALTO** y B lo hace cierto tiempo después. A continuación se presenta una forma para lograrlo.

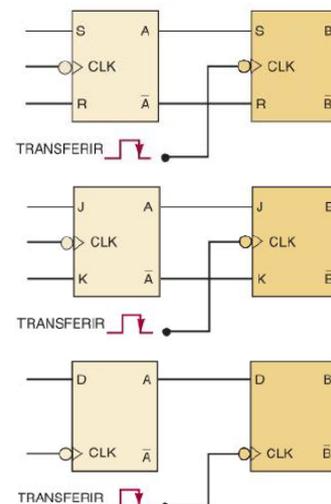


En este esquema " Q " cambia a **ALTO** únicamente cuando A cambia a **ALTO** antes que B . Por supuesto debe respetarse el tiempo de estabilización del FF.

ALMACENAMIENTO Y TRANSFERENCIA DE DATOS

Hasta ahora el uso más frecuente de los flip-flop es para el almacenamiento de datos o información codificada en número binario. Estos grupos de FFs se conocen como **registros**.

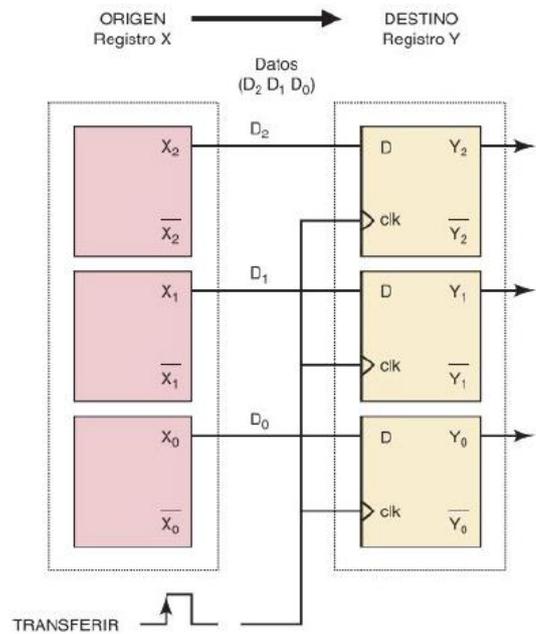
La operación más frecuente sobre estos datos almacenados en registros es la **trasferencia de datos**. En la siguiente figura se muestra una transferencia de datos entre dos FFs mediante el uso de flip-flops sincronizados por reloj en $S - R$, $J - K$ y D . En cada caso, el valor lógico almacenado en A se transfiere a B luego del flanco de bajada del pulso **TRANSFERIR**. Luego del pulso B será del mismo nivel que A . Estas se conocen como **transferencias síncronas** debido al uso de CLK .



TRANSFERENCIA EN PARALELO

A continuación se presenta un esquema para transferencia de datos de un registro a otro mediante el uso de varios *FF* tipo *D*. Este tipo de transferencia se conoce como transferencia en paralelo ya que los bits se transfieren de manera simultánea.

Este tipo de transferencia no cambia el contenido del registro de origen.

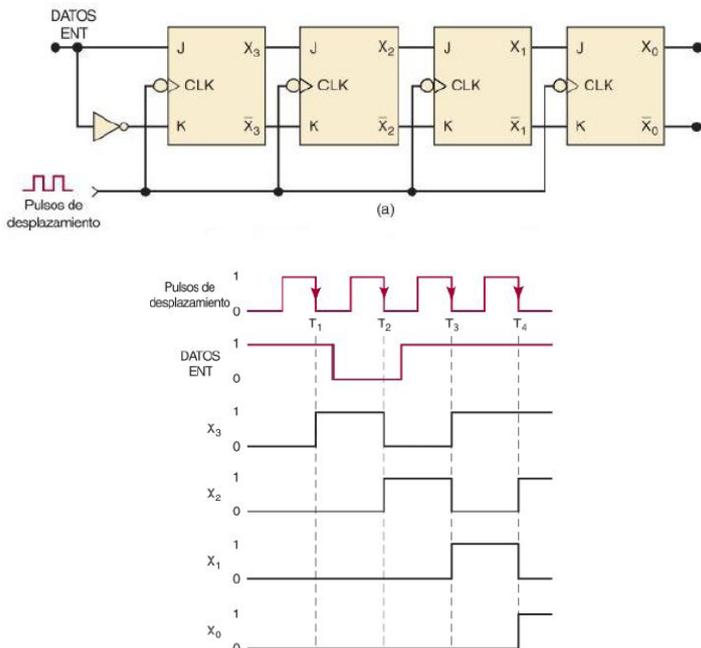


TRANSFERENCIA DE DATOS EN SERIE: REGISTRO DE DESPLAZAMIENTO

Un **registro de desplazamiento** es un grupo de *FFs* ordenados de manera que los números binarios almacenados en ellos se desplacen de un *FF* al siguiente durante cada uno de los pulsos de reloj.

A continuación se presenta un arreglo con flip-flop *J-K* para que operen como un registro de desplazamiento de cuatro bits. Estos se encuentran conectados en serie, es decir, "*X*₃" se transfiere hacia "*X*₂", "*X*₂" hacia "*X*₁" y "*X*₁" hacia "*X*₀". Esto implica que al momento del flanco de bajada del pulso de desplazamiento, cada *FF* tomará el valor almacenado a su izquierda. Por su parte "*X*₃" tomará el valor determinado por las condiciones presentes en sus entradas *J* y *K*, alimentados mediante la forma de onda de *DATOS ENT*.

La figura siguiente muestra un ejemplo de desplazamiento de datos. Se observa que se trasladan de izquierda a derecha a medida que se aplican los pulsos de desplazamientos.

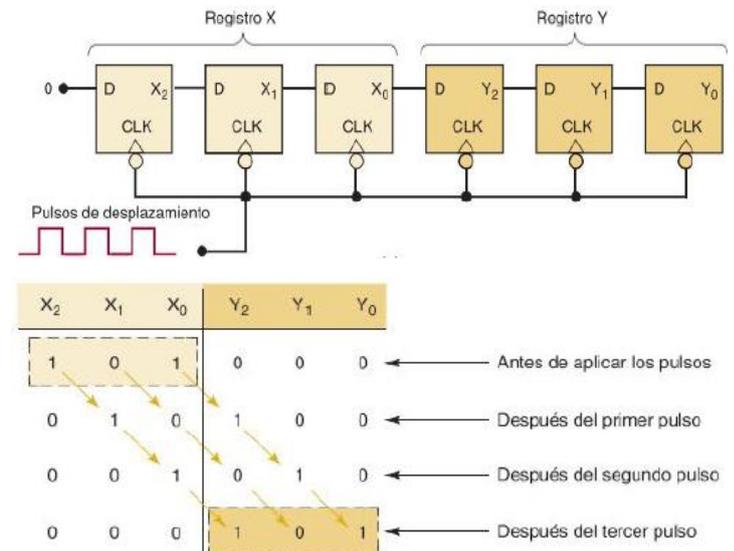


REQUERIMIENTO DE TIEMPO DE RETENCIÓN

En este arreglo es necesario que los *FFs* tengan un requerimiento de tiempo de retención muy corto, debido a que a veces las entradas *J* y *K* están cambiando casi al mismo tiempo el flanco de *CLK*. En la realidad existe un retardo entre el flanco de *CLK* y la respuesta de *J* y *K*. Por lo tanto, debe procurarse que "*t_H*" sea menor que un retraso de propagación de *CLK*.

TRANSFERENCIA EN SERIE ENTRE REGISTROS

La siguiente imagen muestra dos registros de desplazamiento de tres bits, conectados de forma tal que el contenido del registro *X* se transferirá en serie hacia el registro *Y*. Se utilizarán *FFs* tipo *D* ya que requieren menos conexiones que los *FFs* tipo *J-K*. Los datos se transferirán, a medida que se apliquen los pulsos de transferencia, en la siguiente secuencia: *X*₂ → *X*₁ → *X*₀ → *Y*₂ → *Y*₁ → *Y*₀. Supondremos que las entradas "*X*₂" por *D* están en *BAJO*.



COMPARACIÓN ENTRE PARALELO Y SERIE

En la transferencia en paralelo, toda la información se transfiere en forma simultánea cuando ocurre un pulso de comando de transferencia individual. En la transferencia en serie, la transferencia completa de N bits de información requiere de N pulsos de reloj. Es obvio que la transferencia en paralelo es mucho más rápida que la serie.

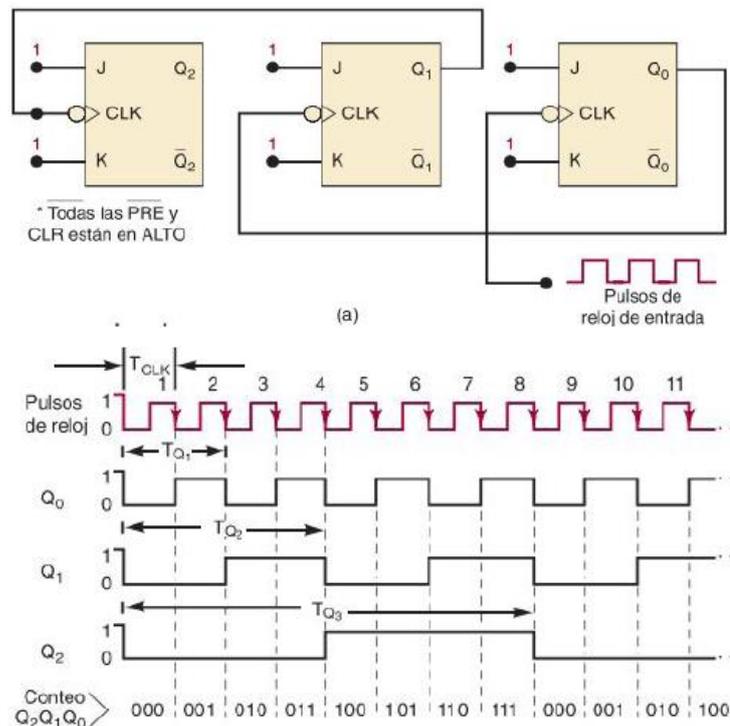
En la transferencia en paralelo, la salida de cada FF en el registro X está conectada a la correspondiente entrada D en el registro Y . En la transferencia serie, solo el último FF del registro

X está conectado al registro Y . En general, la transferencia en paralelo requiere más interconexiones que la serie. Esta diferencia se vuelve crítica cuando se transfiere un número mayor de bits, sobre todo cuando el registro emisor y receptor se encuentran alejados.

La elección depende de la aplicación de un sistema en particular. A menudo se utilizan combinaciones de los dos para aprovechar la velocidad de la transferencia en paralelo y la economía de la transferencia en serie.

DIVISIÓN Y CONTEO DE FRECUENCIAS

En el esquema que se presenta, cada FF tiene sus entradas J y K en el nivel 1, por lo que conmutará cada vez que la señal en su entrada CLK cambie de ALTO a BAJO. Los pulsos de reloj solo se aplican a la entrada CLK del FF " Q_0 ". La salida de " Q_0 " está conectada a la entrada CLK del FF " Q_1 ", y la salida de " Q_1 " está conectada a la entrada CLK del FF " Q_2 ". En la siguiente imagen se observan las formas de onda de los FF s a medida que se aplican los pulsos.



Como se observa en la imagen " Q_0 " conmuta con los flancos de bajada del pulso de reloj de entrada CLK . Por lo tanto, su frecuencia es la mitad de la frecuencia del pulso de CLK . Por su parte, " Q_1 " conmuta con los flancos de bajada de " Q_0 ", por lo tanto, su frecuencia es un cuarto del valor de la frecuencia de reloj. A su vez, " Q_2 " conmuta con los flancos de bajada de " Q_1 " y en consecuencia su frecuencia es un octavo de la frecuencia de reloj.

Dependiendo del número de FF utilizados, este circuito podría dividir una frecuencia por cualquier potencia de 2. Por ejemplo, con N FF s se producirá una frecuencia de salida en el último FF con frecuencia igual a $1/2^N$. Por esto, este esquema se conoce como **divisor de frecuencia**. Estos se suelen utilizar en los relojes de cristal de cuarzo para bajar su frecuencia natural

resonante 1 MHz a 1 Hz. Esto permite avanzar el indicador de los segundos.

OPERACIÓN DE CONTEO

Además de funcionar como divisor de frecuencia también opera como **contador binario**. Para ello hay que observar los estados de los FF s después de que ocurre cada pulso de reloj presentes en la **tabla de estados**.

Los valores $Q_2Q_1Q_0$ representan un código binario, en donde " Q_2 " está en la posición 2^2 , " Q_1 " en 2^1 y " Q_0 " en 2^0 . Estos tres bits puede representar la secuencia binaria desde 000 hasta 111, a medida que se producen los flancos de bajada. En el octavo flanco de bajada los FF s regresan al estado 000 y la secuencia binaria se repite.

2^2	2^1	2^0	
Q_2	Q_1	Q_0	
0	0	0	Antes de aplicar los pulsos del reloj
0	0	1	Después del pulso #1
0	1	0	#2
0	1	1	#3
1	0	0	#4
1	0	1	#5
1	1	0	#6
1	1	1	#7
0	0	0	#8
0	0	1	#9
0	1	0	#10
0	1	1	#1
.	.	.	.
.	.	.	.
.	.	.	.

NÚMERO MOD

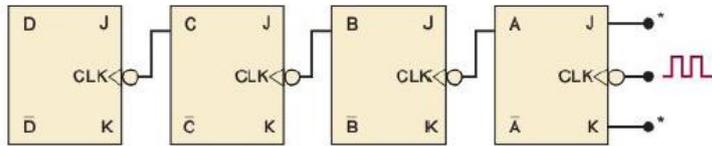
El contador analizado tiene $2^3 = 8$ estados distintos (desde 000 hasta 111). Por lo tanto, al contador se lo denomina **contador MOD-8**. Es decir, el **número MOD** indica la cantidad de estados en la secuencia de conteo. En general, si se conectan N FF s, el contador tendrá 2^N estados distintos, por lo cual será un contador $MOD = 2^N$ y sería capaz de contar hasta $2^N - 1$ antes de regresar a 0.

También indica la división de frecuencias que se obtiene del último FF .

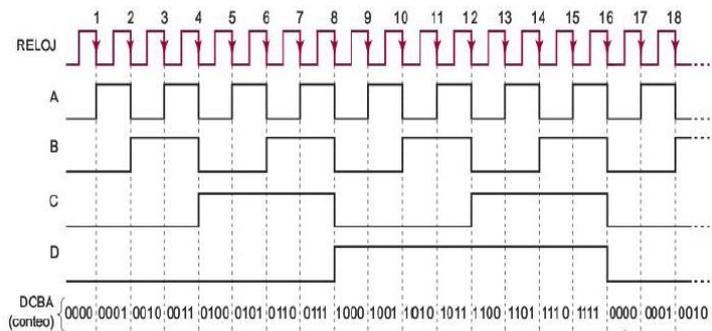
CONTADORES Y REGISTROS

CONTADORES ASÍNCRONOS (DE RIZO)

A continuación se presenta un circuito contador binario de cuatro bits como se vio anteriormente (ordenado de otra manera).

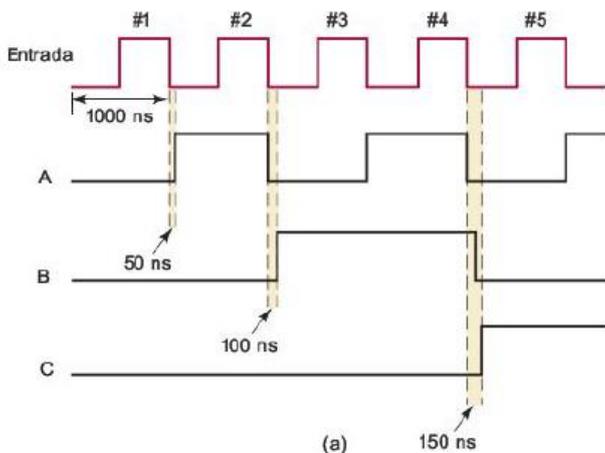


* Se asume que todas las entradas J y K son 1.



En este contador, cada salida de los FFs excita la entrada CLK del siguiente FF. A este tipo de arreglo se lo conoce como **contador asíncrono**, ya que los FFs no cambian de estado en sincronía exacta con los pulsos de reloj que se aplican. Únicamente el FF A responde a los pulsos de reloj. Y los siguientes FF esperan la conmutación del FF que lo precede. Por lo tanto, hay un retraso entre las respuestas de los FFs sucesivos que generalmente se encuentra entre 5 – 20 ns por FF. El retraso puede llegar a ser problemático. A este tipo de contador se lo conoce como **contador de rizo**.

RETRASO DE PROPAGACIÓN



Los contadores de rizo son el tipo más simple de contador binario, ya que requiere la menor cantidad de componentes. No obstante, tiene una gran desventaja: cada FF se dispara con el pulso de salida del FF anterior. Debido al tiempo de retraso de propagación " t_{pd} " de cada FF, el primer FF no responderá sino hasta un tiempo " t_{pd} ", el segundo " $2t_{pd}$ " y así sucesivamente. Esto se ilustra en la siguiente anterior.

En esta imagen se muestra que el FF A tiene un retardo de 50 ns, El FF B tiene 100 ns y el FF C tiene 150 ns. Sin embargo el pulso de entrada es de periodo $T = 1000$ ns y el tiempo de retraso de propagación es de $t_{pd} = 50$ ns lo cual no representa un problema grave.

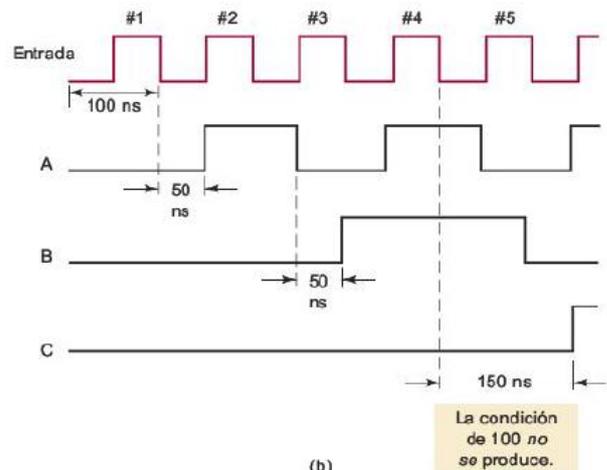
Sin embargo, los problemas aparecen cuando la frecuencia de entrada es alta. En la siguiente imagen se muestra el caso para un periodo de $T = 100$ ns. En particular es importante la situación del flanco de bajada del cuarto pulso de CLK.

Se puede evitar este problema si el periodo entre los pulsos de entrada se alarga más que el retraso de propagación total del contador:

$$T_{reloj} \geq N t_{pd}$$

$$f_{max} = \frac{1}{N t_{pd}}$$

Por lo tanto, los controladores asíncronos no son útiles a frecuencias muy altas especialmente aquellos contadores con grandes números de bits.



CONTADORES SÍNCRONOS (EN PARALELO)

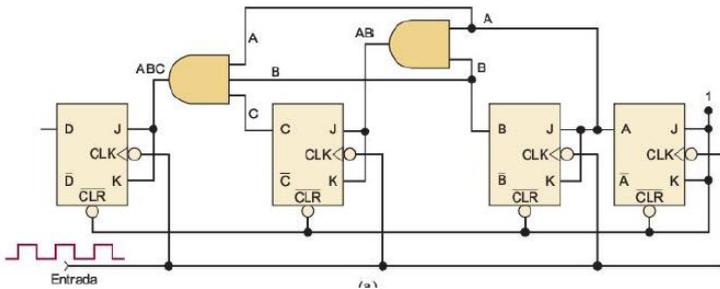
Las limitaciones anteriores pueden resolverse con el uso de **contadores en paralelo o síncronos**, en donde los FFs se disparan al mismo tiempo mediante pulsos de entrada de reloj.

Debido al que el pulso de entrada se aplica a todos los FFs, debe utilizarse algún medio para controlar cuando debe conmutar

un FF y cuando no. Esto se logra mediante el uso de las entradas J y K. A continuación se tiene el esquema de un contador síncrono MOD – 16 de cuatro bits.

El esquema tiene las entradas de CLK de todos los FFs conectadas en común. Solo el FF A, es decir, la cifra menos

significativa, tiene sus entradas J y K de manera permanente en nivel *ALTO*. Este contador requiere más circuitos que el contador asíncrono.



Conteo	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.
.
.	.	etc.	.	.

OPERACIÓN DEL CIRCUITO

Para que este circuito pueda contar en forma apropiada, en un flanco de bajada dado solo los FF s que se supone que deben conmutar tienen la condición $J = K = 1$.

En la tabla anterior se muestra la secuencia de conteo, la cual nos dice que el $FF B$ debe cambiar de estado en cada flanco de bajada siempre que $A = 1$. Para esto hay que conectar la salida de A con las entradas de J y K del $FF B$. Con esto se cumple que $J = K = 1$ siempre que $A = 1$.

Además, se observa que el $FF C$ debe cambiar de estado en con el flanco de bajada siempre que $A = B = 1$. Para esto se conecta la señal lógica AB a las entradas J y K del $FF C$, y conmutará solo cuando $A = B = 1$.

De manera similar se procede para el $FF D$, que debe cambiar de estado cuando $A = B = C = 1$. Entonces se conecta la señal lógica ABC a las entradas J y K del $FF D$.

El criterio general es el siguiente: **cada FF deberá tener sus entradas J y K conectadas de manera que estén en *ALTO* solo cuando las salidas de todos los FF s de menor orden se encuentren en estado *ALTO*.**

VENTAJA DE LOS CONTADORES SÍNCRONOS

En un contador en paralelo todos los FF s cambiarán de estado al mismo tiempo, y están sincronizados con el flanco de bajada de los pulsos de entrada de reloj. Esto hace que los retrasos de propagación se acumulen para generar un retraso total. En este caso el retraso de propagación equivale al tiempo que requiere un FF para conmutar, más el tiempo para activar las compuertas AND . Generalmente este tiempo es menor que el de un contador asíncrono. Por lo tanto, cambian velocidad para operar en altas frecuencias a expensas de complejidad en el esquema de conexión.

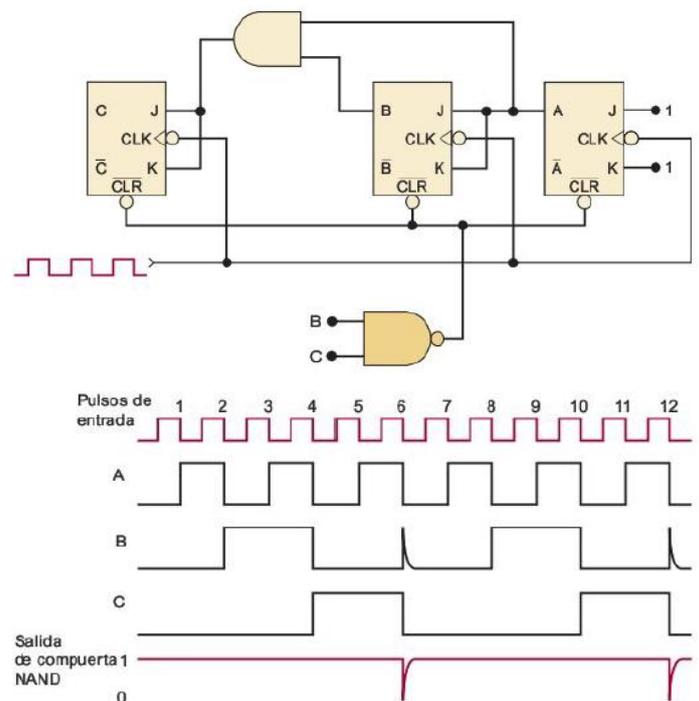
CONTADORES CON NÚMERO $MOD < 2^N$

Los contadores básicos explicados están limitados a números MOD que sean iguales a 2^N , siendo N el número de FF s. El contador básico puede modificarse para producir números MOD menores que 2^N , si se permite al contador omitir estados que forman parte de la secuencia de conteo. Uno de los métodos más comunes se presenta en el esquema a continuación, que muestra un contador de tres bits. Es muy parecido al esquema del contador binario $MOD - 8$, que cuenta desde 0000 hasta 1111, pero agrega una compuerta $NAND$.

La salida $NAND$ se conecta a la entrada $LIMPIAR$ asíncrona de cada FF . Mientras $NAND$ se encuentre en *ALTO*, no tendrá efectos sobre el contador. Pero cuando cambia a *BAJO* borrará todos los FF s, llevándolos a 000. Las entradas a esta compuerta son las salidas de los $FF B$ y C , por lo tanto la salida de $NAND$ cambiará a *BAJO* cuando $B = C = 1$, es decir, cuando el contador cambie de 101 a 110. A pesar de que el contador llega al valor 110 solo permanecerá en ese valor unos nanosegundos antes de reiniciarse. Por lo tanto, contará desde 101 a 101 y se conoce como contador $MOD - 6$.

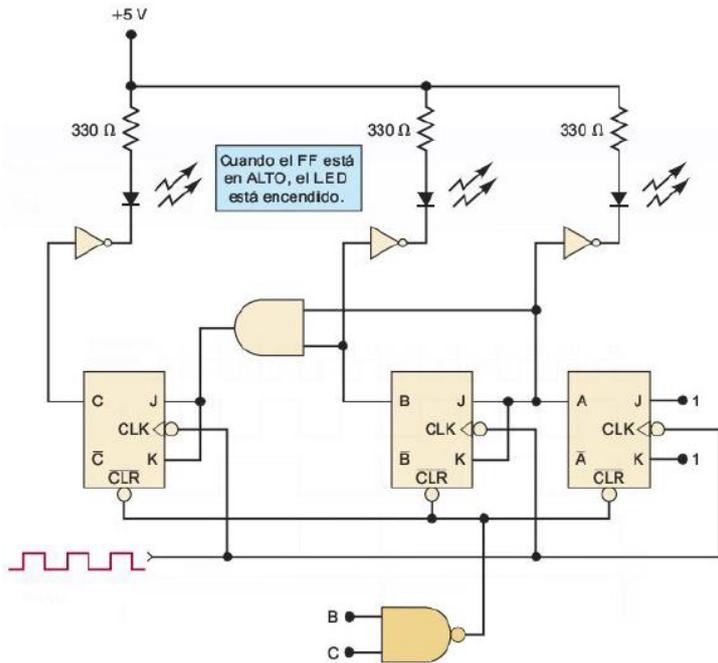
La forma de onda se muestra en la imagen. La onda B contiene un pico o deformación producida por la ocurrencia momentánea del estado 110 antes de que el FF se borre. Al ser tan estrecha no producirá ninguna visualización en los LED s indicadores o en pantallas numéricas. Sin embargo, podrá

producir problemas en caso de que B se utilice para excitar otro circuito. Se destaca también que la onda C tiene una frecuencia igual a un sexto de la frecuencia de entrada. Es decir, el $MOD - 6$ divide la frecuencia de entrada en seis. Además, no es una onda simétrica.



VISUALIZACIÓN DE LOS ESTADOS DEL CONTADOR

El método más simple es conectando *LEDs* indicadores individuales para cada salida de *FF*. Cada salida se conecta a un *INVERSOR*. Por ejemplo, cuando la salida *A* está en *ALTO* la salida del *INVERSOR* cambia a *BAJO* y el *LED* se encenderá para indicar $A = 1$.



CAMBIAR EL NÚMERO MOD

La elección de las entradas a la compuerta *NAND* definirá el tipo de número *MOD*. Por ejemplo, si las entradas son *A*, *B* y *C* el contador se disparará en 111, por lo tanto el contador llegará hasta 110. Entonces será un *MOD - 7*.

PROCEDIMIENTO GENERAL

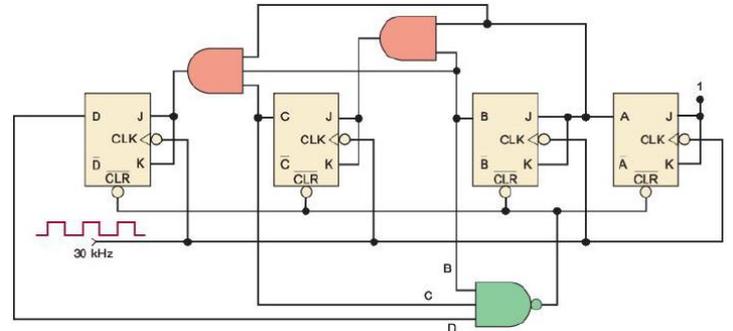
Para construir un contador *MOD - X* se deben seguir los siguientes pasos:

- Buscar el menor número de *FFs* que cumpla $2^N \geq X$ y conectarlos para formar un contador. Si $2^N = X$ no se realizan los dos siguientes pasos.

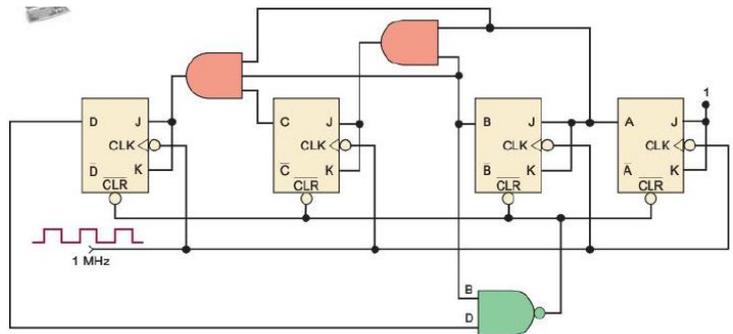
- Conectar una compuerta *NAND* a las entradas *LIMPIAR* asíncronas de todos los *FFs*.

- Determinar cuáles *FFs* estarán en *ALTO* cuando el conteo sea igual a *X*. Luego conectar las salidas normales de estos *FFs* a la entrada de la compuerta.

A continuación se muestra un *MOD - 14*.



A continuación se muestra un **contador de décadas** (cualquiera que tenga 10 estados distintos sin importar la secuencia), *MOD - 10* o contador *BCD* porque va desde 0000 a 1001.



. Tocci 10ª Ed., Unidad 7 pág. 437

REGISTROS DE CIRCUITO INTEGRADO

Los registros se clasifican de la siguiente manera:

- Entrada en paralelo/salida en paralelo.

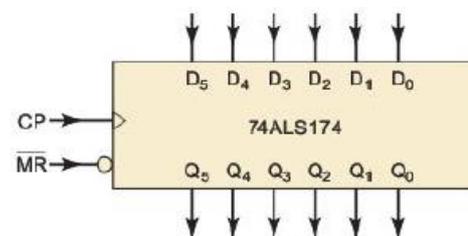
- Entrada en serie/salida en serie.
- Entrada en paralelo/salida en serie.
- Entrada en serie/salida en paralelo.

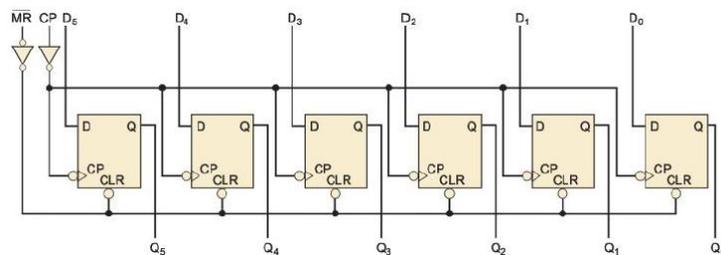
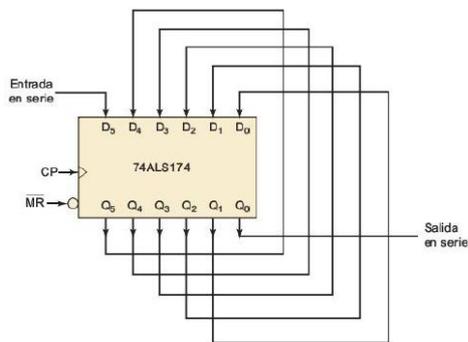
ENTRADA PARALELO-SALIDA PARALELO: 74ALS174/74HC174

El registro **entrada paralelo/salida paralelo** es un grupo de *FFs* que puede almacenar varios bits al mismo tiempo. A continuación se muestra el diagrama lógico de un registro de seis bits cuyas entradas "*D₅ - D₀*" y salidas "*Q₅ - Q₀*" se encuentran en paralelo. Los datos se cargan al registro mediante flanco de bajada de la entrada de reloj *CP*. Puede usarse una entrada maestra *MR* para restablecer a 0 en forma asíncrona todos los *FFs* del registro. También se muestra el símbolo lógico utilizado en diagramas de circuitos.

El *CI* se utiliza generalmente para transferencia síncrona de datos en paralelo, en donde los niveles lógicos presentes en *D*

se transfieren a las salidas *Q* correspondientes cuando se produce el flanco de bajada en *CP*. Sin embargo, puede cablearse para que transfiera datos en serie como se muestra en la imagen.

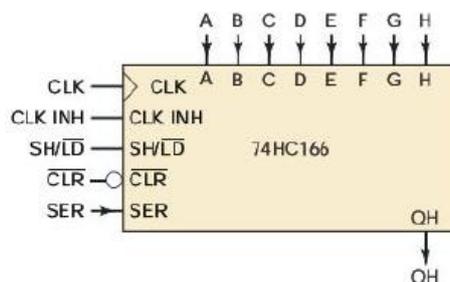




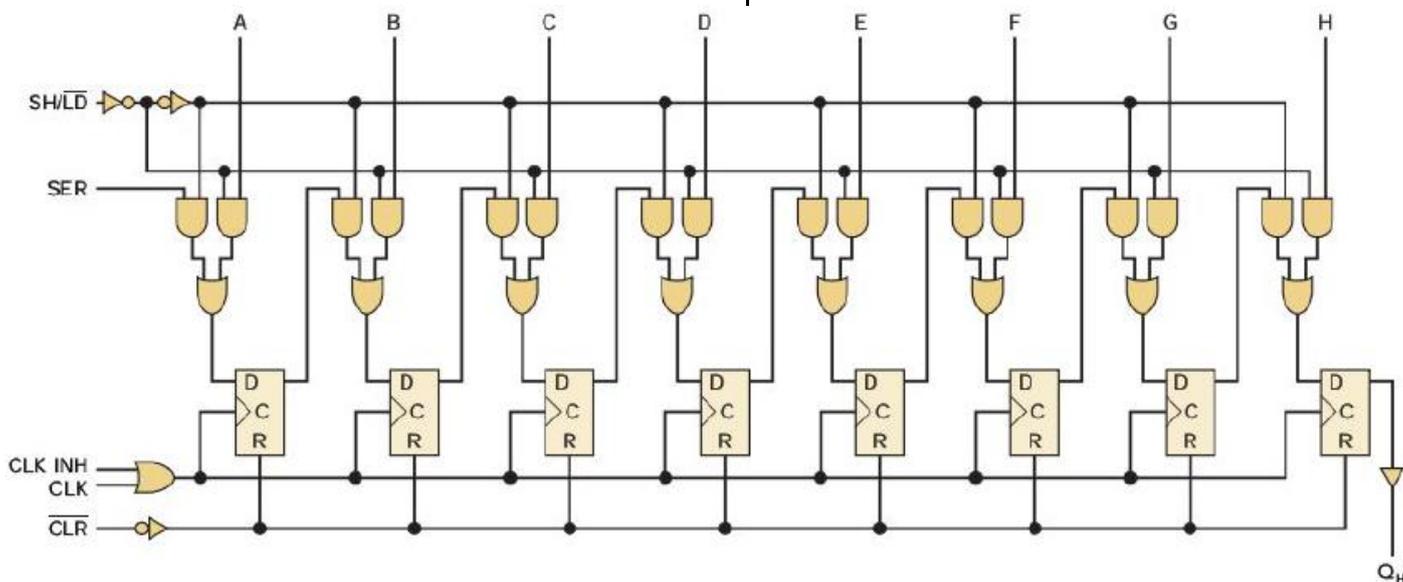
ENTRADA SERIE-SALIDA SERIE: 74ALS166/74HC166

Un registro de desplazamiento del tipo **entrada serie/salida serie** cargará los datos un bit a la vez con cada pulso de reloj, a través del conjunto de FFs y hacia el otro extremo del registro. Con los pulsos de reloj continuos, los datos saldrán del registro uno por uno en el mismo orden en el que se cargaron. Se presenta el diagrama lógico y el símbolo esquemático para este esquema. Se observa un registro de desplazamiento de ocho bits, de cual solo se puede tener acceso al FF Q_H . Los datos en serie se introducen en SER y se almacenan en el FF Q_A . La salida en serie se obtiene en el otro extremo del registro en Q_H .

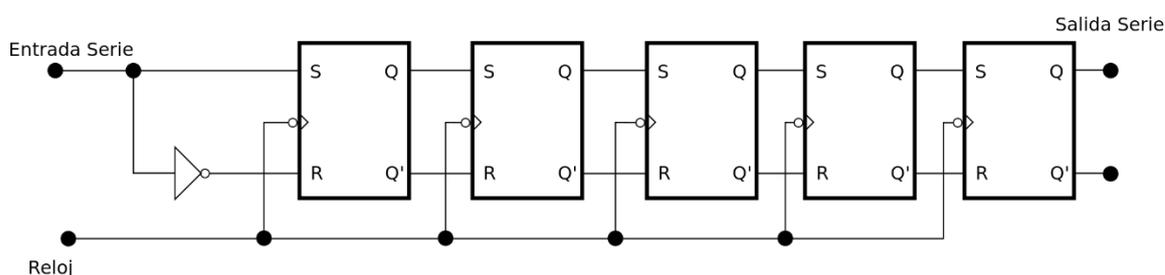
En la tabla de funciones se observa que a este registro se le pueden cargar datos en paralelo. Si $SH/LD = 1$ la función del registro será desplazamiento en serie, mientras que un nivel **BAJO** indicará datos de carga en paralelo a través de las entradas $A - H$. La función del registro puede inhabilitarse con un nivel alto en la entrada $CLK\ INH$. El registro tiene además una entrada borrar asíncrona CLR que se activa en **BAJO**.



ENTRADAS						SALIDAS		
						INTERNAS		Q_H
\overline{CLR}	SH/LD	$CLK\ INH$	CLK	SER	EN PARALELO A...H	Q_A	Q_B	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	\uparrow	X	a...h	a	b	h
H	H	L	\uparrow	H	X	H	Q_{An}	Q_{Gn}
H	H	L	\uparrow	L	X	L	Q_{An}	Q_{Gn}
H	X	H	\uparrow	X	X	Q_{A0}	Q_{B0}	Q_{H0}



Esquema simple:



ENTRADA PARALELO-SALIDA SERIE: 74ALS165/74HC165

A continuación se muestra un registro de ocho bits tipo entrada paralelo/salida serie, sin embargo tiene una entrada de datos en serie a través de *SER* o *D_s* (serial input). El registro contiene ocho *FFs* conectados en forma interna como un registro de desplazamiento, pero la única salida accesible de los *FFs* son "*Q₇*" y "*Q̄₇*". La entrada de reloj es *CLK* o *CP* que se utiliza para operar el desplazamiento. La entrada de inhibición de reloj *CP INH* se utiliza para desactivar el efecto de la entrada *CP*. La entrada de desplazamiento/carga *SH/LD*, controla que operación que se está llevando a cabo: desplazamiento o carga en paralelo. La carga en paralelo es asíncrona y el desplazamiento en serie es síncrono.

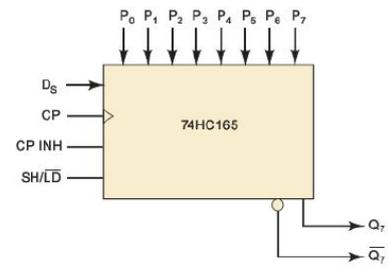
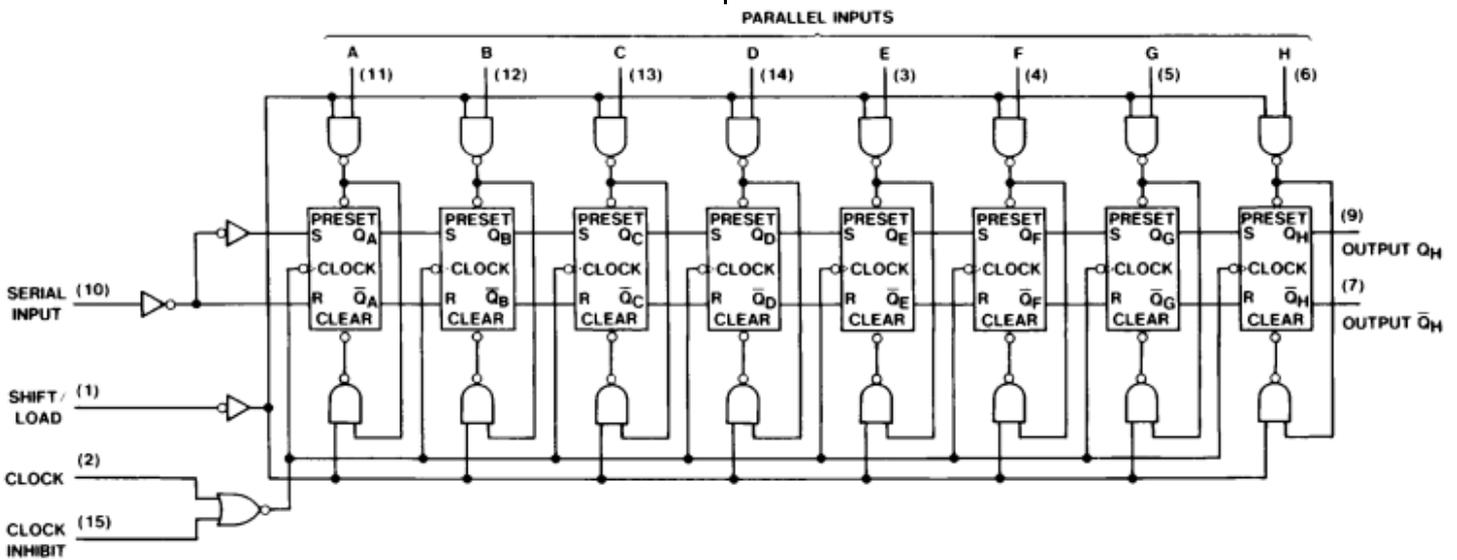
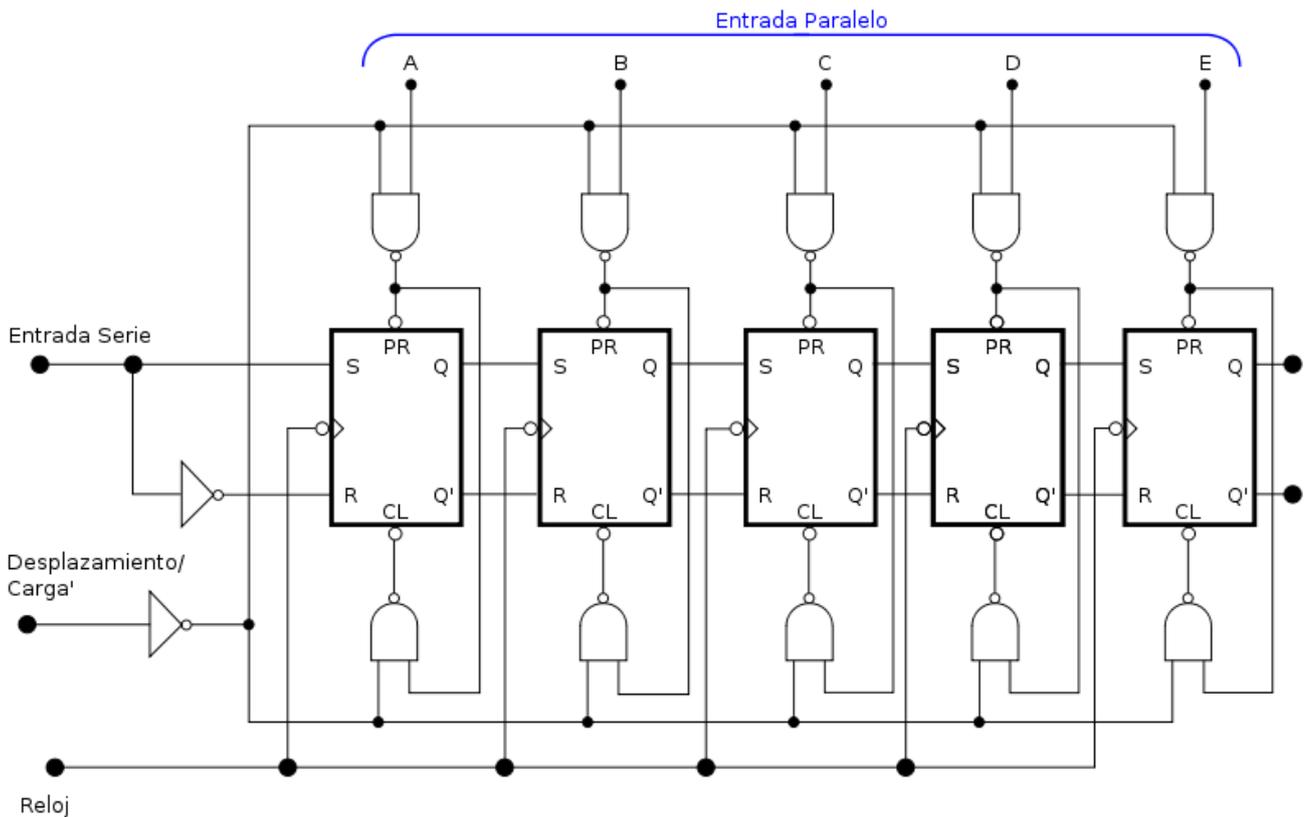


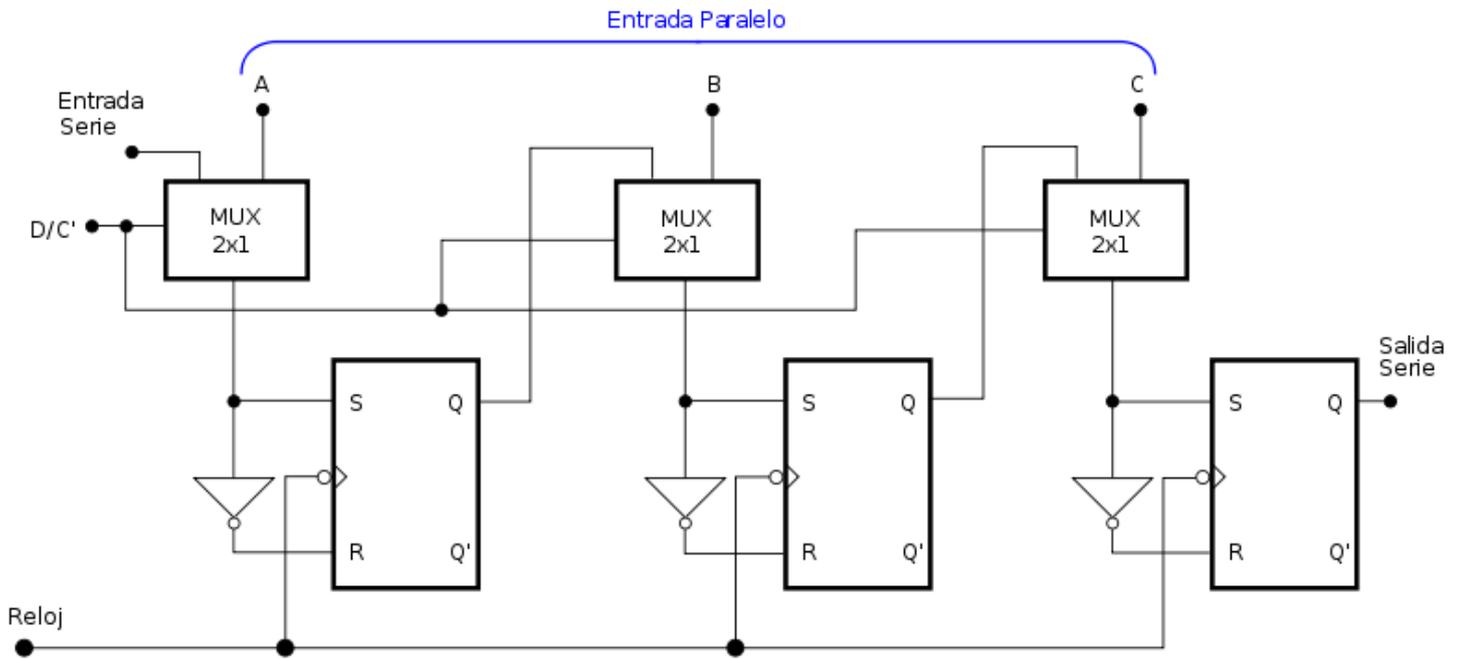
Tabla de funciones

Entradas				Operación	H = nivel alto L = nivel bajo X = no importa F = PGT
SH/LD	CP	CP INH			
L	X	X		Carga en paralelo	
H	H	X		Sin cambio	
H	X	H		Sin cambio	
H	F	L		Desplazamiento	
H	L	F		Desplazamiento	



Esquema simple: el primero con carga asíncrona el segundo con carga síncrona.



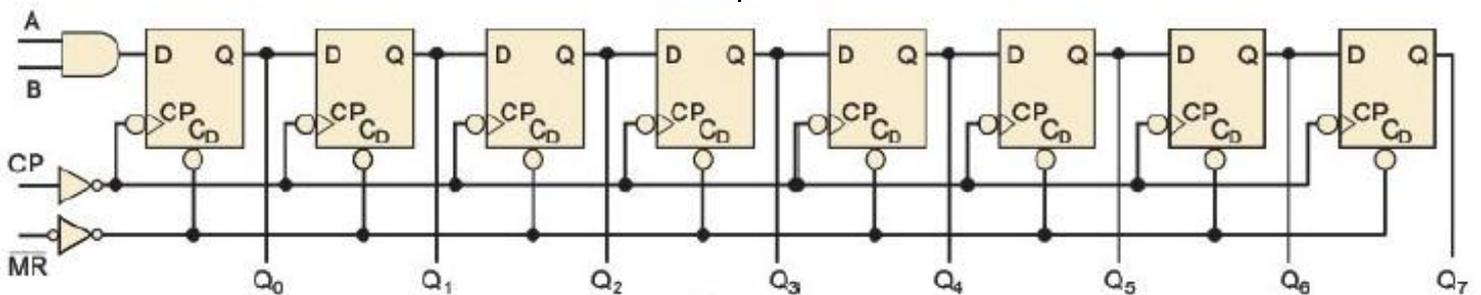
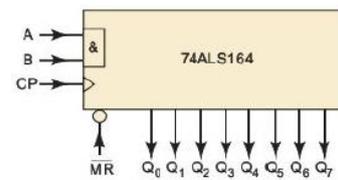


ENTRADA SERIE-SALIDA PARALELO: 74ALS164/74HC164

A continuación se presenta el diagrama lógico para un registro de desplazamiento de ocho bits tipo **entrada serie/salida paralelo**, en el cual la salida de cada *FF* es accesible desde el exterior. Se puede observar que contiene una compuerta *AND* para poder ingresar dos entradas: *A* y *B*.

La operación de desplazamiento ocurre con el flanco de bajada de la entrada *DP*. La entrada *MR* proporciona el

restablecimiento asíncrono de todos los *FFs*, para que queden en nivel *BAJO*.



U3: ELECTRÓNICA DIGITAL

D: MEMORIAS

TEMAS:

- Memoria RAM elemental, lectura-escritura.
- Memoria ROM/EPROM/EEPROM/Flash.

Tocci 10ª Ed., Unidad 5 pág. 784

DISPOSITIVOS DE MEMORIA

INTRODUCCIÓN

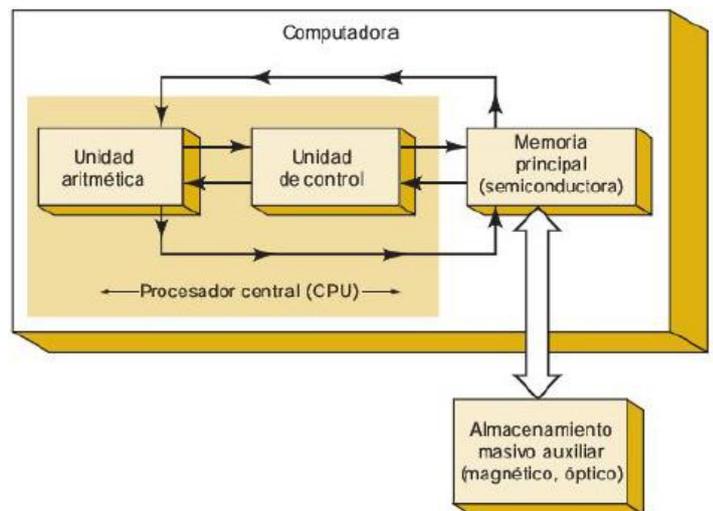
Una de las principales ventajas de los sistemas digitales frente a los analógicos es su habilidad para almacenar grandes cantidades de información durante periodos largos de tiempo.

Ya hemos visto los *FFs* que son dispositivos de memoria. También se vio que un grupo de *FFs* forman registros para almacenar información y como transferir información hacia otras ubicaciones. Estos mismos elementos operan dentro de las computadoras digitales. Con tecnología *LSI* y *VLSI* se ha hecho posible colocar grandes cantidades de *FFs* en un solo chip, ordenados en diversos formatos de arreglos de memoria. Estas memorias semiconductores bipolares y *MOS* son los dispositivos más veloces disponibles.

También pueden utilizarse capacitores para almacenar datos digitales.

Las memorias semicondutoras se utilizan como **memoria principal** de una computadora (memoria de trabajo), en donde la operación rápida es importante. Esta se comunica constantemente con la unidad central de procesamiento (*CPU*) a medida que se ejecuta un programa de instrucciones. La *RAM* y la *ROM* conforman la memoria principal.

La **memoria auxiliar** (almacenamiento masivo) es otra forma de almacenamiento en la computadora. Esta se encuentra separada de la principal y puede almacenar grandes cantidades de datos, sin necesidad de energía eléctrica. Opera a una velocidad mucho más lenta que la principal y almacena programas y datos que la *CPU* no utiliza en ese momento. Esta información se transfiere a la memoria principal cuando la computadora la necesita. Ejemplos de este tipo son los discos magnéticos.



TERMINOLOGÍA DE MEMORIA

• **Celda de memoria:** Es un dispositivo o un circuito eléctrico utilizado para almacenar un bit. Por ejemplo: flip-flop, capacitor, punto sobre cinta magnética o disco.

• **Palabra de memoria:** Es un grupo de bits (celdas) en una memoria, el cual representa instrucciones o datos. En las computadoras modernas el tamaño de las palabras varía de 8 a 64 bits.

• **Byte:** Es un grupo de 8 bits.

• **Capacidad:** Referencia la cantidad de bits que puede almacenar un dispositivo de memoria específico. Se mide en cantidad de palabras por número de bits por palabra. El número de palabras generalmente es múltiplo de 1024. Es común designar a $1K$ a $1024 = 2^{10}$ cuando se hace referencia a la capacidad de memoria.

• **Densidad:** Almacenamiento de bits sobre área de silicio.

• **Dirección:** Es un número que identifica la ubicación de una palabra en la memoria.

Direcciones

000	Palabra 0
001	Palabra 1
010	Palabra 2
011	Palabra 3
100	Palabra 4
101	Palabra 5
110	Palabra 6
111	Palabra 7

• **Operación de lectura:** Es la operación mediante el cual la palabra almacenada en una dirección se detecta y después se transfiere hacia otro dispositivo.

• **Operación de escritura:** Es la operación mediante el cual se coloca una palabra en una dirección.

- **Tiempo de acceso:** Es una medida de la velocidad de operación de un dispositivo de memoria. Es la cantidad de tiempo que se requiere para realizar una operación de lectura.

- **Memoria volátil:** Es cualquier tipo de memoria que requiere la aplicación de energía eléctrica para poder almacenar información. Muchas memorias semiconductoras son volátiles, sin embargo las memorias magnéticas son no volátiles.

- **Memoria de acceso aleatorio RAM:** Memoria en la cual el tiempo de acceso es igual para cualquier dirección. La mayoría de las memorias semiconductoras son del tipo RAM.

- **Memoria de acceso secuencial SAM:** El tiempo de acceso para cada dirección no es constante. Por ejemplo: cinta magnética.

- **Memoria de lectura/escritura RWM:** Cualquier memoria que permita escritura y lectura.

- **Memoria de solo lectura ROM:** Estas memorias permiten la escritura solo una vez y generalmente se realiza durante la fabricación. Toda ROM es no volátil.

- **Dispositivo de memoria estática:** Son dispositivos de memorias semiconductoras en la cual los datos se almacenan de manera permanente, siempre y cuando se aplique energía.

- **Dispositivos de memoria dinámica:** Son dispositivos de memoria semiconductoras en los cuales los datos no se almacenarán en forma permanente, aun y cuando se le aplique energía. Se reescriben permanentemente, lo cual se conoce como regeneración.

- **Memoria principal o de trabajo:** Almacena instrucciones y datos con los que la CPU está trabajando. Es veloz y semiconductoras.

- **Memoria auxiliar o de almacenamiento masivo:** Guarda cantidades masivas de información externa a la memoria principal. Es lenta y no volátil. Ejemplo: discos magnéticos y CDs.

OPERACIÓN GENERAL DE LA MEMORIA

Aunque cada tipo de memoria es distinta en su operación interna ciertos principios de operación básica son iguales.

Todo sistema de memoria requiere de varios tipos distintos de líneas de entrada y de salida para realizar las siguientes funciones:

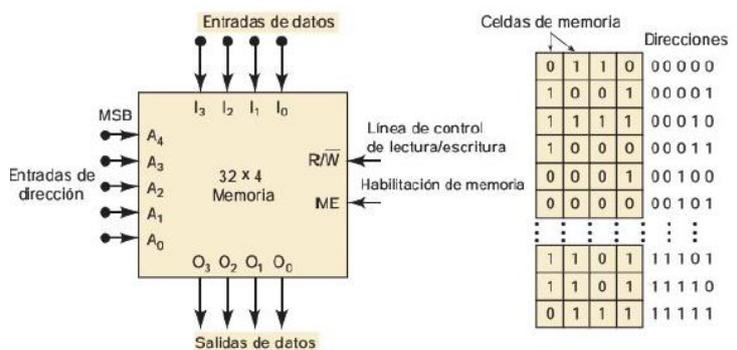
- Seleccionar la dirección para la operación de lectura o escritura.
- Seleccionar la operación de lectura o escritura.
- Suministrar datos de entrada para la operación de escritura.
- Retener los datos de entrada que provienen de la memoria durante la lectura.
- Habilitar la memoria para que responda a las entradas de dirección y a la línea R/\bar{W} .

A continuación se muestra un diagrama de una memoria 32×4 . Como el tamaño de la palabra es de 4 bits, hay cuatro líneas de entradas de datos y cuatro de salida. Durante la operación de escritura los datos deben aplicarse a las líneas de entrada y durante la lectura, en la línea de salida.

ENTRADAS DE DIRECCIÓN

Como la memoria es de 32 palabras, tiene 32 distintas ubicaciones de almacenamiento, por lo tanto 32 direcciones binarias (00000 a 11111). Por lo tanto, hay cinco entradas de

dirección. En general, se requieren N entradas de dirección para las 2^N palabras.



LA ENTRADA R/\bar{W}

Esta entrada controla la operación a realizar: lectura "R" o escritura " \bar{W} ". Cuando se encuentra en 1 la operación es de lectura, y cuando se encuentra en 0 la operación es de escritura.

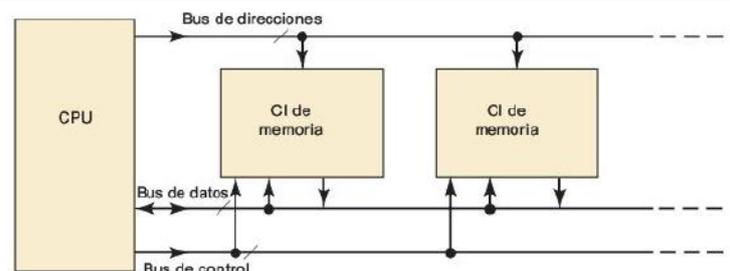
HABILITACIÓN DE MEMORIA

Muchos sistemas de memoria presentan una entrada de **HABILITACIÓN DE MEMORIA (MEMORY ENABLE)**, la cual deshabilita toda o parte de la memoria para que no responda a las demás entradas. Esta entrada es útil cuando se combinan varios módulos de memoria.

CONEXIONES ENTRE CPU Y MEMORIA

Las memorias semiconductoras conforman la memoria principal, la cual se encuentra en comunicación constante con la CPU.

La memoria principal de una computadora está compuesta por CIs tipo RAM y ROM, los cuales se conectan a la CPU a través de tres grupos de líneas o bus de dirección: **bus de dirección**, **bus de dato** y **bus de control**. Cada una de estas líneas consiste de varias líneas aunque en el esquema se representen como una sola línea. Estos tres tipos de líneas intervienen en la lectura y escritura de datos.



Cuando la computadora ejecuta un programa de instrucciones, la CPU busca (lee) la información en la memoria que contiene los códigos del programa que representan la operación a

realizar y los datos sobre los cuales se va a trabajar. También el *CPU* puede escribir datos en ubicaciones de la memoria, si las instrucciones lo ordenan.

OPERACIÓN DE ESCRITURA

- La *CPU* suministra la dirección binaria de la ubicación para almacenar los datos. Los coloca en el bus de dirección.
- La *CPU* coloca los datos a almacenar en el bus de datos.
- La *CPU* activa el bus de control para la escritura en la memoria.
- Los *CI*s de la memoria decodifican la dirección binaria para determinar la ubicación para el almacenamiento.
- Los datos se transfieren por el bus de datos hacia la ubicación de la memoria.

OPERACIÓN DE LECTURA

- La *CPU* suministra la dirección binaria de la ubicación para leer los datos. Los coloca en el bus de dirección.
- La *CPU* activa el bus de control para la lectura.
- Los *CI*s de la memoria decodifican la dirección binaria para determinar la ubicación de lectura.
- Los *CI*s de la memoria colocan los datos de la ubicación llamada en el bus de datos, y se transfieren a la *CPU*.

CONCLUSIÓN

- **Bus de dirección:** Es unidireccional, transporta la dirección de la memoria desde la *CPU* a los *CI*s de memoria.
- **Bus de datos:** Es bidireccional.
- **Bus de control:** Transforma la señal de control lectura/escritura desde la *CPU* hacia los *CI*s de la memoria.

MEMORIA DE SOLO LECTURA ROM

La *ROM* es un tipo de memoria semiconductora, diseñada para retener datos que sean permanentes. Durante la operación normal, no pueden escribirse datos en una *ROM*, pero si se pueden leer. Algunas *ROM* solo permiten cargar una vez los datos almacenados, generalmente durante la manufactura, y otras permiten introducirlos mediante electricidad. Al proceso de introducción de datos se llama **programación o quemado**. Algunas *ROM*s no pueden cambiar sus datos una vez programadas, otras pueden reprogramarse infinitas veces.

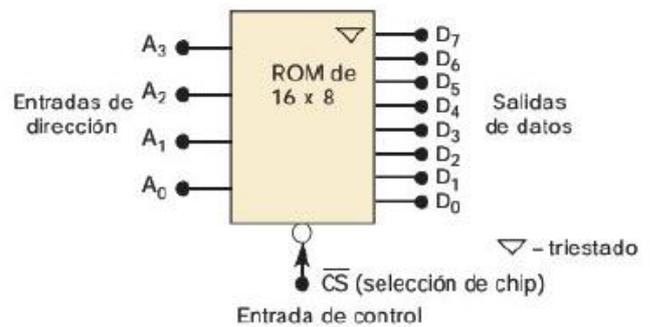
El uso principal de las *ROM*s es para almacenamiento de programas en microcomputadoras, debido a que son memorias **no volátiles**.

DIAGRAMA DE BLOQUES

A continuación puede verse un diagrama de bloque típico para una *ROM*. Tiene tres conjuntos de señales: entradas de dirección, entradas de control y salidas de datos. Siendo una memoria de 16 x 8, se puede decir que la memoria almacena 16 palabras de ocho bits, por lo tanto se requieren 16 direcciones. También se puede decir que la memoria almacena 16 bytes de datos.

Las salidas de datos de la mayoría de los *CI*s de *ROM* son triestado, para permitir la conexión de muchas *ROM*s al mismo bus de datos y expandir la memoria. Los números más comunes para las salidas de datos (largo de palabra) para las *ROM*s son 4, 8 y 16.

La entrada de control \overline{CS} significa selección de chip. Es una entrada de habilitación de las salidas de la *ROM*. Esta se activa en *BAJO* para permitir que aparezcan los datos de la *ROM* en las salidas de datos. Observe que no tiene entrada R/\overline{W} ya que no se pueden escribir.



Palabra	Dirección				Datos							
	A ₃	A ₂	A ₁	A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	1	1	0	1	1	1	1	0
1	0	0	0	1	0	0	1	1	1	0	1	0
2	0	0	1	0	1	0	0	0	0	1	0	1
3	0	0	1	1	1	0	1	0	1	1	1	1
4	0	1	0	0	0	0	0	1	1	0	0	1
5	0	1	0	1	0	1	1	1	1	0	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	0	1	1	0	1
8	1	0	0	0	0	0	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	0	1	1	1	0	0	0
11	1	0	1	1	1	1	0	0	0	1	1	1
12	1	1	0	0	0	0	1	0	0	1	1	1
13	1	1	0	1	0	1	1	0	1	0	1	0
14	1	1	1	0	1	1	0	1	0	0	1	0
15	1	1	1	1	0	1	0	1	1	0	1	1

LA OPERACIÓN DE LECTURA

Supongamos que la *ROM* se programó como se muestra en la tabla que acompaña al esquema. Se almacenan 16 palabras cada una con su ubicación correspondiente.

Para poder leer una palabra en la *ROM*, necesitamos dos cosas: aplicar la entrada de dirección apropiada (ejemplo: 0111) y activar las entradas de control ($\overline{CS} = 0$). Acto seguido, aparecerá el dato a la salida. Si $\overline{CS} = 1$ las salidas de la *ROM* se deshabilitan y quedaran en estado *Hi-Z*.

ARQUITECTURA DE LA ROM

La arquitectura interna de un *CI ROM* es muy compleja por lo tanto veremos un esquema simplificado. A continuación se muestra una *ROM* 16 x 4. Presenta cuatro partes básicas: **arreglo**

de registros, decodificador de fila, decodificador de columna y búferes de salida.

ARREGLO DE REGISTROS

Es el que almacena los datos que se programan en la ROM. Cada registro contiene varias celdas de memoria que equivalen al tamaño de la palabra. En este caso son 8 bits. Los registros se ordenan como una matriz cuadrada. Cada registro queda identificado con una fila y una columna.

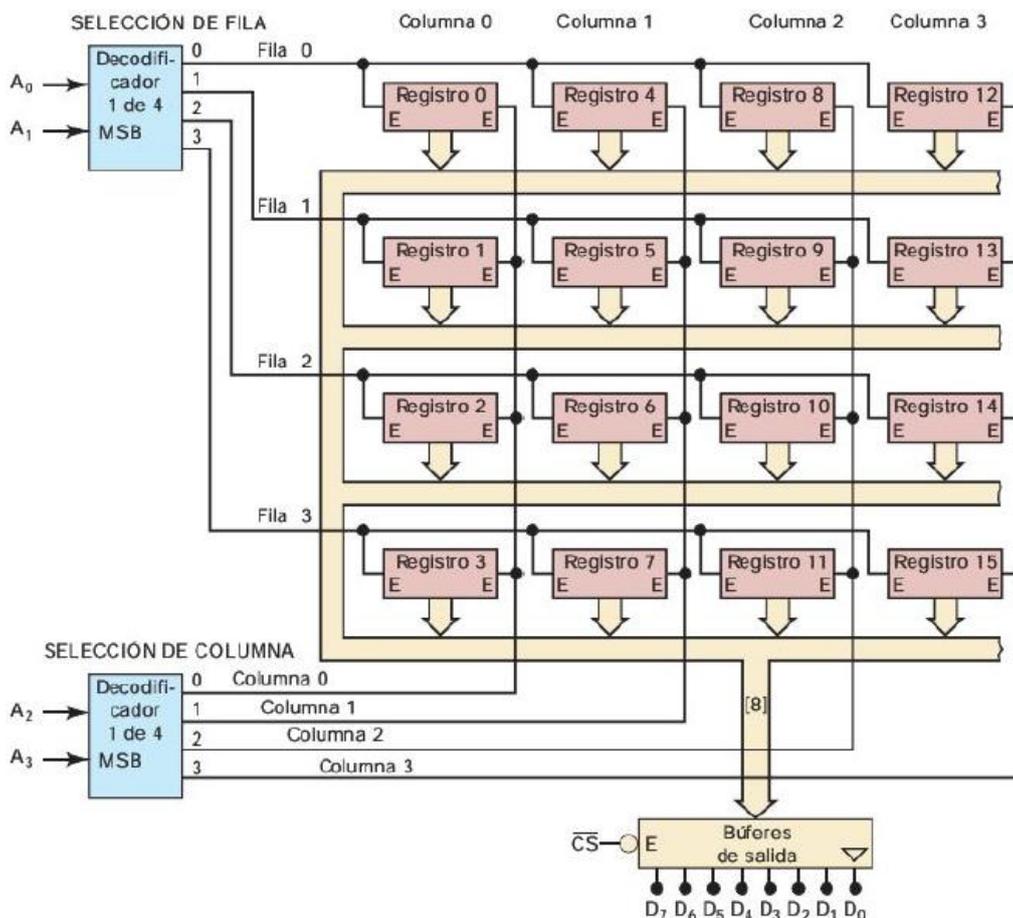
DECODIFICADORES DE DIRECCIÓN

El código de dirección $A_3A_2A_1A_0$ que se aplica es el que determina que registro se habilitará para colocar su palabra de datos de 8 bits en el bus. Los bits de dirección A_1A_0 alimentan a un

decodificador 2: 4 que define la fila, y los bits A_3A_2 se alimentan a un segundo decodificador 2: 4 que define la columna.

BÚFERES DE SALIDA

El registro que se habilite colocará sus datos en el bus de datos. Estos datos se alimentan hacia los búferes de salida, los cuales pasarán los datos hacia las salidas de datos externa, siempre y cuando \overline{CS} permanezca en *BAJO*. Si en cambio, se encuentra en *ALTO* los búferes se colocan en estado *Hi-Z* y las salidas estarán flotando.



TIPO DE ROMs

ROM PROGRAMADA POR MASCARA (MROM O ROM)

Este tipo de memoria almacena su información desde el momento en que se fabrica el circuito integrado. Como se puede ver en la imagen, las ROMs están compuestas por un arreglo rectangular de transistores. La información se almacena ya sea mediante la conexión o la desconexión de la fuente de un transistor con la columna de salida. El proceso utiliza una "máscara" para depositar metales en el silicio, los cuales determinan en donde se forman las conexiones. La máscara es muy costosa, por lo tanto solo se fabrican cuando es por gran cantidad y con la misma información.

A continuación se muestra una ROM tipo MOS de 16 celdas de memoria ordenadas en cuatro filas. Cada celda es un transistor MOSFET de canal "n", conectado en colector común (entrada en la compuerta, salida en la fuente). Cada fila constituye un registro de cuatro bits. Algunos transistores tienen una fuente conectada

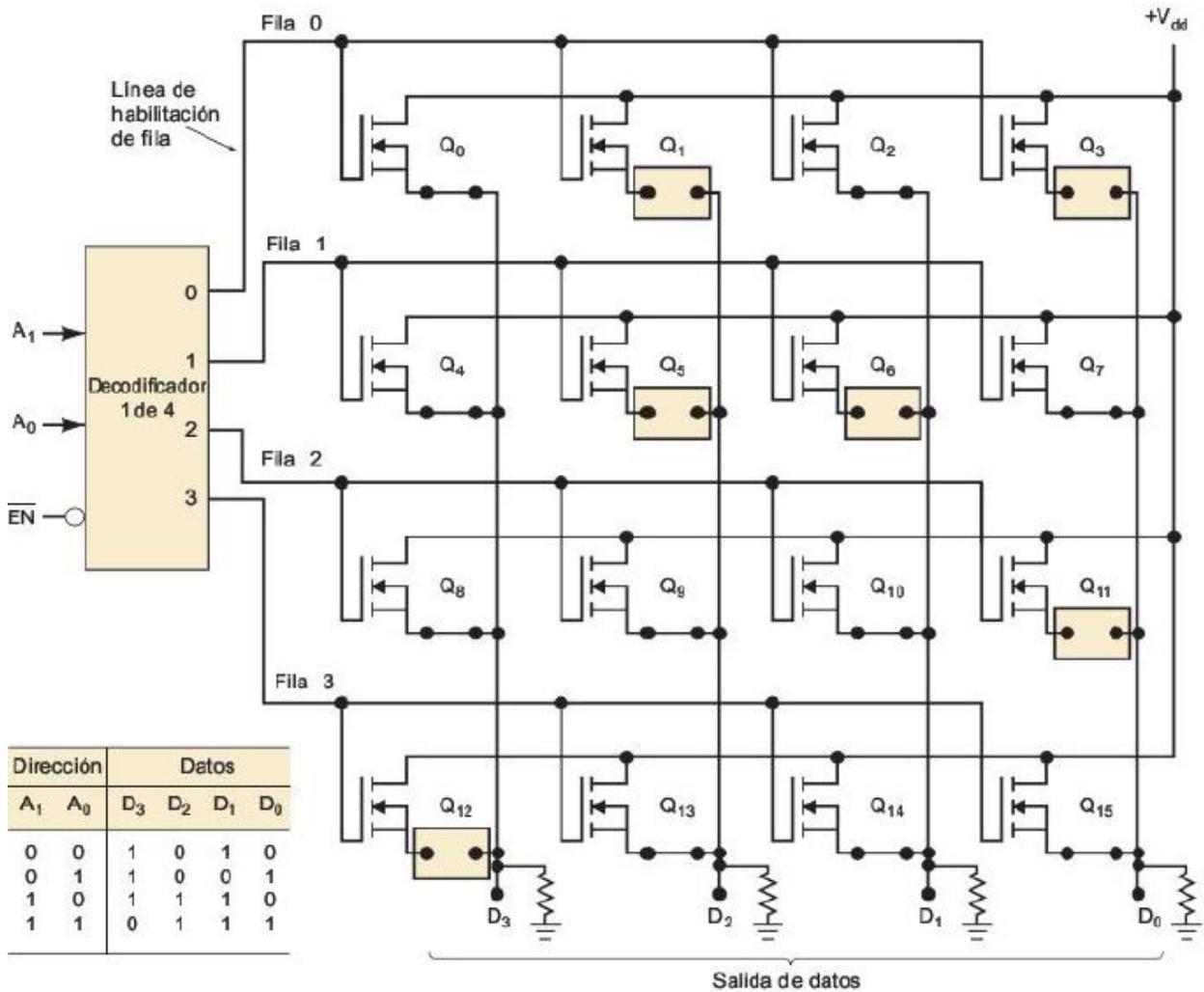
a la línea de la columna de salida (Ej: Q_0). La presencia de estas fuentes significa que la celda guarda el valor 1. La condición de cada conexión de fuente se controla durante la fabricación mediante la máscara, según especificaciones del cliente.

La salida de datos se encuentra conectada a las líneas de columnas. Por ejemplo, al hacer referencia a D_3 , cualquier transistor conectado de su fuente a la columna podrá cambiar a V_{dd} (nivel *ALTO*). Sin embargo, al encender el decodificador a una fila determinada, solo quedará un máximo de un transistor encendido por columna.

El decodificador 2: 4 recibe el código A_1A_0 y selecciona una fila o registro para leer poniéndola en *ALTO*. Si la entrada \overline{EN} se mantiene en *ALTO*, todas las salidas del decodificador estarán en *BAJO*, y todos los transistores estarán apagados debido a la ausencia de voltaje en compuerta. Las salidas de datos también estarán en *BAJO*.

Supongamos que \overline{EN} se encuentra en *BAJO* y se pretende leer la *FILA 0*. Se aplica al decodificador la entrada $A_1A_0 = 00$. Esto coloca en *ALTO* la línea de la *FILA 0* y enciende los

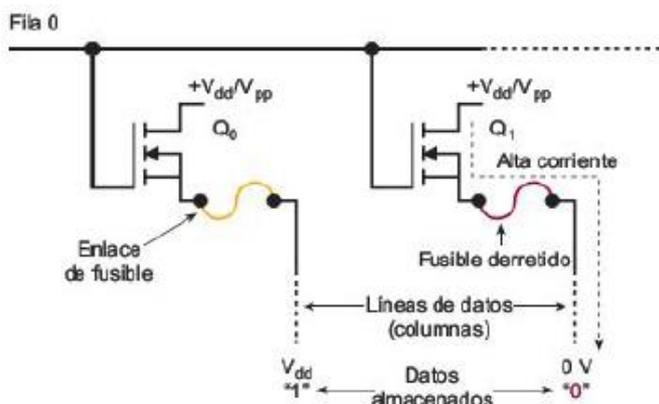
transistores $Q_0Q_1Q_2Q_3$. Al estar conduciendo V_{dd} llegará a la fuente de cada transistor. Las salidas D_3D_1 estarán en *ALTO* y D_2D_0 estarán en *BAJO*.



ROMs PROGRAMABLES PROM

Para aplicaciones que requieren menores volúmenes de producción existen las **PROMs con enlace de fusible**, las cuales son programables por el usuario. Sin embargo, una vez programada ya no podrá borrarse.

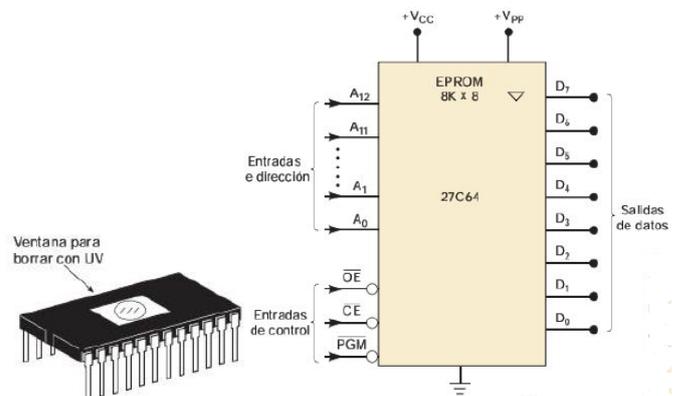
La estructura de una **PROM** con enlace de fusible es muy parecida a una **MROM**. Una **PROM** viene de fábrica con una conexión delgada de enlace de fusible en la terminal de fuente de cada transistor. En esta condición cada transistor almacena un 1 lógico. El usuario puede fundir el fusible de cualquier transistor que necesite almacenar un 0 lógico.



La programación o **quemado** de la **PROM** se realiza mediante la selección de una fila, luego se colocan los valores deseados en la línea de datos y luego se aplica un pulso a una terminal especial de programación en el **CI**.

ROM PROGRAMABLE Y BORRABLE EPROM

Esta memoria puede reprogramarse casi todas las veces que se requiera. Una vez programada, al ser no volátil, almacena los datos en forma indefinida.



El elemento de almacenamiento es un transistor **MOS** con una compuerta de silicio que no tiene conexión eléctrica (compuerta flotante) pero está muy cerca del electrodo. En su

estado normal la compuerta no tiene carga almacenada, esto produce un 1 lógico. Para programar un 0 se utiliza un pulso de alto voltaje para dejar una carga neta en la compuerta flotante. La carga estará atrapada en la compuerta y no tendrá ruta de descarga hasta que se re programe. Para borrar los datos se restauran todas las celdas a un 1 lógico, mediante luz ultravioleta de alta intensidad durante varios minutos. Para esto, los *CI*s de memoria *PROM* contienen una ventana de cuarzo.

Se presenta el símbolo lógico del *CI* 27C64. El proceso de programación es el siguiente:

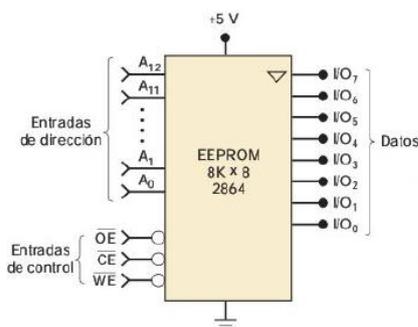
- La dirección se aplica a las terminales de dirección.
- Los datos deseados se colocan en las terminales de datos, que funcionan como entrada durante la programación.
- Se aplica un voltaje de programación mayor que 12,75 V en V_{PP} .
- \overline{CE} se mantiene en bajo.
- Se aplica un pulso \overline{PGM} para que cambie a bajo durante 100 ns y los datos se leen de vuelta.
- Si los datos no se almacenan exitosamente se vuelve a repetir el último paso.

La principal desventaja de las *EPROM* es que debe removerse del circuito para reprogramarse y la operación de borrado puede durar has 20 minutos, cuando han sido reprogramadas varias veces. Además, el borrado es completo.

PROM PROGRAMABLE ELÉCTRICAMENTE EEPROM

Las *EEPROM* retienen la misma estructura de compuerta flotante que las *EPROM*, pero agregan una región de óxido muy delgada por encima del colector de la celda de memoria de *MOSFET*. Esto permite la característica de borrarse eléctricamente. Al aplicar un voltaje alto (21 V) entre la compuerta y el colector, se puede inducir una carga en la compuerta flotante, en donde permanecerá aunque se corte la energía. Si se invierte el mismo voltaje se eliminará la carga atrapada de la compuerta flotante y se borrará la celda. Como este mecanismo requiere muy poca corriente, la reprogramación puede hacerse en el circuito.

Otra ventaja es la habilidad de borrar y reescribir bytes individuales o palabras. Además, hoy en día las *EEPROM* integran a la memoria circuitos de soporte que antes eran externos. Estos sirven para alcanzar los 21 V para la reprogramación. Sin embargo, esta característica hace que presenten baja densidad (mucho silicio para la misma cantidad de información respecto a las *EPROM*) y costos elevados.



A continuación se presenta el símbolo lógico del *INTEL* 2864 de 8 K x 8 con 13 direcciones de entrada ($2^{13} = 8192$) y

ocho terminales de *E/S*. Tres entradas de control determinan el modo de operación. Cuando $\overline{CE} = ALTO$, el chip está en suspensión y las terminales están en estado *Hi-Z*.

CD-ROM

El disco compacto es un tipo de almacenamiento de solo lectura. Se fabrican con una superficie altamente reflectiva. Un rayo láser muy intenso se enfoca en un punto muy pequeño del disco y quema un pozo difractor de luz. Los datos digitales se almacenan de a un bit mediante el proceso de quemado (1) y no quemado (0) sobre el recubrimiento reflectivo. La información se ordena sobre la superficie como un espiral. Esto permite almacenar alrededor de 550 Mbytes en 120 mm.

Para la operación de lectura se enfoca un rayo más débil. En cualquier punto la luz reflejada se detecta como 1 o un 0. El sistema óptico está montado en un transporte mecánico móvil a lo largo del radio del disco. Los datos que se recuperan llegan de un bit a la vez en serie mediante la velocidad de rotación constante del disco.

MEMORIA FLASH

La memoria *FLASH* se encuentra en un término intermedio entre las *EPROM* y las *EEPROM*, ya que combina la característica no volátil, la alta velocidad de lectura, se puede reprogramar por electricidad y dentro del circuito y presentan densidades y costos comparativamente bajos respecto a las *EEPROM*.

Estructuralmente su celda es parecida a la de un solo transistor de la *EPROM* (distinta a la de dos transistores de la *EEPROM*), pero es un poco más grande. Tiene una capa de óxido más delgada en compuerta, la cual le permite la capacidad de borrarse mediante electricidad, pero presenta mayor densidad que las *EEPROM*.

A continuación se presenta un gráfico comparativo entre los tipos de memoria. Se observa que mientras mayor es la flexibilidad en la programación, aumenta la complejidad y el costo.



Las memorias *FLASH* tienen un tiempo corto de borrado y escritura, de ahí su nombre. Utilizan la operación de borrado en masa, es decir todas las celdas se borran simultáneamente en cientos de milisegundos. Algunas memorias *FLASH* más recientes ofrecen un modo de borrado por sector.

RAM SEMICONDUCTORA

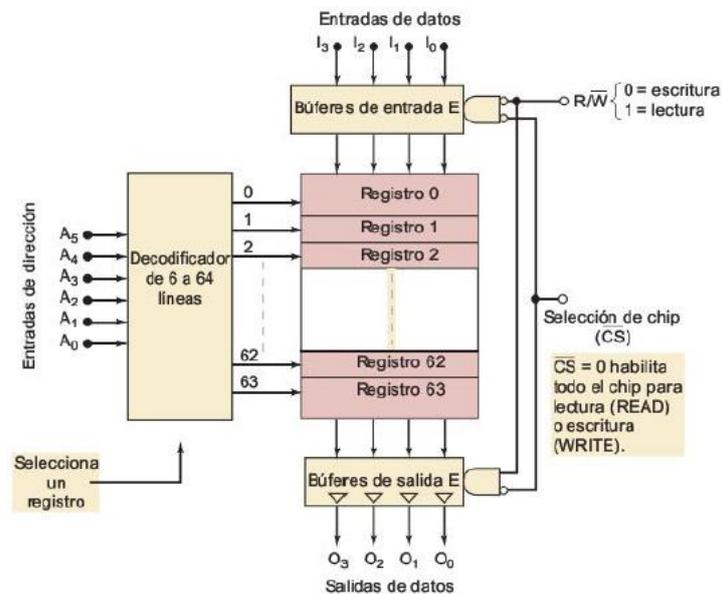
Las **memorias de acceso aleatorio RAM** permiten acceder con la misma facilidad a cualquier ubicación de la dirección de la memoria. Cuando se utiliza el término *RAM* con las memorias semiconductoras, por lo general se considera que se hace referencia a la memoria lectura/escritura *RWM*, a diferencia de la *ROM*.

La *RAM* se utiliza en las computadoras para el almacenamiento temporal de programas y datos. Cuando la computadora ejecuta un programa, realiza lecturas y escrituras sobre las ubicaciones de la *RAM*. Para ello se requiere que estos procesos sean rápidos para el buen funcionamiento de la computadora.

La principal desventaja de la *RAM* es que es volátil. Sin embargo, algunas *RAMs* tipo *CMOS* utilizan cantidades pequeñas de energía en modo suspensión, lo cual permite el uso de baterías cuando se interrumpe la energía principal.

ARQUITECTURA DE LA RAM

Es útil pensar como si consistiera de un número de registros al igual que la *ROM*. Cada uno almacena una palabra de datos y tiene dirección única. Por lo general, la *RAM* almacena 1 K, 4 K, 8 K, 16 K, 64 K, 128 K, 256 K y 1024 K palabras de 1, 4 u 8 bits. Estos dos pueden expandirse.



La imagen muestra una arquitectura simplificada de una *RAM* de 64 x 4, con direcciones entre 0 y 63, y por lo tanto 6 ($2^6 = 64$) bits de entrada. Al igual que antes, para las operaciones de lectura o escritura se ingresa un código al decodificador. Cada código activa una salida, el cual se pone en *ALTO*, y habilitará un registro

OPERACIÓN DE LECTURA

Para leer el contenido de registro seleccionado, la entrada R/\bar{W} debe estar en *ALTO*, lo cual deshabilita los búferes de entrada. Además, la entrada de \bar{CS} debe estar en *BAJO*. Con esto quedan habilitados los búferes de salida, de manera tal que aparecerán los datos del registro en la salida de datos.

OPERACIÓN DE ESCRITURA

Para escribir una palabra en el registro seleccionado se requiere que $R/\bar{W} = 0$ y $\bar{CS} = 0$. Esto habilita los búferes de entrada y deshabilita los búferes de salida. La palabra almacenada antes se elimina.

SELECCIÓN DE CHIP

La mayoría de las memorias tienen una o más entradas \bar{CS} , que se utilizan para habilitar el *CI*. Con el se puede deshabilitar el chip por completo, dejándolo en estado *Hi-Z*. Esto es especialmente útil cuando se combinan memorias para tener mayores capacidades.

TERMINALES COMUNES DE ENTRADA/SALIDA

Para conservar terminales en un *CI*, los fabricantes utilizan terminales comunes de entrada/salida. La entrada R/\bar{W} controla la función de las terminales *E/S*. Durante la lectura las terminales actuarán como salidas y durante la escritura, como entradas.

En muchas aplicaciones se utilizan memorias con bus de datos bidireccional. Aun con terminales separadas de entrada y salida se conectarían entre sí al mismo bit de datos. Las *RAMs* con puertos separados se conocen como ***RAMs de puerto dual***. Estas se utilizan en aplicaciones de alta velocidad y cuando los datos de entrada provienen de un puerto distinto al de salida (Ej: *RAM* de video en *PC*).

EXPANSIÓN DEL TAMAÑO DE PALABRA Y LA CAPACIDAD

En muchas aplicaciones de memoria no se puede satisfacer la capacidad o el tamaño de palabra con un solo *CI* de memoria, por lo tanto se los suele combinar.

EXPANSIÓN DE TAMAÑO DE PALABRA

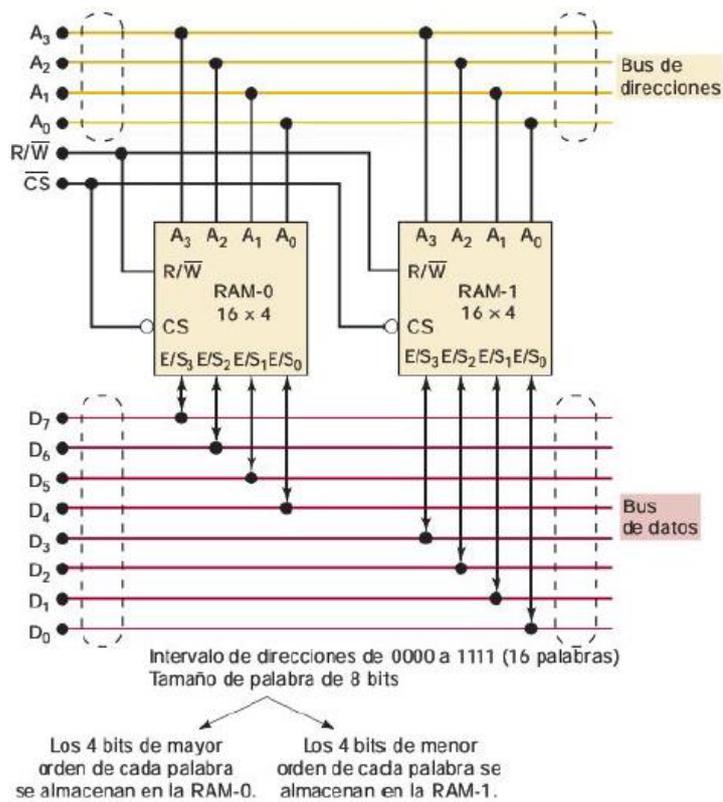
Supongamos que se necesita una memoria de 16 x 8 y solo se cuenta con *CI*s de *RAM* de 16 x 4, con líneas de *E/S* comunes. Se pueden combinar estas para conseguir la memoria deseada. A continuación se muestra un esquema de la conexión de las *RAMs* para obtener una de 16 x 8. La *RAM* - 0 almacena los cuatro bits de mayor orden de cada una de las 16 palabras y la *RAM* - 1

almacena los cuatro bits de menor orden. A la salida, en el bus de datos, tendremos la palabra completa de 8 bits.

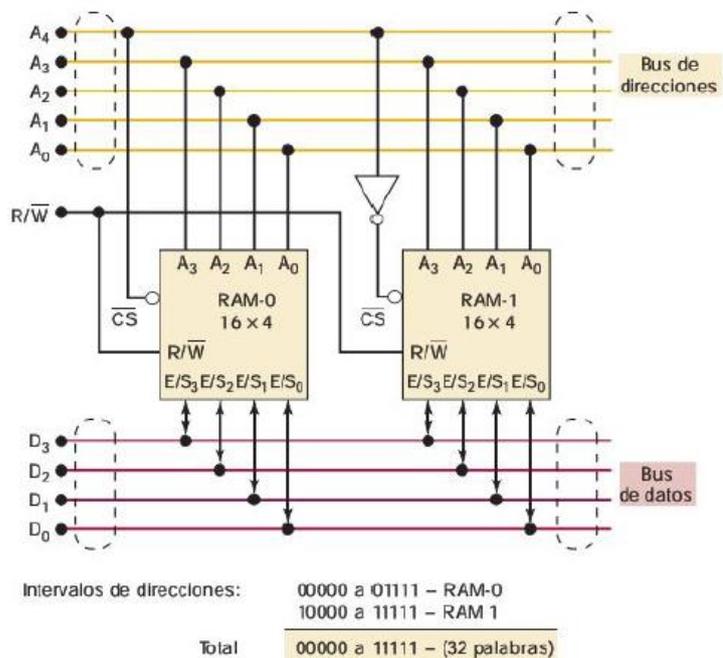
Para seleccionar una palabra, la *CPU* origina el código de dirección $A_3A_2A_1A_0$ y lo coloca en el bus de dirección. Este código es el mismo para las dos *RAMs*.

Una vez seleccionada la palabra, se puede leer o escribir mediante el control de R/\bar{W} y \bar{CS} . Para leer se coloca: $R/\bar{W} = 1$, $\bar{CS} = 0$ y las líneas *E/S* actuarán como salida. La *RAM* - 0 colocará sus datos en cuatro líneas *E/S*: $D_7D_6D_5D_4$ y la *RAM* - 1 colocará en $D_3D_2D_1D_0$.

Por su parte, para escribir se coloca: $R/\overline{W} = 0$, $\overline{CS} = 0$ y las líneas E/S actuarán como entradas. La CPU coloca en el bus de datos la información, los cuatro bits de mayor orden en $D_7D_6D_5D_4$ y los cuatro de menor orden en $D_3D_2D_1D_0$.



EXPANSIÓN DE LA CAPACIDAD



Suponga que se requiere una memoria de 32 x 4 y que se cuenta con unas de 16 x 4. A continuación se muestra el esquema para obtener la memoria deseada.

Cada RAM almacena 16 palabras de 4 bits. Las cuatro terminales de E/S de datos de cada RAM se conectan a un bus de datos común de cuatro líneas. Para habilitar de a uno las memorias se controla la entrada \overline{CS} .

Para el bus de direcciones se requieren 32 direcciones distintas, es decir cinco ($2^5 = 32$) líneas de bus de direcciones. La línea A_4 se utiliza para seleccionar una u otra RAM, ya que se conecta a \overline{CS} .

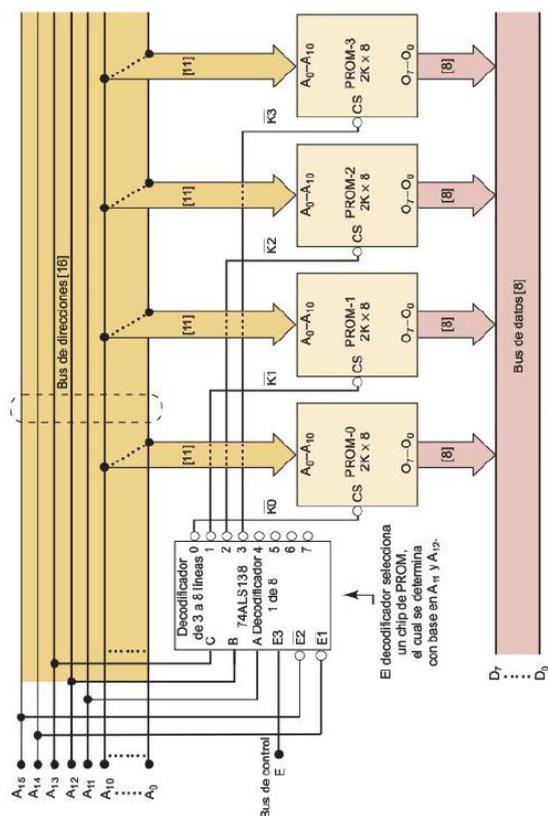
Para memorias más grandes la configuración añade un decodificador para la señal \overline{CS} .

A continuación se muestra un ejemplo con bloques de ROM de 8192(8K) x 8. El bus de dirección de 16 bits, muy común en microcontroladores. Para una memoria de 8192(8K) x 8 solo se requieren 13 líneas, por lo tanto las líneas adicionales permiten expansiones.

El decodificador se habilita cuando A_{15} y A_{14} se encuentran en BAJO y E en ALTO, es decir, estos dos bits seleccionan el decodificador. Si vemos la tabla adjunta se puede apreciar esto. Las direcciones $A_{13} - A_{11}$ se conectan a $C - A$. Estos tres bits se decodifican para seleccionar uno de los CS de memoria. Seleccionada la PROM se selecciona la dirección con $A_{10} - A_0$.

Las salidas 4 - 7 del decodificador pueden utilizarse para habilitar más CS de memoria y aumentar la capacidad. Para esto se requiere más lógica de decodificación.

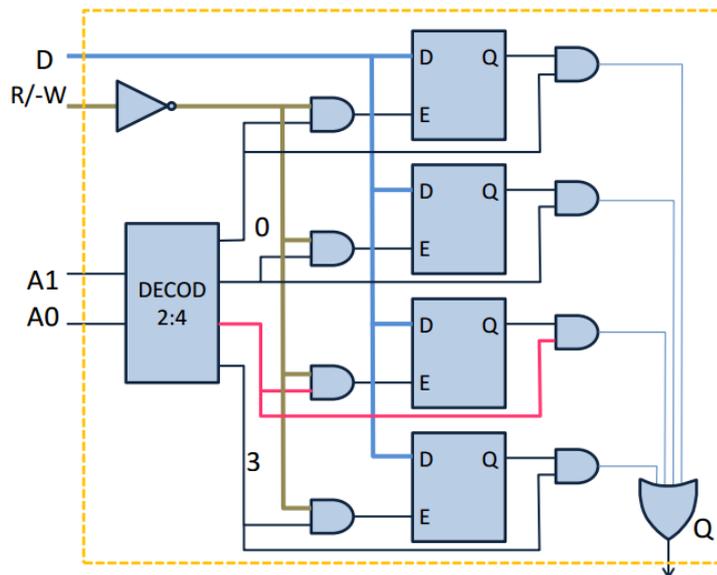
A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	Dirección	Mapa del sistema	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	PROM-0	2K
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	07FF	PROM-1	2K
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0800	PROM-2	2K
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0FFF	PROM-3	2K
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1000	PROM-4	2K
0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	17FF	PROM-5	2K
0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	1800	PROM-6	2K
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	PROM-7	2K
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000	O_4	8K
0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0		O_5 Decodificada	
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0		O_6 Expansión	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3FFF	O_7	48K
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000	Disponible	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF		



RAM ESTÁTICA DE 4 BITS CON ENTRADA Y SALIDA SEPARADAS

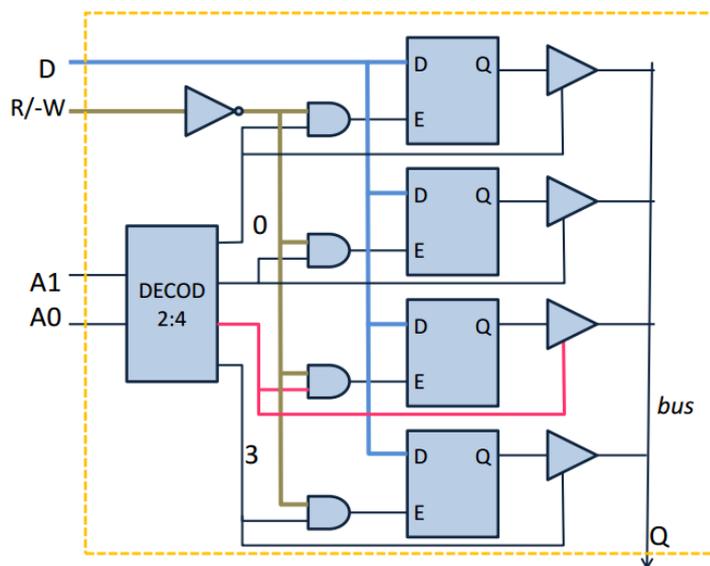
Al poner un dato en D , éste se presenta en los 4 biestables. Para la escritura se hace $R/\overline{W} = 0$ y la compuerta NOT que continúa lleva un valor $ALTO$ hacia una de las entradas de las compuertas AND previo a la habilitación E . Las otras entradas de estas compuertas AND proviene del decodificador. El bus de direcciones con " A_0A_1 " habilitará una compuerta AND para que un solo FF sea escrito.

El decodificador forma junto con las compuertas AND de salida y la OR un multiplexor que selecciona una de las salidas Q según los bits " A_0A_1 ".



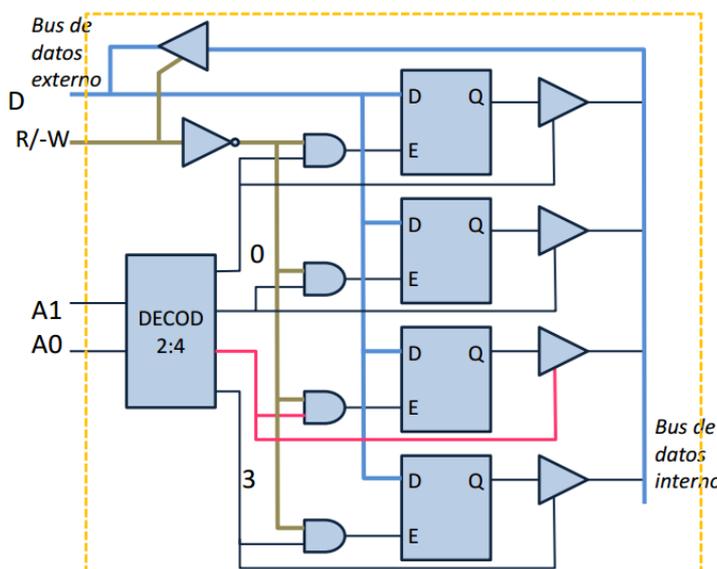
RAM ESTÁTICA DE 4 BITS CON E/S SEPARADAS Y BUFFER TRIESTATE

En la salida, en vez de un multiplexor, el decodificador habilita uno de los buffers triestate permitiendo que la salida Q correspondiente tome el control del bus.



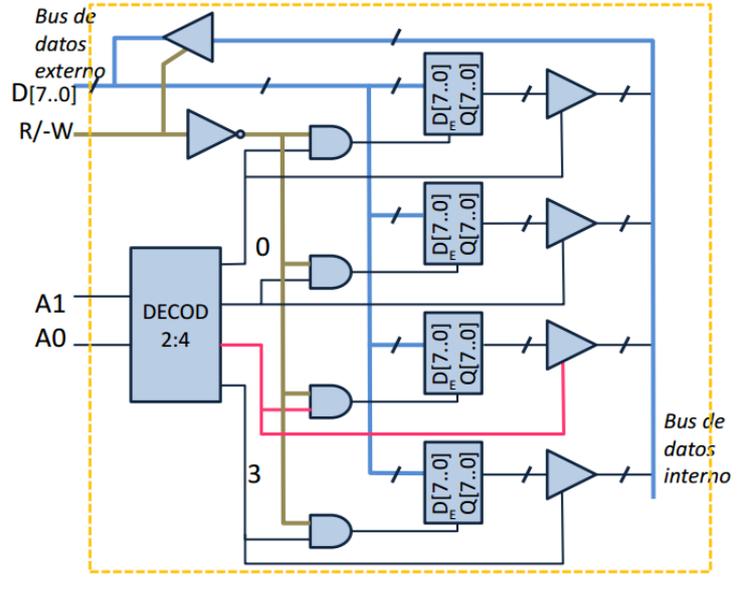
RAM ESTÁTICA DE 4 BITS CON E/S BIDIRECCIONAL

La misma entrada R/\overline{W} se utiliza para arbitrar qué señal toma el control del bus de datos externo. Con $R/\overline{W} = 1$, los datos salen de la RAM (lectura), con $R/\overline{W} = 0$ (escritura) el buffer agregado impide la colisión.



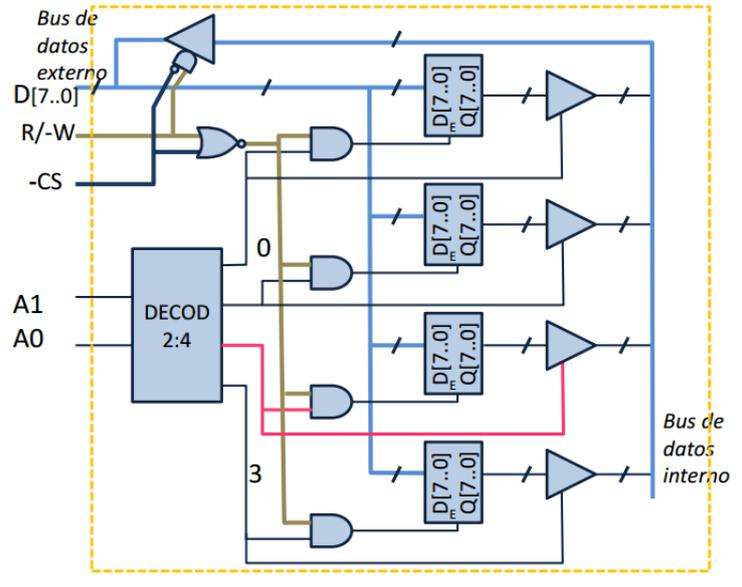
RAM ESTÁTICA DE 4 BYTES CON E/S BIDIRECCIONAL

El mecanismo de direccionamiento y escritura/lectura es el mismo que para bits, pero en vez de biestables se manipulan registros paralelo/paralelo. Ahora el bus de datos es de 8 bits (ó 16, 32).



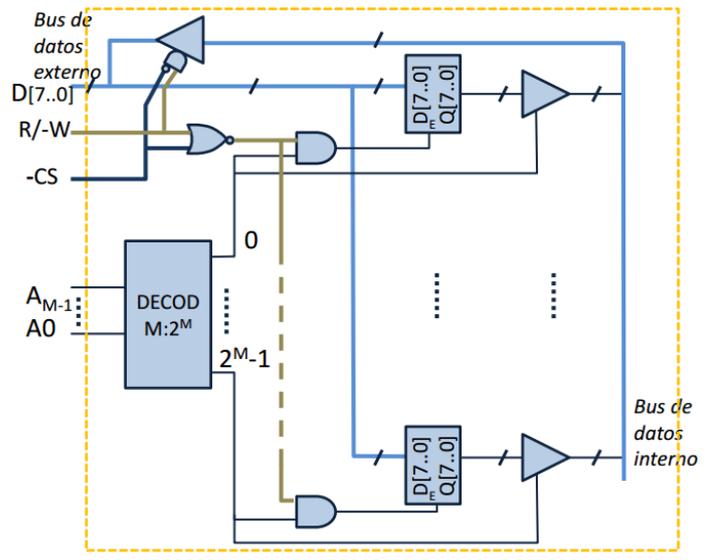
RAM ESTÁTICA DE 4 BYTES CON CHIP SELECT

El control Chip Select permite anular completamente las operaciones de lectura escritura, para así aislar el chip completo. En el esquema, con $\overline{CS} = 1$ se anulan las operaciones de lectura y escritura, con $\overline{CS} = 0$ se habilitan.



RAM ESTÁTICA DE 2^N BYTES CON CHIP SELECT

Con un bus de direcciones de N bits se direccionan 2^N bytes.

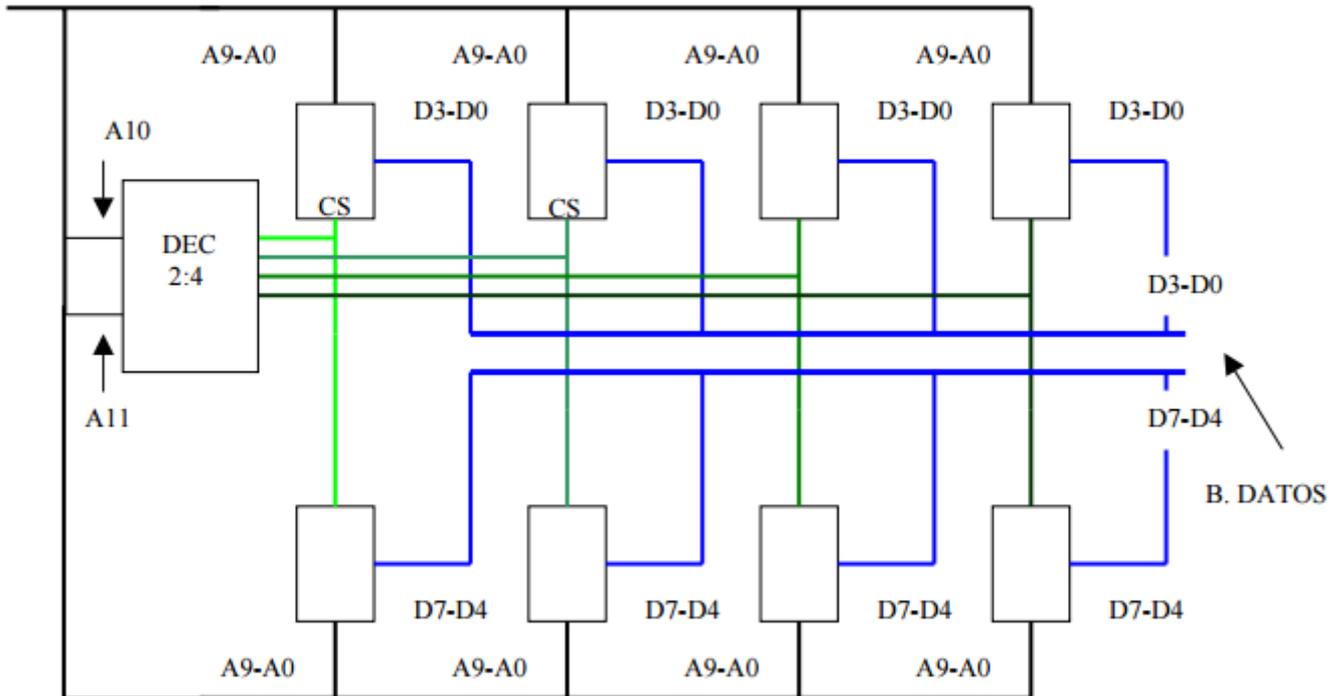


EXPANSIÓN DE MEMORIA

A continuación se muestra una memoria ampliada de $4\text{ K} \times 8\text{ bits}$ (4 Kbytes) a partir de memorias de $1\text{ K} \times 4\text{ bits}$. No solo exige que se amplíe la capacidad o el número de direcciones sino además hay que ampliar la longitud de una palabra.

		BUS DE DIRECCIONES											
	Hexad	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Mem 1 (desde)	0000	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	X	X	X	X	X	X	X	X	X	X
(hasta)	03FF	0	0	1	1	1	1	1	1	1	1	1	1
Mem 2 (desde)	0400	0	1	0	0	0	0	0	0	0	0	0	0
		0	1	X	X	X	X	X	X	X	X	X	X
(hasta)	07FF	0	1	1	1	1	1	1	1	1	1	1	1
Mem 3 (desde)	0800	1	0	0	0	0	0	0	0	0	0	0	0
		1	0	X	X	X	X	X	X	X	X	X	X
(hasta)	0BFF	1	0	1	1	1	1	1	1	1	1	1	1
Mem 4 (desde)	0C00	1	1	0	0	0	0	0	0	0	0	0	0
		1	1	X	X	X	X	X	X	X	X	X	X
(hasta)	0CFF	1	1	1	1	1	1	1	1	1	1	1	1

B. DIRECCIONES



B. DIRECCIONES

ELECTRÓNICA

U4: MICROPROCESADORES μP Y MICROCONTROLADORES μC A: SISTEMAS DE CÓMPUTO PROGRAMABLE

TEMAS:

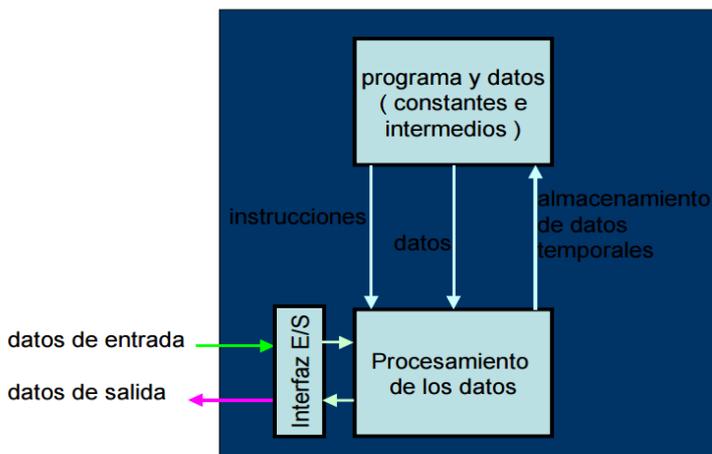
- Arquitectura de Von Neumann y Harvard.
- Operación a nivel de registro Neumann.

Apuntes de Catedra

INTRODUCCIÓN

Un **sistema de cómputo programable** constructivamente está compuesto por los siguientes elementos:

- Multiplexor, decodificador.
- Sumador/restador.
- Buffer triestate.
- Registro paralelo/paralelo, Paralelo/serie y serie /paralelo.
- Memorias *ROM* y *RAM*.



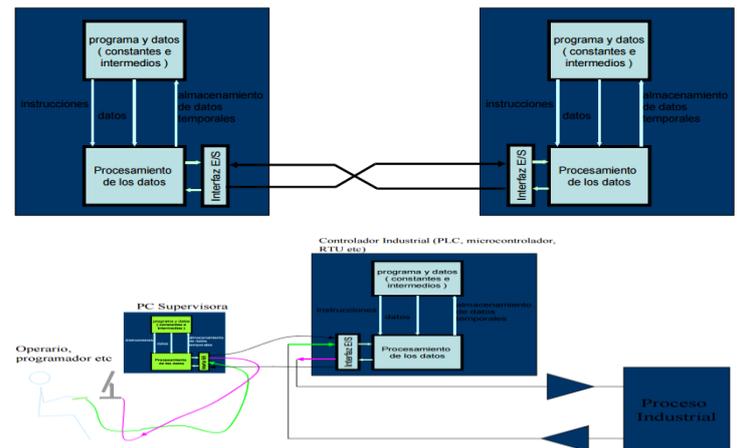
Consiste en un sistema capaz de procesar datos en función de una lista de instrucciones previamente almacenadas (operaciones aritméticas, lógicas, de lectura y escritura), denominadas **programas**. Los datos pueden provenir del exterior o estar almacenados en la *ROM* o *RAM*. Los resultados pueden ser visualizados (display, monitor), comunicados (modem) o almacenados (memorias, discos).

Las tres tareas básicas son:

- **Recibir** datos a través de entradas.
- **Procesarlos** de acuerdo con un programa y datos previamente cargados.
- **Presentar** y/o **almacenar** resultados (datos procesados, órdenes) a través de salidas.

Los datos de entrada/salida pueden intercambiarse con el usuario mediante una **interfaz** adecuada (teclado, monitor,

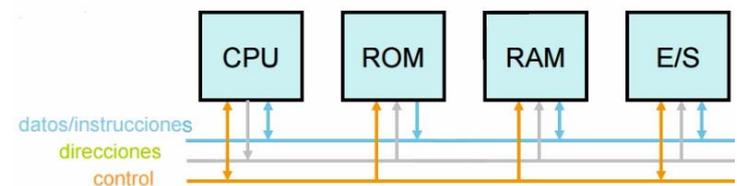
mouse, placa de sonido) o con otros sistemas electrónicos mediante puerto de comunicación serie o paralelo (modem, impresora).



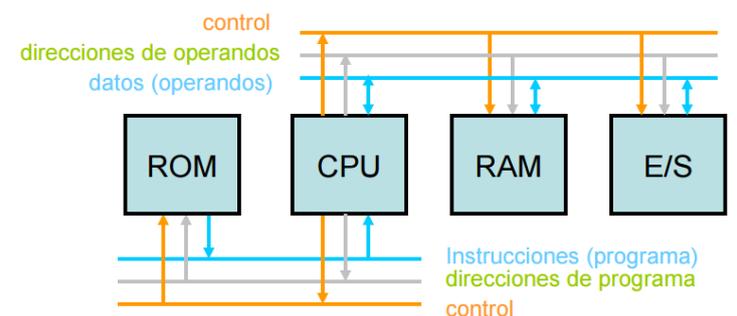
ARQUITECTURAS

Existen dos tipos básicos de arquitecturas:

- **Von Neumann** (μP de *PC*).



- **Harvard** (μC y procesadores de señales *DSPs*).



ARQUITECTURA DE VON NEUMANN

Esta arquitectura consta de 4 bloques funcionales: *CPU*, *RAM*, *ROM* y *E/S*. Se conectan mediante tres tipos de líneas de datos: **bus de datos**, **bus de direcciones** y **bus de control**.

El **bus de direcciones** tiene un **ancho de bus** de m y una **capacidad de direccionamiento** de 2^m . Es **unidireccional** ya que el *CPU* gestiona el flujo de datos (hay excepciones).

El **bus de datos** tiene un **ancho de bus** de n (8, 16, 32) conductores y trasfiere datos e instrucciones. Es **bidireccional**, lo cual se logra mediante compuertas triestado. En ocasiones el ancho de bus interno del μP y el ancho del bus externo pueden diferir.

El **bus de control** es un conjunto heterogéneo de conductores, con distintas señales. Es el encargado de coordinar la transferencia de datos. Transporta señales de R/\bar{W} , *RESET* (inicia registros), *IRQ* (petición de interrupción desde un dispositivo "E/S"), *DRQ* (petición de acceso directo a memoria desde un dispositivo de E/S).

FORMATO DE INSTRUCCIONES

Un programa es un conjunto de instrucciones. Puede estar escrito en **lenguaje de alto nivel** (*BASIC*, *C*) con sintaxis similar al lenguaje coloquial, o con **lenguaje de bajo nivel** (**lenguaje de máquina**, **ensamblador** o **assembler**). Para esos lenguajes se utiliza un programa compilador, que traduce al lenguaje binario con el que opera el *CI*.

Las instrucciones básicas son:

- De transferencia: R/\bar{W} .
- Suma aritmética.
- Complemento a 1 o inversión.
- Operaciones lógicas (*AND*, *OR*).
- De salto: ir a.
- De salto condicional: si condición ir a.
- Otras: rotación (izquierda o derecha), *XOR*, manejo de subrutinas, manipulación de bit, manejo de pilas de memoria.

MICROPROCESADOR ELEMENTAL

A continuación se presenta un esquema de μP ficticio con arquitectura Von Neumann y un repertorio de instrucciones también ficticio, con el fin de comprender el funcionamiento. El microprocesador está compuesto por:

- **Unidad de control UC**: Sistema combinacional / secuencial el cual controla todo. Interpreta las instrucciones de programa y emite las señales de *CKL* en determinada secuencia para comandar los demás módulos.

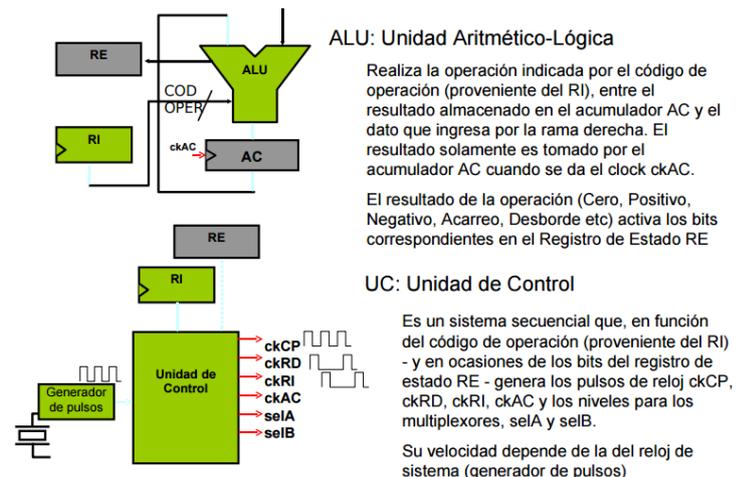
- **Unidad aritmético-lógica ALU**: Permite realizar operaciones tales como: suma, resta, desplazar, comparar, incrementar, negar, *AND*, *OR*, *XOR*, complementar, borrar, *PRESET*. Deja pasar los datos y la *UC* permite almacenar en el acumulador.

- Registros tipo *D* activados por flanco:
 - **Contador de programa CP**: Guarda la dirección del programa donde se encuentra la instrucción a realizar.
 - **Registro de direcciones RD**: Almacena la dirección donde está guardada la información.
 - **Registro de instrucciones RI**: Almacena el código de la próxima instrucción a realizar y lo envía a la *UC* y a la *ALU*.
 - **Registro acumulador AC**: Almacena los resultados de la *ALU*.

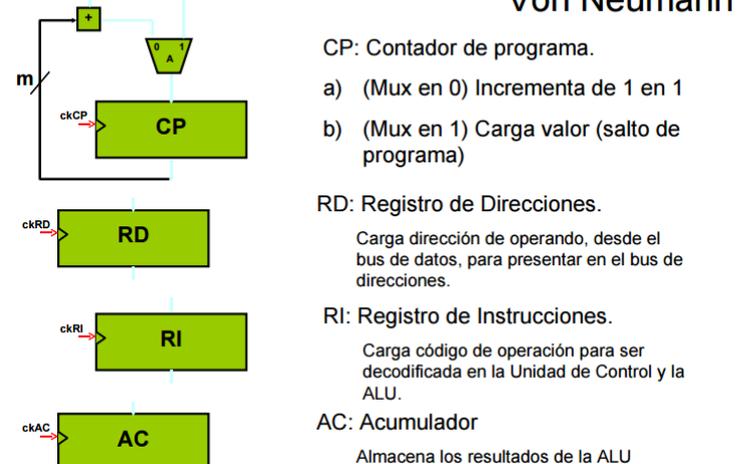
- **Multiplexores A y B**: Actúa como llaves selectoras.
- **Buffer triestado** de n bits.
- **Registro de estado RE**: Cambia según el resultado de la *ALU*.
- **Sumador** de m bits que suma el valor de *CP* y 1.

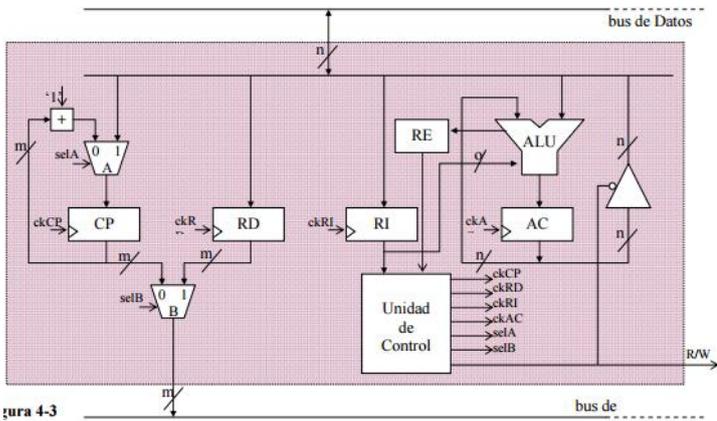
El funcionamiento del microprocesador reside en el orden en el que la *UC* active las señales *ckCP*, *ckRD*, *ckRI*, *ckAC*, *selA*, *selB* y R/\bar{W} . La *UC* es un **generador de secuencias** que cambia según lo que reciba *RI* y *RE*. En el circuito básico mostrado a continuación la *UC* realiza cuatro tipos de secuencias: lectura inmediata, lectura direccionada, de escritura y de salto.

ALU y Unidad de Control



Registros básicos de la CPU Von Neumann





REPERTORIO DE INSTRUCCIONES (FICTICIO)

Código	Mnemónico	Nro de bytes	Sintaxis	Explicación
00	LEEC	2	LEEC k (lee constante)	Carga constante k en el acumulador AC. El segundo byte es k. $AC \leftarrow k$
01	ANDC	2	ANDC k (AND constante)	AND bit a bit entre el contenido de AC y la constante k. El segundo byte es k. El resultado se carga en AC. $AC \leftarrow AC \text{ and } k$
02	ORC	2	ORC k (OR constante)	Realiza una OR bit a bit entre el contenido de AC y la constante k. El segundo byte es k. $AC \leftarrow AC \text{ or } k$
03	RESTAC	2	RESTAC k (resta constante)	Resta al contenido de AC la constante k. El segundo byte es k. $AC \leftarrow AC - k$
04	SUMAC	2	SUMAC k (suma constante)	Suma aritmética entre el contenido de AC y la constante k. El segundo byte es k. $AC \leftarrow AC + k$
05	SALTA	2	SALTA D (salta a D)	Salto incondicional del programa. D es la dirección donde continúa la ejecución del programa. $CP \leftarrow D$
06	SALTAZ	2	SALTAZ D (salta si cero)	Salto de programa si el resultado de la última operación de la ALU es cero (bit Z del RE activado). D es la dirección donde continúa la ejecución del programa. $CP \leftarrow D$ si Z='1'
07	SALTAN	2	SALTAN D (salta si negativo)	Salto de programa si el resultado de la última operación de la ALU es negativo (bit N del RE activado). D es la dirección donde continúa la ejecución del programa. $CP \leftarrow D$ si N='1'
08	LEE	2	LEE [N] (lee variable)	Carga variable N en el acumulador AC. El segundo byte es la dirección de N. $AC \leftarrow [N]$
09	AND	2	AND [N] (AND variable)	AND bit a bit entre el contenido de AC y la variable N. El segundo byte es la dirección de N. El resultado se carga en AC. $AC \leftarrow AC \text{ and } [N]$
0A	OR	2	OR [N] (OR variable)	OR bit a bit entre el contenido de AC y la variable N. El segundo byte es la dirección de N. El resultado se carga en AC. $AC \leftarrow AC \text{ or } [N]$
0B	RESTA	2	RESTA [N] (resta variable)	Resta al contenido de AC la variable N. El segundo byte es la dirección de N. El resultado se carga en AC. $AC \leftarrow AC - [N]$
0C	SUMA	2	SUMA [N] (suma variable)	Suma aritmética entre el contenido de AC y la variable N. El segundo byte es la dirección de N. El resultado queda en AC. $AC \leftarrow AC + [N]$
0D	NOT	1	NOT (invierte)	Complementa a '1' el acumulador $AC \leftarrow \text{not } AC$
0E	ESCRIBE	2	ESCRIBE [N] (escribe)	Escribe en variable N el valor de AC. $[N] \leftarrow AC$
0F	NOP	1	NOP (no operación)	No realiza operación aritmético-lógica. Sólo se incrementa CP

Este conjunto de instrucciones es ficticio y se utilizará para comprender ilustrativamente el funcionamiento del μP . Podría ser codificado con solo 4 bits, sin embargo se adoptará un formato de 8, tanto para instrucciones como para datos y direcciones, por motivos de simplificación.

A continuación se presentan algunos ejemplos de la secuencia de activación de señales que debe realizar la UC.

EJEMPLO DE EJECUCIÓN DE UN PROGRAMA ELEMENTAL

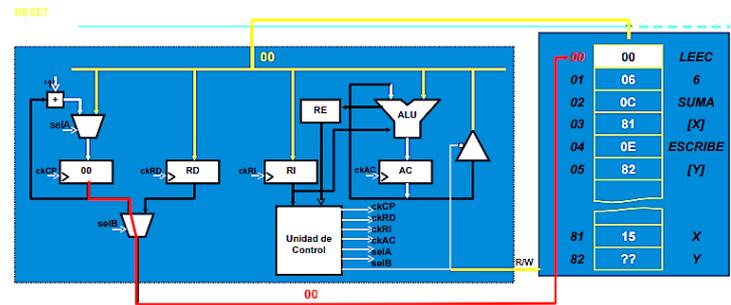
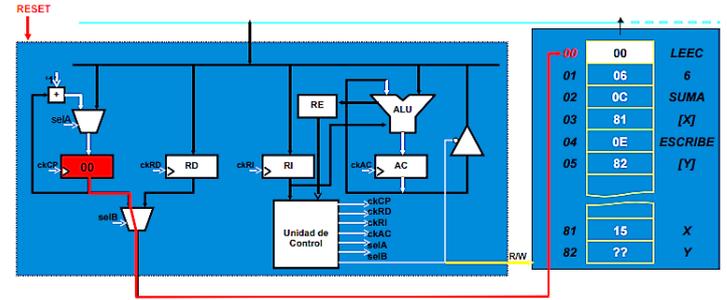
Al final del apartado se muestra un μP conectado a una memoria RAM/ROM. Contiene el programa para $y = 6 + x$ en las direcciones 00 a 05 (instrucciones) y las variables x , y y 6 en las direcciones 81, 82 y 83 (datos). La secuencia en el μP puede seguir alguno de los dos caminos siguientes:

$LEEC \quad 6 \quad LEE \quad [x]$
 $SUMA \quad [x] \quad o \quad SUMAC \quad 6$
 $ESCRIBE \quad [y] \quad ESCRIBE \quad [y]$

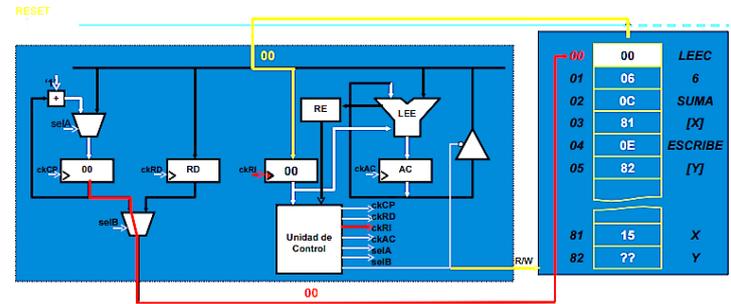
La secuencia para el primer caso es:

- Se oprime el RESET del μP lo cual pone al $CP = 00$, $selA = 0$ y $selB = 0$. La UC pone a $R/\bar{W} = 1$. Entonces $CP = 00$ viaja por el bus de direcciones, luego del pulso $ckCP$ por parte de

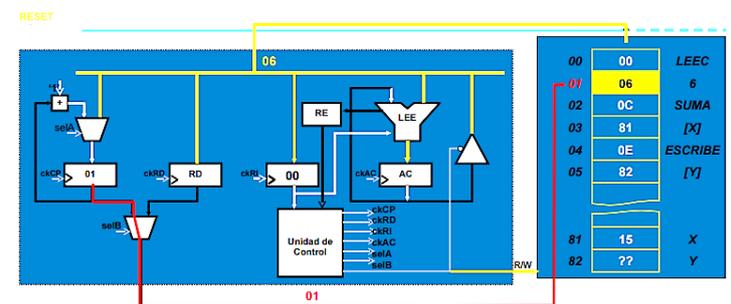
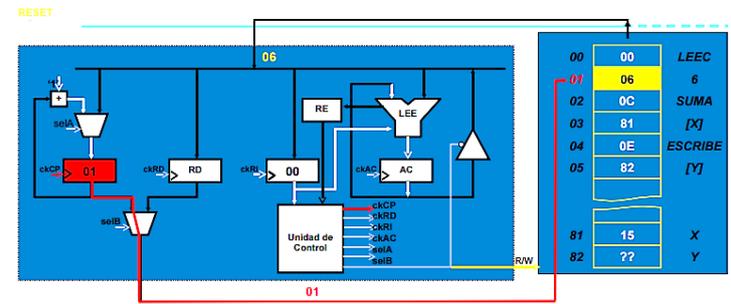
la UC, y la memoria es leída en su dirección 00. Este dato es transportado por el bus de datos desde la memoria al μP . Casualmente el dato en esa posición también es 00. Este código es la instrucción LEEC (leer constante).



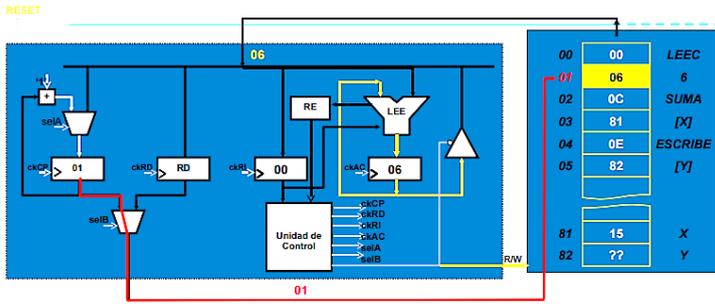
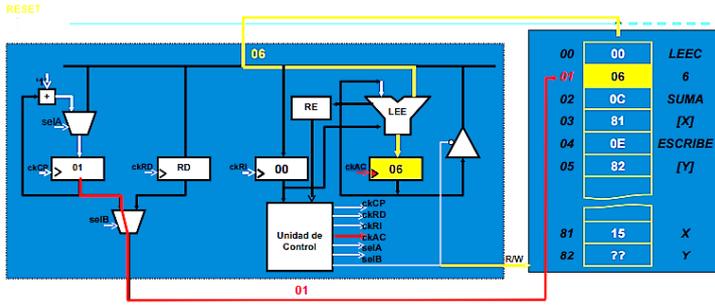
- La instrucción 00 se presenta en el RI, luego de la señal $ckRI$ comandada por la UC. Esto permite que el código sea analizado por la misma UC y que la ALU se ponga en modo LEER (deja pasar el dato presente en su rama derecha sin modificarlo).



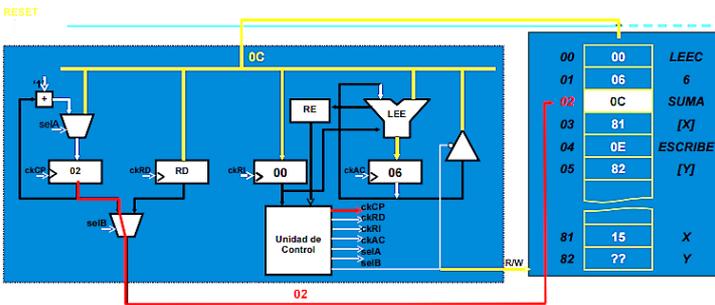
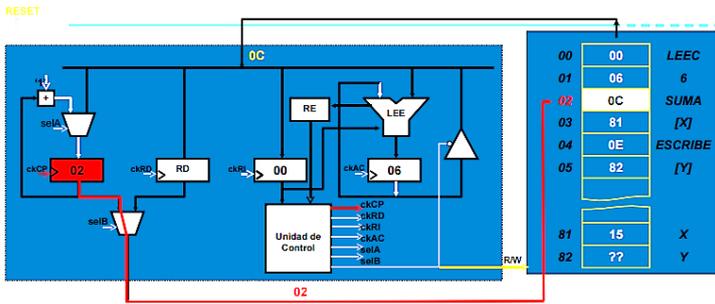
- CP activa la señal $ckCP$ para cargar el valor incrementado por el sumador en $CP + 1$. Por lo tanto, el valor de $CP = 01$ viajará a la memoria por el bus de direcciones. Esta es leída en la dirección 01 ya que $R/\bar{W} = 1$, y contiene la constante 06 que se presentará en el bus de datos.



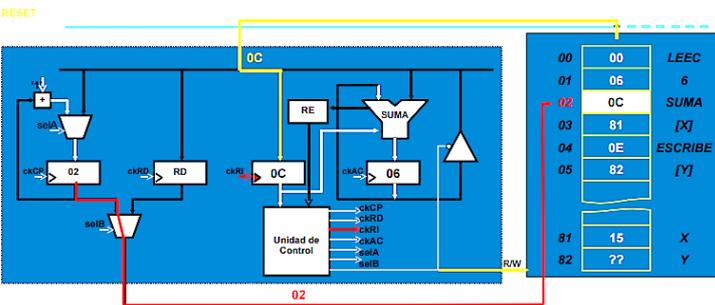
- La constante se almacena en el AC. Para esto la UC activa el *ckAC*. A continuación se presenta en la rama izquierda de la ALU y en la entrada del buffer triestate.



- El siguiente paso es incrementar CP. Nuevamente la UC activa el *ckCP* y hace CP = 02. Esto viaja a través del bus de direcciones para leer la memoria. El dato es 0C que es la instrucción de SUMA.

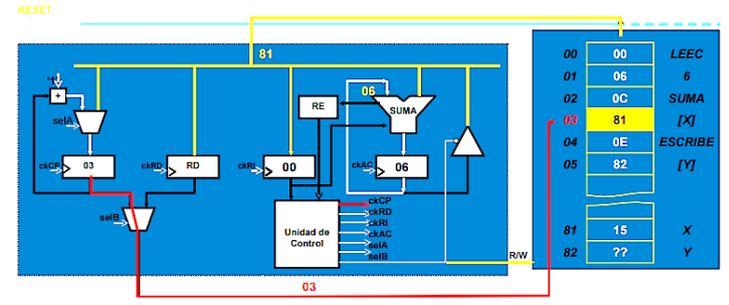
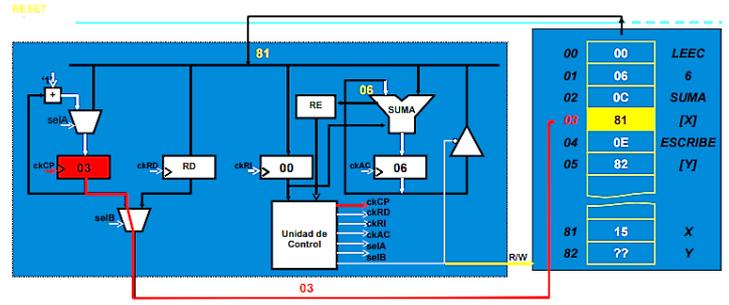


- El valor 0C se almacena en el RI luego del pulso *ckRI* por parte de la UC. La instrucción es decodificada por la UC, y la ALU se pone en modo SUMAR (suma aritmética de ambas ramas).

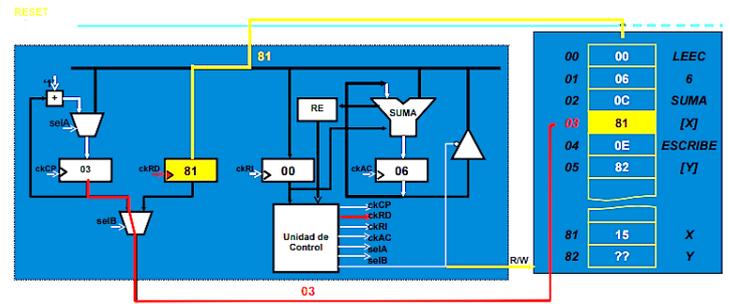


- La UC da el pulso *ckCP* para que vuelva a incrementarse llegando a 03. Este valor viaja por el bus de direcciones y con

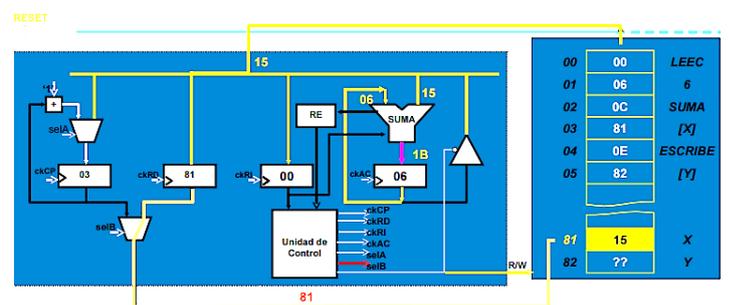
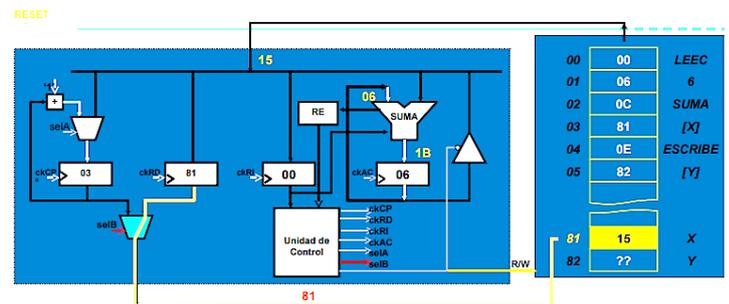
$R/\bar{W} = 1$ se lee esta dirección en la memoria. Esta posición guarda la dirección del valor de la variable "x", en este caso 81. Por su parte, este valor viaja por el bus de datos hacia el μP .



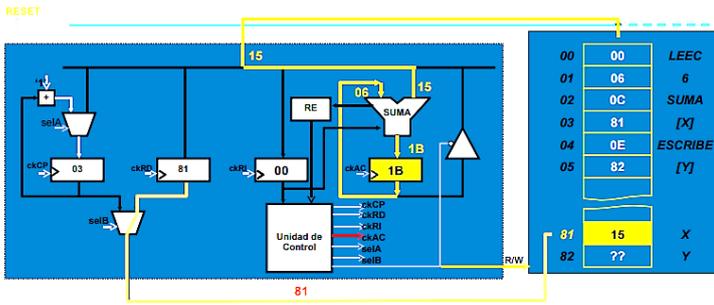
- El pulso *ckRD* por parte de la UC permite que el valor 81 se almacene en RD.



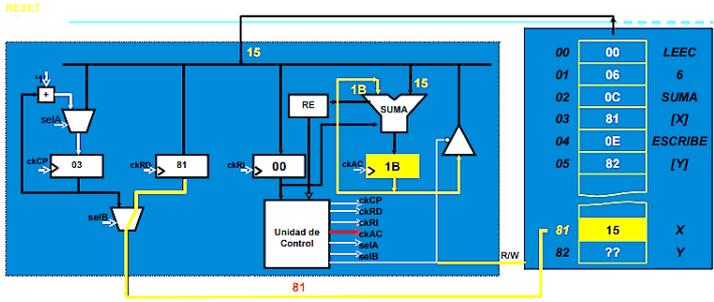
- La UC hace *selB* = 1 y permite pasar hacia el bus de direcciones la ubicación 81. La memoria guarda el valor de "x" igual a 15 y lo envía al bus de datos. A continuación llega a la ALU que se encuentra en modo SUMA. A la salida de la ALU se presenta el valor 06 + 15 = 1B, llegando a la entrada del acumulador.



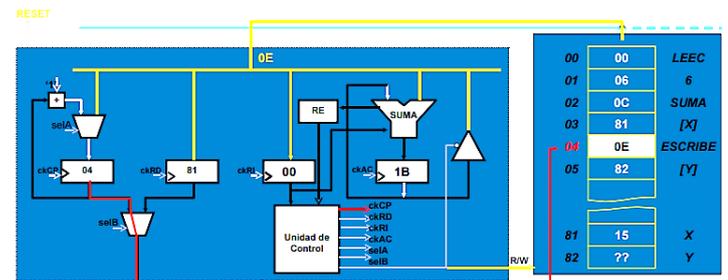
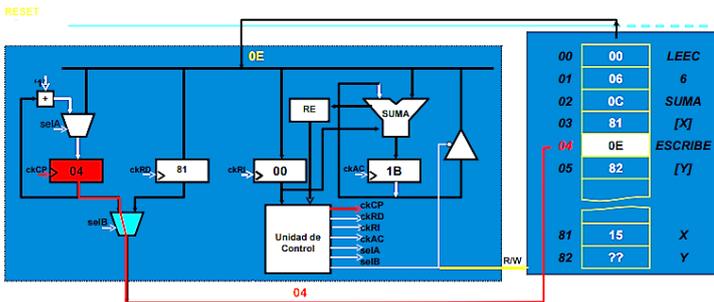
- La UC da el pulso $ckAC$ correspondiente para almacenar $1B$ en el acumulador.



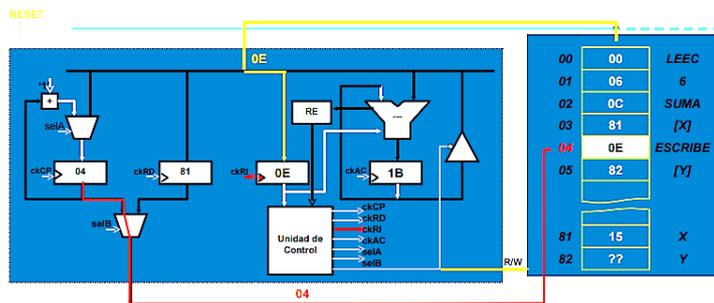
- Almacenado el valor $1B$ se presentará en la rama izquierda de la ALU y del buffer triestado.



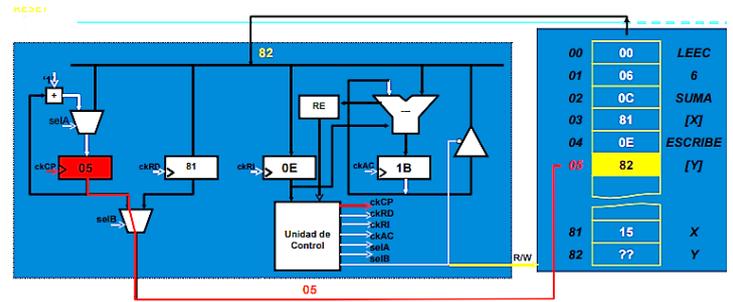
- A continuación la UC da el pulso $ckCP$ para incrementar a 04 su valor. El selector $selB$ vuelve a 0 para permitir el paso del registro CP al bus de direcciones. La memoria guarda en su ubicación 04 la instrucción de escribir variable $0E$ que se transmite por el bus de datos hacia el μP .



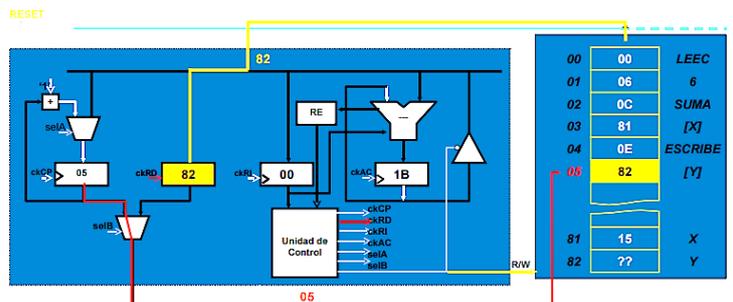
- El valor es almacenado en el RI luego del pulso $ckRI$ por parte de la UC. Luego, la UC decodifica la instrucción, y la ALU opera de forma distinta esta vez.



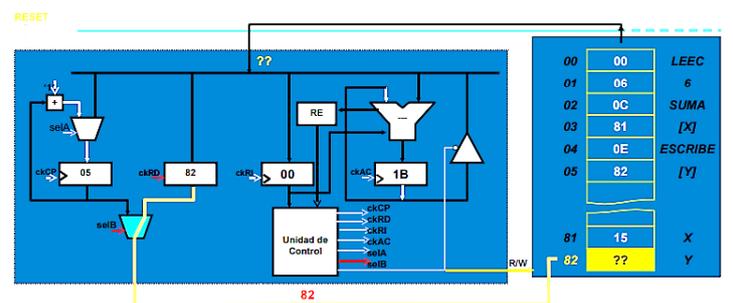
- A continuación el CP se vuelve a incrementar, previo al pulso $ckCP$ de la UC. Ahora el valor es 05 que viaja por el bus de direcciones. La memoria es leída en esa ubicación que contiene el valor 82 . Este valor es la ubicación donde debe ser escrita la variable "y". El valor 82 es enviada por el bus de direcciones hacia el μP .



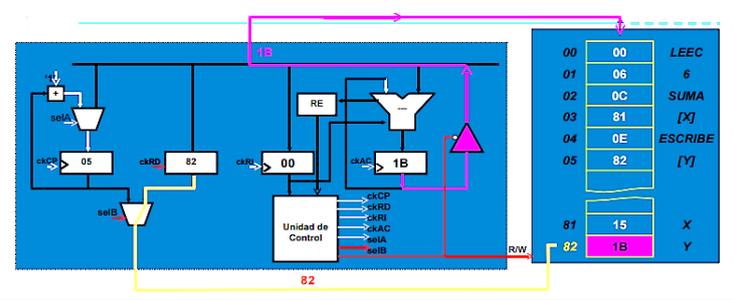
- La UC da un pulso $ckRD$ para almacenar en el RD el valor de 82 .

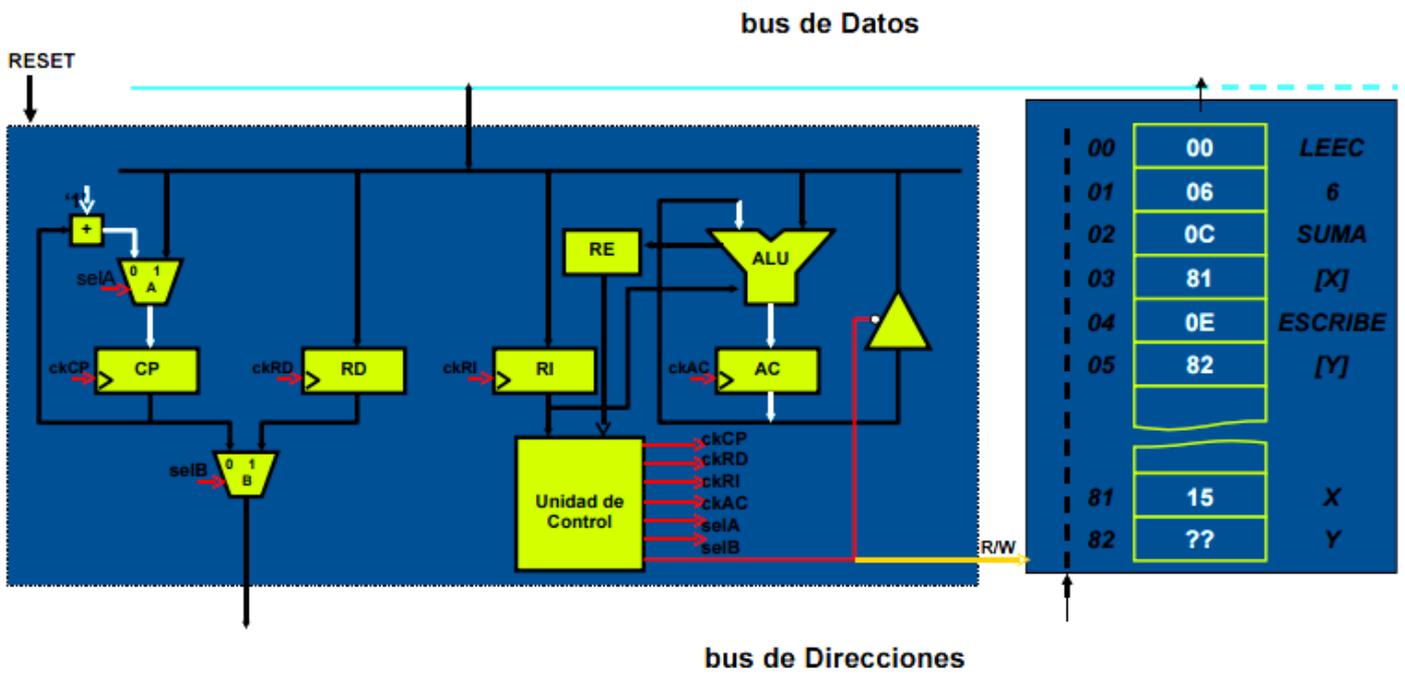


- A continuación $selB$ se mueve a 1 para dejar pasar el valor de RD al bus de direcciones.

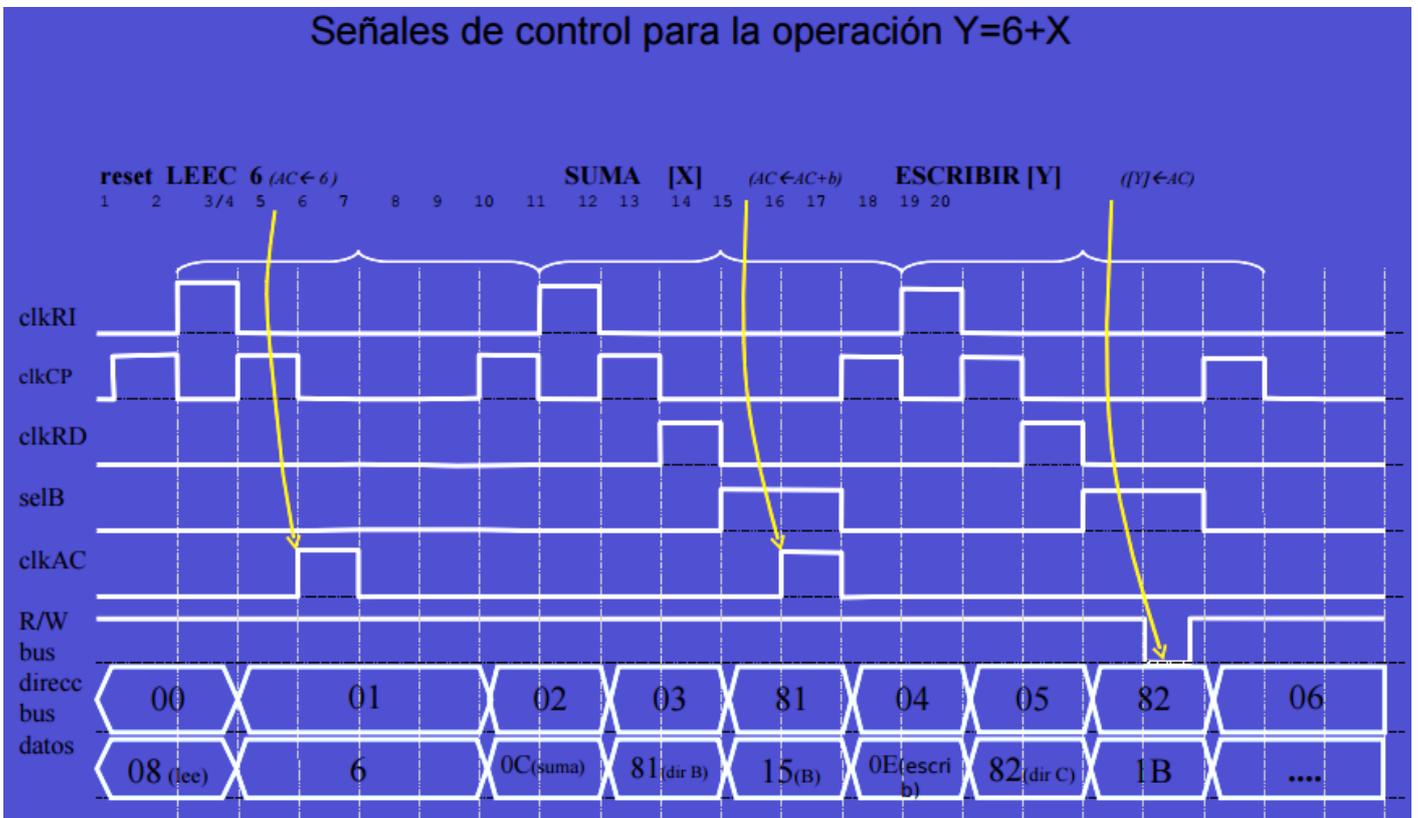


- Se hace $R/\bar{W} = 0$ se deja pasar a través del buffer triestado el valor del acumulador $1B$ al bus de datos y pone a la RAM en modo escritura. Esto permite guardar el valor $1B$ en la dirección 82 .





Señales de control para la operación $Y=6+X$

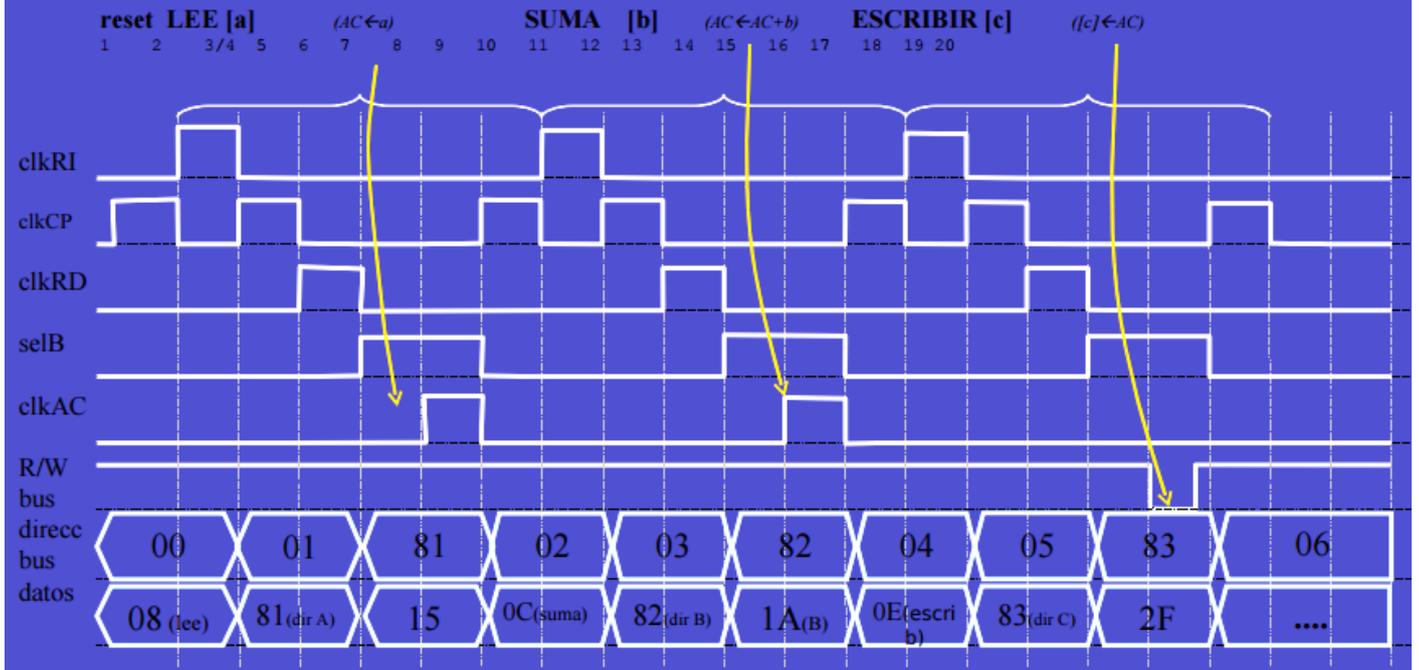


La operación siguiente muestra una operación similar a la anterior, esta vez sin constantes. En este caso, es $c = a + b$, es decir, en la zona de instrucciones se guardan las direcciones donde se encuentran los valores de las variables y no sus valores directamente. Observe que en el ejemplo anterior la constante

tenía un valor definido (6) y se encontraba guardado como instrucción y no como dato.

La diferencia que observa es en los pulsos al ejecutar la operación *LEE* (en vez de *LEEC*). La secuencia de pulsos para *LEE* es idéntica a la de *SUMA*.

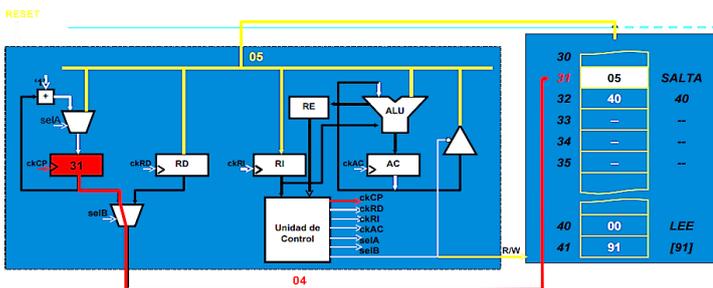
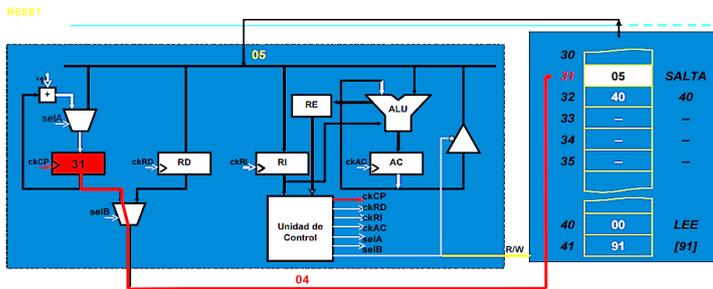
Señales de control para la operación C=A+B



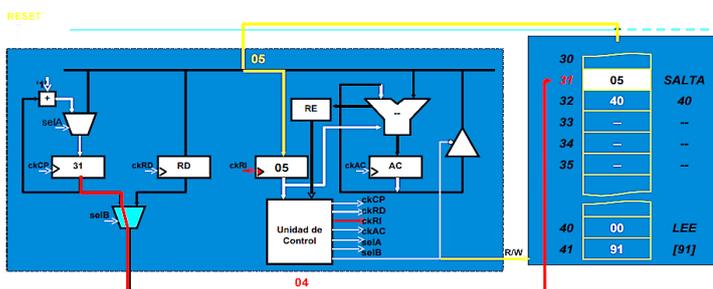
SALTOS DE PROGRAMA

El proceso es el siguiente:

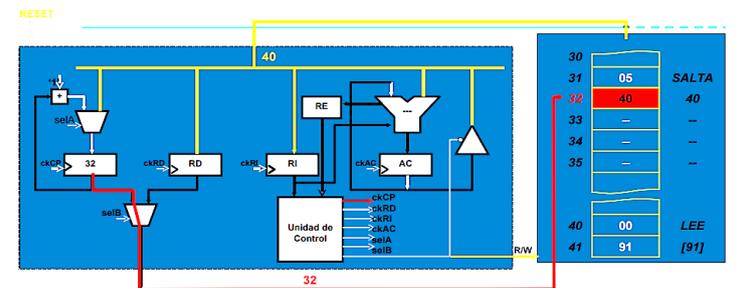
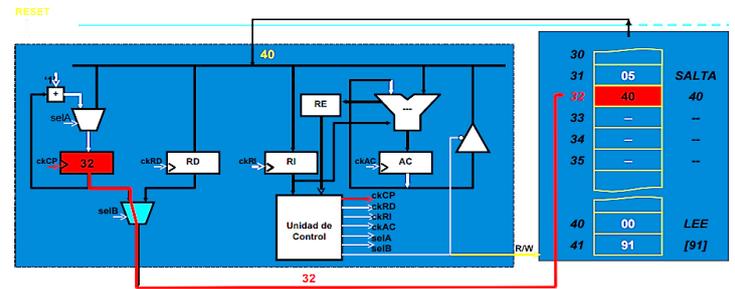
- Supongamos que una rutina llega a su dirección 31, luego del $ckCP$, que guarda el comando para SALTA (05). Este comando es enviado al μP a través del bus de datos.



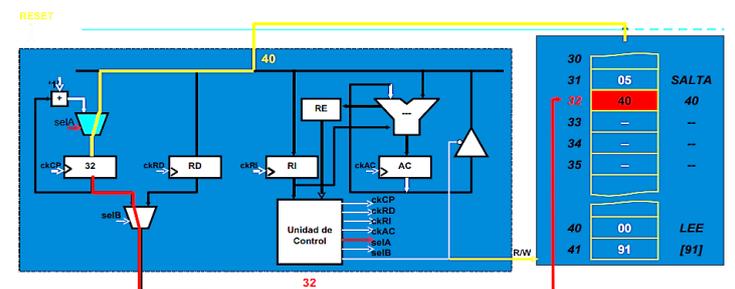
- Un pulso $ckRI$ carga el comando a la UC, mientras que la ALU es indiferente.



- A continuación se da un pulso de $ckCP$ para ir a la dirección 32 que contiene la ubicación de destino del salto (40). El destino se presenta por el bus de datos.

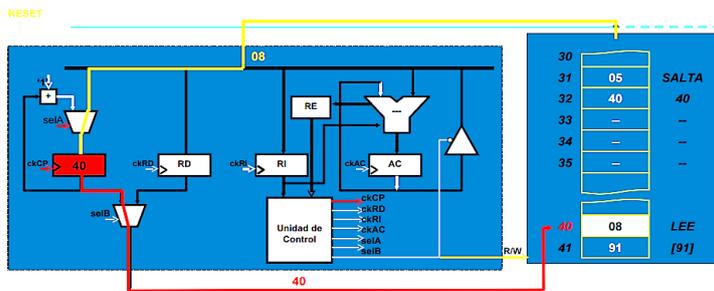


- La UC pone a $selA = 1$ y permite pasar el valor de destino de salto 40.

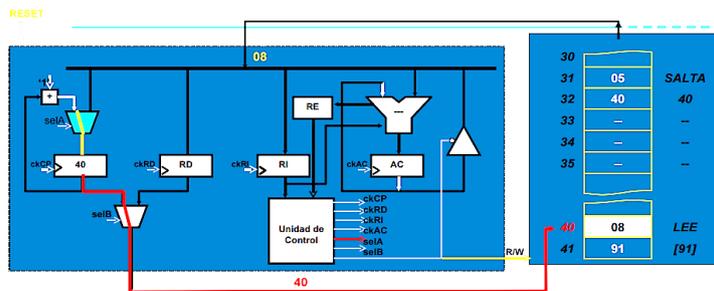


- A continuación un pulso de $ckCP$ presenta la dirección de salto en el bus de direcciones. La dirección contiene el código

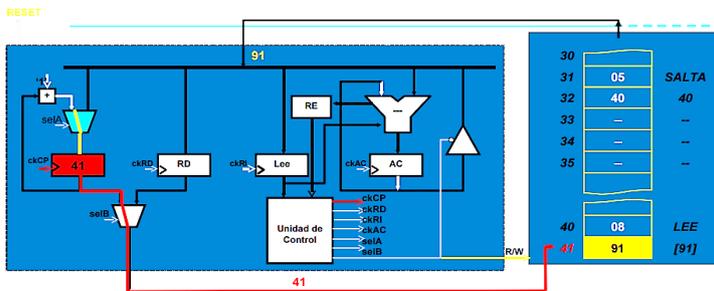
de *LEE* (08) y lo envía al bus de datos. La *UC* da el pulso *ckRI* y se prepara junto a la *ALU* en modo lectura.



- El multiplexor *A* vuelve a su posición en 0.



- Un nuevo pulso *ckCP* incrementa al valor 41.



EJEMPLO DE OPERACIÓN CON SALTO

Dos de las cualidades más importantes de un sistema de cómputo son la capacidad de realizar un cálculo de manera **reiterativa** y la de **tomar decisiones**, esto es realizar acciones diferentes según las condiciones que se evalúen. Un ejemplo podría ser un sistema de control de temperatura, en el cual un contador realiza de forma reiterativa la comparación entre un valor leído de *E/S* y un valor de referencia. Según sea el resultado el controlador tomará la decisión de encender o apagar el quemador. Según el set de instrucciones el programa es el siguiente:

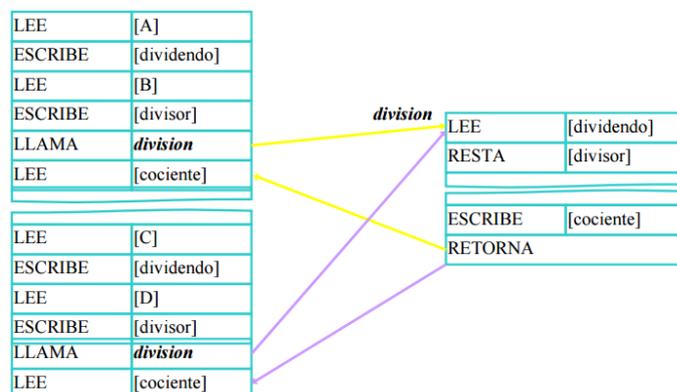
Dirección de memoria	rótulo	instrucción
00	ciclo	LEE
01		[Tentrada]
02		RESTAC
03		Treferencia
04		SALTAN
05		encender
06		LEEC
06		0
07		ESCRIBE
08		[Salida]
09		SALTA
0A		ciclo
0B	encender	LEEC
0C		1
0D		ESCRIBE
0E		[Salida]
0F		SALTA
10		ciclo

Un **salto de programa** significa que el programa deja su curso normal para pasar a otra dirección anterior o posterior. En el ejemplo existen dos saltos: ciclo y encender. Esto se consigue cargando en *CP* la dirección a la que se quiere saltar, como se explicó anteriormente.

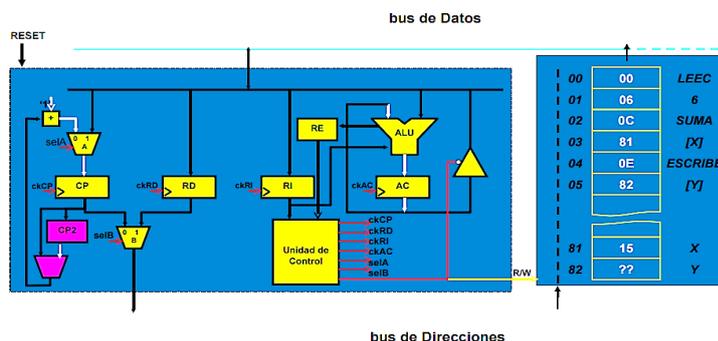
LLAMADO A SUBROUTINA

A lo largo de un programa se suele realizar de forma repetida un mismo conjunto de instrucciones (segmento de código o **subrutina**), por ejemplo cada vez que se realiza la operación división. Para ahorrar memoria, en vez de repetir el mismo segmento de código se escribe una sola vez y se **salta** a él cada vez que se requiera. Las instrucciones involucradas son: *LLAMA* y *RETORNA*.

A continuación se muestra una subrutina de división. Requiere los valores de dividendo y divisor (**argumentos**) que fueron establecidas por el programa principal antes de invocar la subrutina. Los argumentos suelen guardarse en memorias auxiliares en vez de ocupar la *RAM*.



El esquema de μP visto no admite subrutinas, ya que al terminar la misma y retornar al programa principal no permite guardar el valor de *CP* anterior al salto. Se requiere un registro auxiliar que copie este valor y luego lo recargue. Este esquema se muestra a continuación.



Una subrutina puede a su vez realizar otra subrutina, lo cual se conoce como **subrutinas anidadas**. Para que esto sea posible se reserva un área en la memoria *RAM* donde se van resguardando los valores de *CP* apilándolos a medida que se adentra un nivel, de modo tal que cuando se retorna de la subrutina se vuelve al último valor guardado de *CP* y se quita de la *pila*.

Los μP cuentan con un registro auxiliar conocido como puntero de pila, que se incrementa cada vez que se adentra un nivel de subrutina y se decrementa cuando se sube un nivel.

U4: MICROPROCESADORES μP Y MICROCONTROLADORES μC

B: INTERFASE E/S

TEMAS:

- Mapa de E/S de un PC. Implementación de una interfaz de E/S.
- Modos de acceso especiales: DMA e interrupción externa.

Apuntes de Catedra

INTERFASE E/S

En esta sección se analizará cómo se organiza la interfaz de E/S para que el μP pueda intercambiar datos con los periféricos (monitor, mouse, teclado, impresora, modem, sonido, webcam) y unidades de almacenamiento (disco rígido, CDROM). Cada dispositivo tiene sus propios requerimientos, que son atendidos por un **hardware de interfaz**, por ejemplo:

- Disco rígido, CDROM: Controladora (IDE, SCSI, etc.).
- Disquetera: Controladora de floppy.
- Monitor: Controladora de video.
- Impresora: Puerto paralelo o USB.
- Webcam: Puerto USB.
- Sonido: Placa multimedia.
- SCADA (sistema de adquisición de datos).

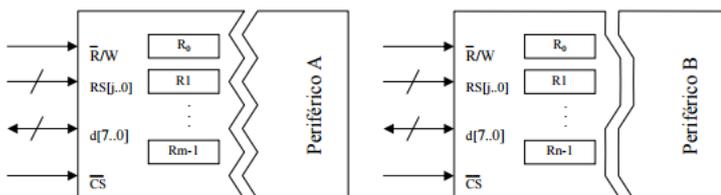
Estos pueden ser conectados a hardware de interfaz estándar o contar con su propio hardware de interfaz.

Cada interfaz cuenta con registros que permiten interactuar con el periférico:

- Intercambiar información: **Registro de datos**, de E/S.
- Configurarlo: **Registro de control**.
- Verificar su estado: **Registro de estado**.

Estos registros pueden ser leídos o escritos a través de líneas de dirección, dato y control como los registros de las RAMs. Los registros tendrán conexión a circuitos específicos de interacción con el periférico.

A continuación se representa una interfaz con sus señales básicas y su vinculación con el periférico. La vinculación será mediante un conjunto de señales con un formato específico para el periférico (serie, paralelo, analógico, digital, etc.).



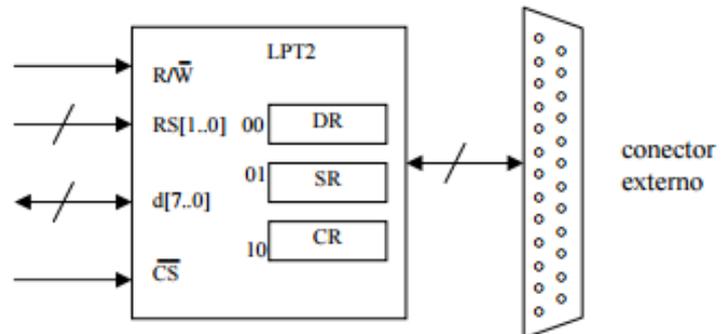
Observe que las señales del costado izquierdo son similares a la de una RAM. Los registros $R_0 - R_{m-1}$ son direccionados mediante líneas RS (register select) equivalentes al bus de direcciones, y serán leídos o escritos a través de $d[7 \dots 0]$ según sea la señal R/\bar{W} . La señal CS habilita estos intercambios.

IBM impuso en las PCs la arquitectura abierta, que permitió incorporar a su E/S dispositivos de otros fabricantes. La PC reserva direcciones específicas para los dispositivos de E/S estándar como puertos paralelos de impresora, puertos de comunicación serie, etc.

Todos los periféricos están mapeados en el rango de direcciones 0 – 1023, lo cual exige un bus de direcciones de 10 bits. Cada dispositivo tiene reservado un intervalo de ese rango.

MAPA DE ENTRADA/SALIDA

Los dispositivos con una estructura similar responden únicamente en el intervalo asignado. Para entender cuál es la estrategia consideremos un puerto paralelo LPT2 con intervalo asignado 278h – 24Ah. Se omite la línea IRQ.

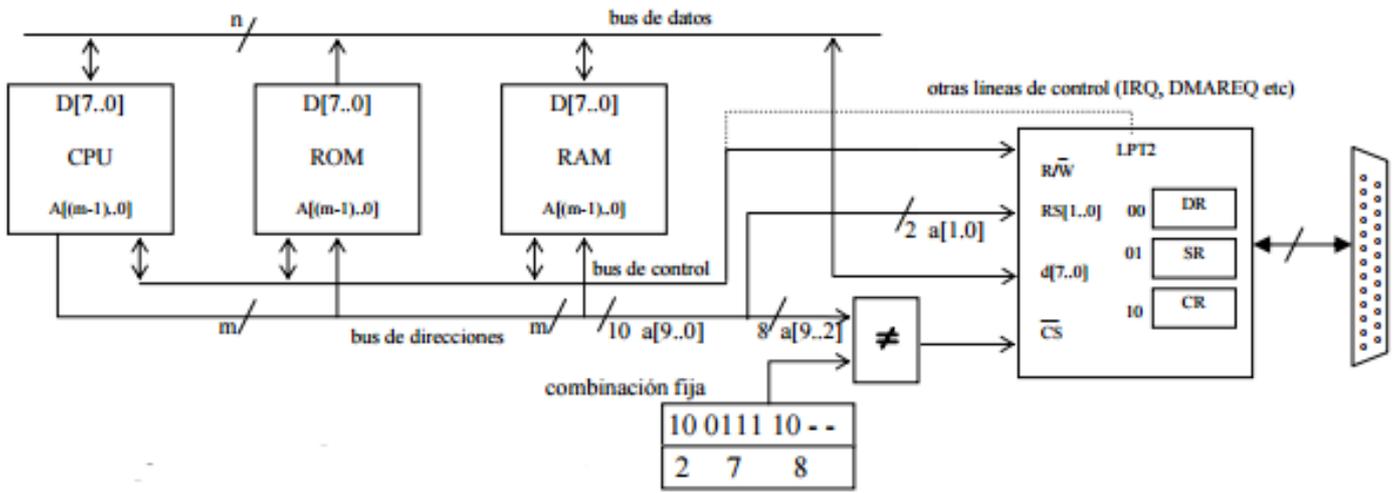


Del bus de direcciones asignado a dispositivos de E/S (10 líneas) se toman las líneas necesarias para direccionar todos los registros de la interfaz. La interfaz paralelo estándar tiene tres registros (dato, estado y control) que se direccionan con las líneas RS1 y RS0. Por lo tanto, se conectan dos líneas de direcciones a RS de la interfaz. Cuando las dos líneas sean 00 se seleccionará el registro dato, cuando sean 01, estado y 10 control.

Con el resto de las líneas de dirección se producen habilitaciones de chip cuando coincidan con el intervalo asignado.

		a[9..0] (bus de direcciones)				
		a[9.8]	a[7..4]	a[3..0]	registro	
otro	277h	10	0111	01 11		Coincidencia con la dirección asignada, -CS=0
LPT2	278h	10	0111	10 00	DR	
	279h	10	0111	10 01	SR	
	27Ah	10	0111	10 10	CR	
	27Bh	10	0111	10 11	--	
otro	27Ch	10	0111	11 00		

a[9..2] al comparador binario a[1..0] a RS1-RS0



MODOS DE ACCESO ESPECIAL: INTERRUPTIÓN Y ACCESO DIRECTO A MEMORIA

En los ejemplos vistos, la transferencia de datos entre dispositivos de *E/S* y la memoria ha sido siempre realizada por el microprocesador y bajo control del programa. Hay dos casos en los que este modo de acceso resulta ineficiente:

- Cuando los datos de periféricos no pueden esperar la norma de ejecución del programa para ser atendidos.
- Cuando la transferencia entre *RAM* y periféricos es masiva (streaming).

Para el primer caso se recurre a las **interrupciones** y para el segundo al **acceso directo a la memoria DMA**.

INTERRUPCIONES

Existen tres tipos según su origen:

- Interrupciones de hardware.
- Interrupciones de software.
- Interrupciones internas o excepciones.

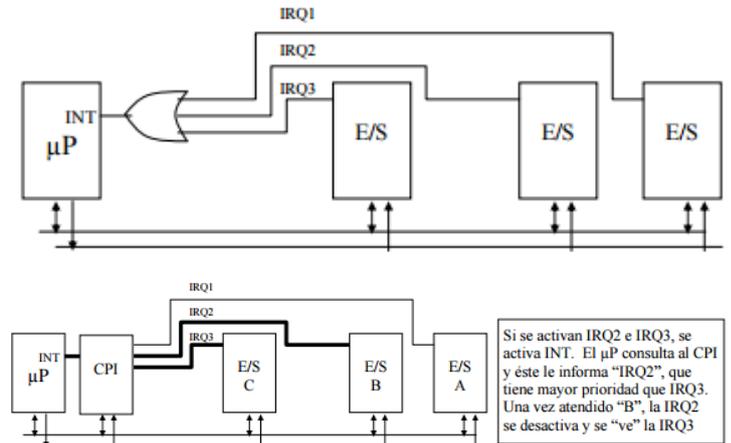
INTERRUPCIONES DE HARDWARE

Un μP que interactúa con un usuario debe responder a sus demandas a través de la interfaz *E/S*. Una forma es mediante el **polling**, esto es consultar en forma periódica cada dispositivo de *E/S* (teclado, mouse, modem, etc.) para verificar si requiere atención. La necesidad de atención de un dispositivo se indicará mediante un bit en un registro de estado de dicho dispositivo.

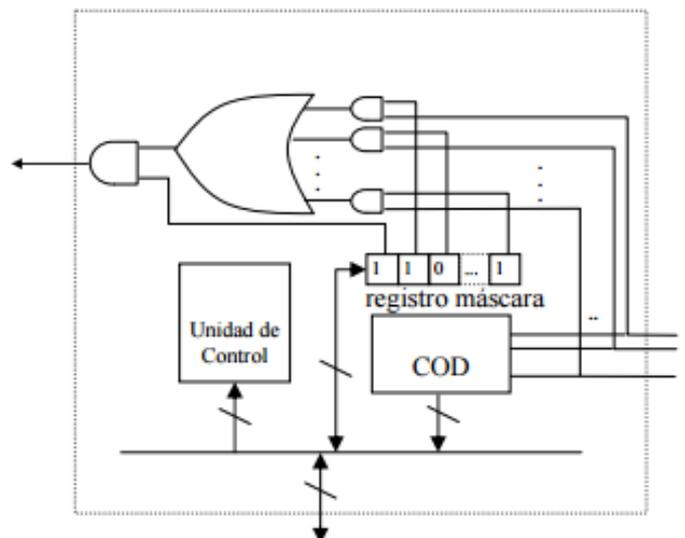
Este mecanismo es poco eficiente ya que si el μP hace demasiadas consultas pierde tiempo útil en procesamiento, por el contrario si las consultas son muy espaciadas puede tardar demasiado en atender un requerimiento externo.

Un mecanismo más eficiente es el de **interrupción**, en el cual el μP se dedica al cómputo y solo atiende al dispositivo externo cuando este lo solicita mediante una señal de **interrupción externa**. Los μP más sencillos cuentan comúnmente con una sola línea de interrupción externa como se puede observar en la siguiente imagen. Para saber cuál fue el dispositivo solicitante, el μP debe consultar a cada uno. Se suelen establecer criterios de consulta, por ejemplo, se consulta primero a los dispositivos que requieren mayor atención, o aquellos dispositivos

que más interrumpen con mayor frecuencia, o a los dispositivos de mayor prioridad. Para optimizar este proceso de identificación existen los **controladores programables de interrupción CPI** como se muestra en el esquema.



El esquema de un *CPI* se muestra a continuación. Es en sí mismo un dispositivo de *E/S*. Cuenta con un codificador con prioridad que codifica la fuente de interrupción. El μP , al ser interrumpido, consulta al *CPI* el cual entrega dicho código.



Una vez identificado el dispositivo que solicita atención, debe ejecutarse, lo que se denomina **rutina de servicio**, es decir

leer los datos recibidos y almacenarlos en la memoria. Se utiliza lo visto para subrutinas y uso de pila, pero este caso el llamado es por parte de una señal de interrupción externa.

INTERRUPCIONES POR SOFTWARE

Estas son equivalentes a las llamadas a subrutinas, pero que hacen uso de rutinas estándar del *BIOS* y del sistema operativo del *PC*. Los μP disponen de una instrucción específica *INT* (*INT n*, siendo *n* el número de interrupciones). Esto equivale a llamar a una subrutina estándar *n*, por ejemplo de lectura/escritura en disco, de impresión en pantalla, etc.

INTERRUPCIONES INTERNAS O EXCEPCIONES

Las genera automáticamente la *CPU* ante una situación anormal o usos especiales.

DMA

La forma habitual de transferir un dato de un dispositivo de *E/S* a la memoria, es que la *CPU* lea el dispositivo de *E/S* y escriba el valor leído en la posición de memoria. Sin embargo, cuando deben transferirse grandes bloques de información (ej: información del disco rígido) se utiliza la técnica *DMA* que libera a la *CPU* de esa tarea. El control del *DMA* lo realiza un procesador específico al que se le indica el rango de direcciones de origen y destino para realizar la transferencia, y además, aprovechando las latencias dentro de los ciclos de la *CPU* (intervalos en que la *CPU* no controla los buses, esto se conoce como robo de ciclo).

ELECTRÓNICA

U5: ACONDICIONAMIENTO DE SEÑAL A: AMPLIFICADORES OPERACIONALES

TEMAS:

- Etapas principales de un A.O. real.
- Modelo de un A.O.
- Características ideales y reales.

Malvino 6ta. Edición, Unidad 17 pág. 619

AMPLIFICADORES DIFERENCIALES

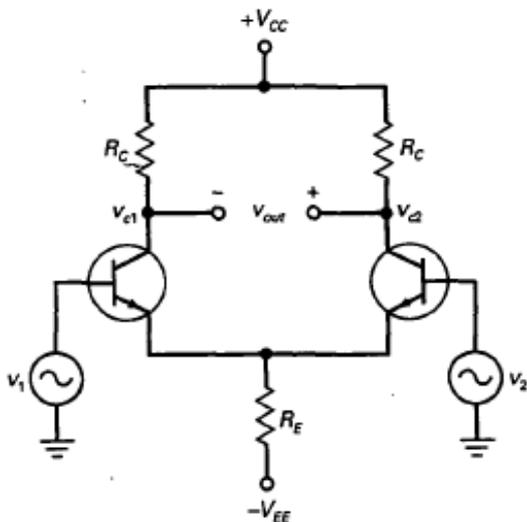
Los **amplificadores diferenciales** se utilizan como etapa de entrada en casi todos los amplificadores operacionales de entrada. Su función es eliminar la necesidad de un condensador de desacoplo de emisor. La razón por la que se utilizan es porque no se suelen usar condensadores de gran capacidad en los *CI* típicos.

ENTRADA Y SALIDAS DIFERENCIALES

Un amplificador diferencia consiste en dos etapas en emisor común en paralelo con una resistencia de emisor. Tiene dos tensiones de entrada: v_1 y v_2 (al ser representadas por letras minúsculas se hace referencia a tensiones alternas) y dos tensiones de colector: v_{C1} y v_{C2} . No presenta condensador de acoplo o desacoplo, por lo tanto no existe frecuencia de corte inferior.

La tensión alterna de salida v_{out} , conocida como **salida diferencia**, se define como:

$$v_{out} = v_{C2} - v_{C1}$$



Idealmente, el circuito tiene idénticos transistores y resistencias de colector. Con esta simetría, v_{out} sería cero cuando las dos tensiones de entrada son cero. Cuando $v_1 > v_2$ la tensión

de salida tiene la polaridad mostrada en la imagen. Cuando $v_2 > v_1$ la polaridad se invierte.

La entrada v_1 se conoce como **entrada no inversora** por estar en fase con v_{out} . Por otro lado, v_2 se conoce como **entrada inversora**, ya que v_{out} está en contrafase. En algunas aplicaciones se suele utilizar la entrada inversora conectada a masa.

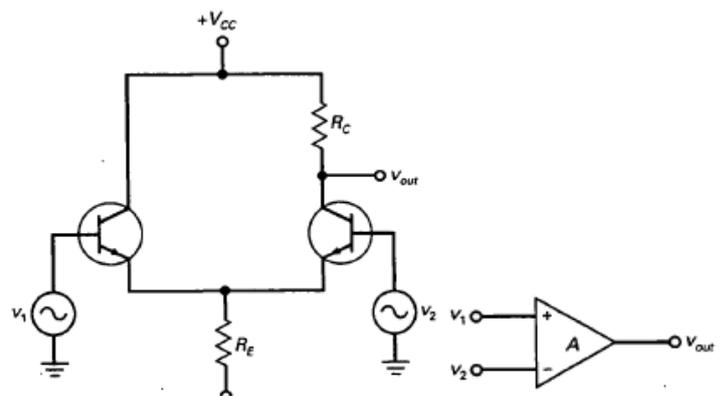
Cuando ambas entradas están presentes se tiene una entrada diferencial, ya que la tensión de salida es igual a la ganancia de tensión A multiplicada por la diferencia entre las dos tensiones:

$$v_{out} = A(v_1 - v_2)$$

TERMINAL DE SALIDA ÚNICO

Para el esquema anterior la salida diferencial requiere una carga flotante, ya que ningún extremo de la carga estaría conectado a masa. Esto es un problema para cargas que tienen un único terminal (el otro está conectado a masa).

El esquema siguiente es uno de los esquemas más utilizados para un amplificador diferencial. Este puede alimentar cargas de un terminal (etapas de *EC* o *CC*). La señal alterna de salida se toma del colector derecho. La resistencia de colector izquierda se ha quitado.



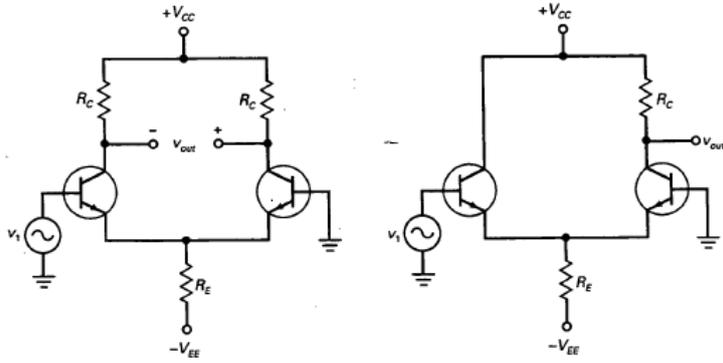
Debido a que la entrada es diferencial, la tensión alterna de salida es $v_{out} = A(v_1 - v_2)$. Sin embargo, con un único

terminal de salida, la ganancia es la mitad de lo que era con salida diferencial.

El símbolo de este elemento es idéntico al de un amplificador operacional. El símbolo "+" indica la entrada no inversora, y "-" la inversora.

CONFIGURACIONES CON ENTRADAS NO INVERSORAS

A menudo solo está activada una de las dos entradas y la otra se conecta a masa como se muestra en los siguientes esquemas:



En esta situación $v_2 = 0$, por lo tanto en ambos esquemas se cumple:

$$v_{out} = Av_1$$

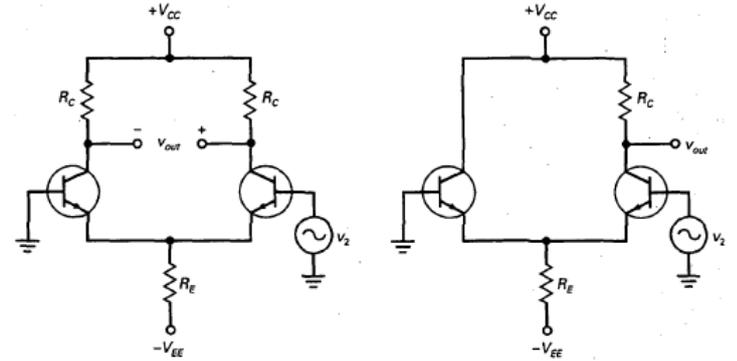
Sin embargo, el segundo esquema, al tener la salida conectada solo a una rama del amplificador diferencial, la ganancia valdrá solo la mitad.

CONFIGURACIONES CON ENTRADAS INVERSORAS

En caso de conectar v_1 a tierra, se tendrá que $v_1 = 0$ y la salida valdrá:

$$v_{out} = -Av_2$$

El signo negativo indica que hay inversión de fase.

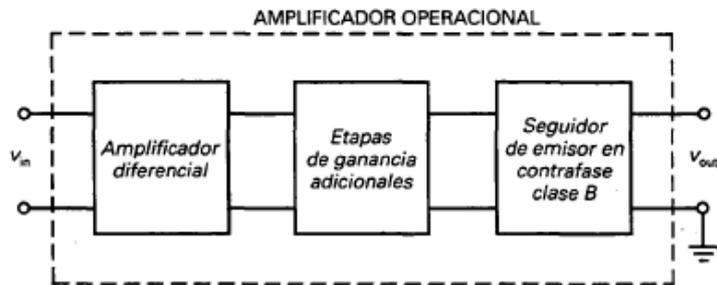


Malvino 6ta. Edición, Unidad 18 pág. 681

INTRODUCCIÓN A LOS AMPLIFICADORES OPERACIONALES

A continuación se presenta un diagrama de bloques de un amplificador operacional. La etapa de entrada es un amplificador diferencial seguido de más etapas de ganancia y un seguidor de emisor clase B en contrafase. El amplificador diferencial determina las características de entrada del amplificador operacional. La mayoría de estos dispositivos presentan una sola terminal de salida.

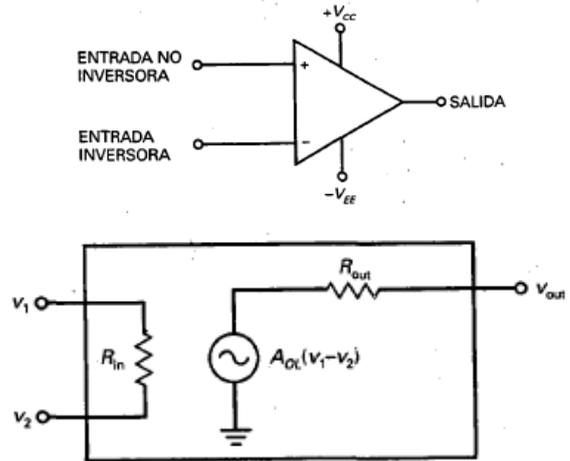
No todos los amplificadores operacionales siguen este esquema. Algunos no presentan el seguidor de emisor y otros pueden tener salida diferencial.



El símbolo eléctrico de un amplificador operacional tiene una entrada inversora, otra no inversora y una salida de un terminal. Idealmente, el amplificador presenta ganancia de tensión infinita, impedancia de entrada infinita e impedancia de salida cero. Esto queda representado en su circuito equivalente y en la tabla que le sigue.

El offset (tensión constante) de entrada puede saturar fácilmente al amplificador. Esta es la razón de que los circuitos prácticos necesiten componentes externos entre la entrada y la

salida para estabilizar la ganancia de tensión. Por ejemplo, en muchas aplicaciones la alimentación negativa se usa para ajustar la ganancia de tensión total a un valor mucho menor a cambio de obtener una función lineal estable.



Característica	Símbolo	Ideal	LM741C	LF157A
Ganancia de tensión en lazo abierto	A_{OL}	Infinito	100.000	200.000
Frecuencia de ganancia unidad	f_{unidad}	Infinito	1 MHz	20 MHz
Resistencia de entrada	R_{in}	Infinito	2 MΩ	$10^{12} \Omega$
Resistencia de salida	R_{out}	Cero	75 Ω	100 Ω
Corriente de polarización de entrada	$I_{in(polarización)}$	Cero	80 nA	30 pA
Corriente de offset de entrada	$I_{in(offset)}$	Cero	20 nA	3 pA
Tensión de offset de entrada	$V_{in(offset)}$	Cero	2 mV	1 mV
Relación de rechazo al modo común	CMRR	Infinito	90 dB	100 dB

Cuando no se emplea lazo de realimentación, la ganancia de tensión máxima se denomina lazo de tensión en lazo abierto A_{OL} .

Cuando se requiere mayor resistencia de entrada se utilizan amplificadores operacionales *BIFET*, el cual incorpora *JFET* y transistores bipolares. Los primeros se usan en las etapas de

entrada para obtener menores corrientes de polarización y de offset, los transistores bipolares se usan en la última etapa para obtener más ganancia de tensión.

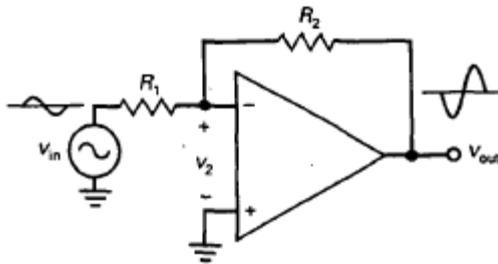
AMPLIFICADOR INVERSOR

El **amplificador inversor** es el circuito amplificador operacional más básico. Utiliza **realimentación negativa** para estabilizar la ganancia de tensión total, ya que A_{OL} resulta demasiado grande e inestable sin realimentación.

REALIMENTACIÓN NEGATIVA INVERSORA

A continuación se muestra el esquema de un amplificador inversor. Por simplicidad no se muestran las tensiones de la fuente de alimentación, es decir, solo se muestra el circuito equivalente para la señal. Una tensión de entrada v_{in} excita la entrada inversora a través de R_1 , lo que produce una tensión de entrada inversora v_2 . La tensión de entrada se amplifica mediante la ganancia de tensión de lazo abierto para producir una tensión de salida invertida. La tensión de salida realimenta la entrada a través de la resistencia de realimentación R_2 . Se dice que es realimentación negativa porque la salida está en contrafase respecto a la entrada inversora la cual realimenta.

La realimentación negativa estabiliza la ganancia de tensión de la siguiente manera: Si la ganancia de tensión de lazo abierto A_{OL} crece por alguna razón, la tensión de salida crecerá y realimentará más la tensión de la entrada inversora. Esta realimentación es opuesta a la tensión v_2 . Por lo tanto, incluso aunque A_{OL} haya crecido, v_2 disminuye, y la salida final se incrementa en menor medida de lo que lo haría sin realimentación negativa. El resultado global es un incremento ligero de la tensión de salida.

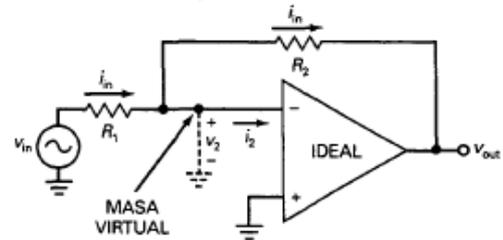


MASA VIRTUAL

Cuando se conecta un segmento de cable (**masa mecánica**) entre un punto de un circuito y masa, la tensión de ese punto se vuelve cero y se proporciona un camino para que la corriente circule hacia masa.

Una **masa virtual** es diferente. Es un truco utilizado para analizar un amplificador inversor. Este concepto se basa en un amplificador operacional ideal: ganancia de tensión de lazo abierto A_{OL} infinita y resistencia de entrada R_{in} infinita. Por lo tanto, viendo el esquema siguiente se observa que $i_2 = v_2 = 0$. A su vez se deduce que la corriente por R_2 debe ser igual a la corriente de entrada i_{in} que también pasa por R_1 . Entonces, la masa virtual significa que la entrada inversora **actúa como masa o cortocircuito para tensión, pero como circuito abierto para corriente**.

La masa virtual tiene un comportamiento atípico. Se utiliza una línea de trazos para representarla, lo cual significa que no puede fluir corriente. Es una útil aproximación ideal.



GANANCIA DE TENSIÓN

Si nos imaginamos una masa virtual en la entrada inversora se puede escribir:

$$v_{in} = i_{in} R_1$$

$$v_{out} = i_{in} R_2$$

Por lo tanto, la **ganancia de tensión en lazo cerrado** se obtiene por medio del cociente:

$$A_{CL} = \frac{v_{out}}{v_{in}} = \frac{R_2}{R_1}$$

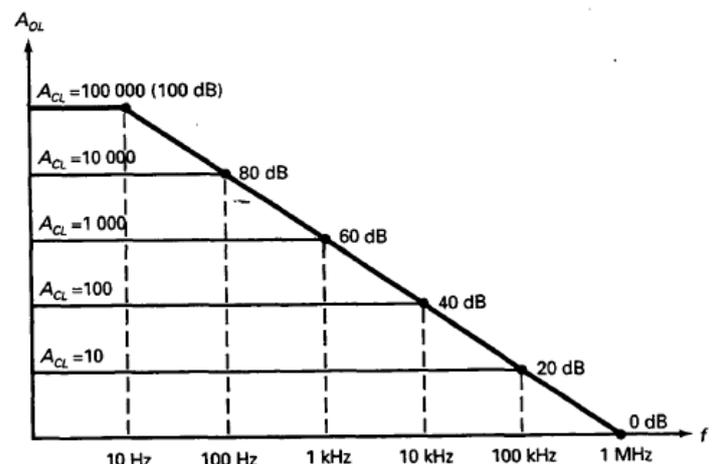
Debido a la realimentación negativa, la ganancia de tensión en lazo cerrado A_{CL} es siempre menor que la ganancia de tensión de lazo abierto A_{OL} . Sin embargo, la ganancia de tensión de lazo cerrado se vuelve más estable ante cambios de temperatura, variaciones de la tensión de alimentación o sustitución del amplificador operacional.

IMPEDANCIA DE ENTRADA

Una de las ventajas de un amplificador inversor es que permite tener una impedancia de entrada arbitraria. Esto se debe a que en el extremo derecho de R_1 existe una masa virtual, y la impedancia de entrada en lazo cerrado es:

$$Z_{in(CL)} = R_1$$

ANCHO DE BANDA



El ancho de banda en lazo abierto o frecuencia de corte de un amplificador operacional es muy baja a causa del condensador de compensación interno. A una frecuencia específica $f_{2(OL)}$, la ganancia comienza a caer con una pendiente de primer orden.

Cuando se utiliza realimentación negativa, el ancho de banda total se incrementará. Esta es la razón: cuando la frecuencia de entrada es mayor que $f_{2(OL)}$, A_{OL} decrece 20 dB por década. Cuando v_{out} intenta disminuir, se realimenta menos tensión opuesta a la entrada inversora y v_2 aumenta para compensar la

reducción de A_{OL} . Por lo tanto, A_{CL} se quiebra a una frecuencia mayor que $f_{2(OL)}$. Cuanto mayor sea la realimentación negativa (menor A_{CL}) mayor es la frecuencia de corte en lazo cerrado. Esto se observa en la imagen. La ecuación para el ancho de banda para lazo cerrado:

$$f_{2(CL)} = \frac{f_{unidad}}{A_{CL} + 1}$$

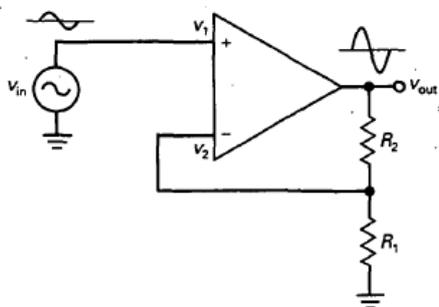
La frecuencia de ganancia unidad es igual al producto de la ganancia y del ancho de banda.

EL AMPLIFICADOR NO INVERSOR

El **amplificador no inversor** utiliza realimentación negativa para estabilizar la ganancia total de tensión. La realimentación también provoca el incremento de la impedancia de entrada y la disminución de la impedancia de salida.

CIRCUITO BÁSICO

En la figura siguiente se representa el circuito equivalente de un amplificador no inversor. Una tensión de entrada v_{in} excita la entrada no inversora y se amplifica para producir la tensión de salida en fase. Parte de esta tensión de salida se realimenta hacia la entrada a través de un divisor de tensión. La tensión a través de R_1 es la tensión de realimentación que se aplica a la entrada inversora, y es casi igual a la entrada no inversora. La tensión de realimentación se opone a la tensión de entrada y la diferencia de tensión entre v_1 y v_2 se vuelve pequeña.



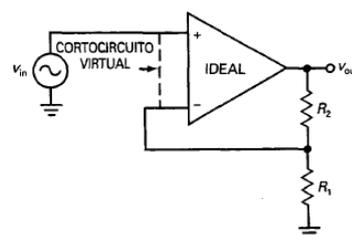
La realimentación negativa estabiliza la ganancia total de tensión de la siguiente manera: si la ganancia de tensión en lazo abierto A_{OL} crece por alguna razón, la tensión de salida aumentará y realimentará más la tensión a la entrada inversora. Esta realimentación opuesta reduce la tensión de entrada neta $v_1 - v_2$ y la salida final crece mucho menos que lo que lo haría sin realimentación negativa. El resultado global es solo un ligero incremento de la tensión de salida

CORTOCIRCUITO VIRTUAL

Cuando se conecta un segmento de cable entre dos puntos de un circuito (cortocircuito mecánico), la tensión de ambos puntos con respecto a masa es idéntica y además proporciona un camino para que la corriente circule.

Un **cortocircuito virtual** es diferente. Es un truco para analizar amplificadores no inversores. Este concepto se basa en un amplificador operacional ideal: ganancia de tensión de lazo abierto A_{OL} infinita y resistencia de entrada R_{in} infinita. Por lo

tanto, viendo el esquema siguiente se observa que las corrientes de entrada son cero y $v_1 - v_2 = 0$.



La imagen anterior muestra un cortocircuito virtual entre las terminales de entrada. **Representa un corto para tensión pero un circuito abierto para corriente**. Se utiliza una línea de trazos para representar que no puede fluir corriente. Es solo una aproximación, muy útil para realimentaciones fuertes. Mientras el amplificador opere en la zona lineal, la ganancia de tensión en lazo abierto se aproxima a infinito y existe un cortocircuito virtual.

Debido al corto, la tensión de entrada inversora sigue a la no inversora, es decir, la entrada no inversora tira de la inversora para igualar los valores de tensión. Esto se conoce como **auto elevación**.

GANANCIA DE TENSIÓN

El cortocircuito virtual simplifica, ya que la tensión de entrada se representa a través de R_1 , por lo tanto:

$$v_{in} = i_1 R_1$$

Como no hay circulación de corriente a través del cortocircuito, la corriente i_1 deber ser la misma en las dos resistencias. Por lo tanto:

$$v_{out} = i_1 (R_1 + R_2)$$

Para obtener la ganancia de tensión se realiza el cociente:

$$A_{CL} = \frac{v_{out}}{v_{in}} = \frac{R_1 + R_2}{R_1} = \frac{R_2}{R_1} + 1$$

OTROS VALORES

El efecto de la realimentación negativa sobre el ancho de banda es igual al de un amplificador inversor:

$$f_{2(CL)} = \frac{f_{unidad}}{A_{CL}}$$

Se puede comprometer la ganancia de tensión a favor del ancho de banda.

U5: ACONDICIONAMIENTO DE SEÑAL

B: MONTAJES LINEALES

TEMAS:

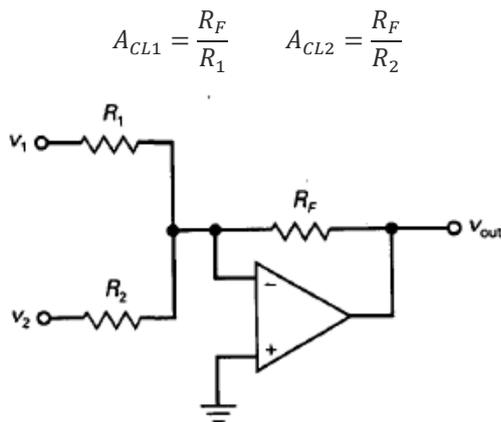
- Amplificadores.
- Sumador.
- Integrador.
- Diferenciador.
- Montaje diferencial.
- Amplificador instrumentacional.
- Filtros básicos: pasa bajo, pasa alto y pasa banda.

Malvino 6ta. Edición, Unidad 18 pág. 710

APLICACIONES DE LOS AMPLIFICADORES OPERACIONALES

AMPLIFICADOR SUMADOR

Siempre que se necesite combinar dos o más señales analógicas en una sola salida, es natural utilizar un **amplificador sumador**. El esquema siguiente solo presenta dos entradas. Este circuito amplifica la señal de entrada. La ganancia para cada canal es:



El circuito sumador combina todas las señales de entrada amplificadas en una sola salida. Para probar esto recordemos el concepto de masa virtual. Se puede observar que la corriente de entrada total es:

$$i_{in} = i_1 + i_2 = \frac{v_1}{R_1} + \frac{v_2}{R_2}$$

Esta misma corriente circula por la resistencia de realimentación R_F , por lo tanto la tensión de salida será:

$$v_{out} = (i_1 + i_2)R_F = \frac{R_F}{R_1}v_1 + \frac{R_F}{R_2}v_2$$

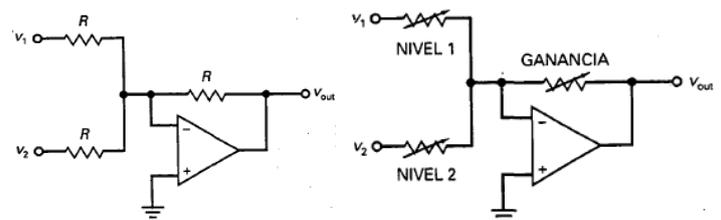
Finalmente se demuestra la expresión inicial.

$$v_{out} = A_{CL1}v_1 + A_{CL2}v_2$$

Este mismo resultado puede aplicarse a un número cualquiera de entradas. En algunas aplicaciones todas las resistencias son iguales. En este caso, cada canal tiene una ganancia de tensión en lazo cerrado igual a 1, y la salida vale:

$$v_{out} = v_1 + v_2 + \dots + v_n$$

En el siguiente esquema se presenta un mezclador. Esto es una manera de combinar señales de audio. Las resistencias variables permiten establecer el nivel de cada entrada, y el control de ganancia permite ajustar el volumen de la salida combinada. Reduciendo el *NIVEL 1* se puede hacer la señal v_1 más grande a la salida. Incrementando la *GANANCIA*, se puede aumentar ambas señales.



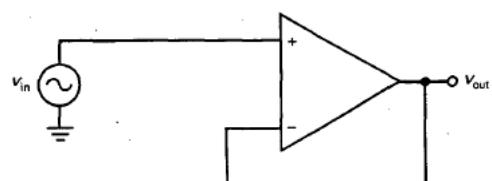
SEGUIDOR DE TENSIÓN

Anteriormente se estudió un circuito seguidor de emisor colector común que incrementaba la impedancia de entrada mientras producía una señal de salida que era casi igual a la de entrada. El **seguidor de tensión** es su equivalente y funciona mejor.

El esquema se muestra a continuación. La resistencia de realimentación es cero, por lo tanto la realimentación negativa es máxima. Suponiendo un cortocircuito virtual se llega a:

$$v_{out} = v_{in}$$

Por lo tanto, la ganancia de tensión de lazo cerrado es $A_{CL} = 1$.



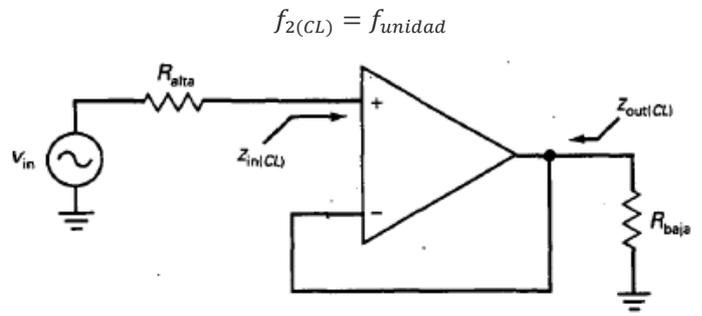
Esto significa que el seguidor de tensión es un circuito seguidor perfecto porque produce una tensión de salida exactamente igual a la de entrada.

Además, la realimentación negativa máxima produce una impedancia de entrada de lazo cerrado mayor que la impedancia

de entrada de lazo abierto. Lo contrario sucede con la impedancia de salida. Esto permite convertir una fuente de alta impedancia en una de baja impedancia.

En la imagen siguiente se muestra una fuente de impedancia alta R_{alta} y una carga con impedancia baja R_{baja} . El resultado es que la tensión de la fuente aparecerá sobre la resistencia de carga.

Siendo $A_{CL} = 1$ el ancho de banda de lazo cerrado es máximo e igual a:



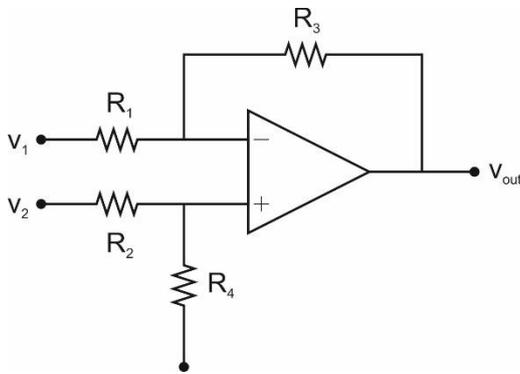
Malvino 6ta. Edición, Unidad 20 pág. 795

AMPLIFICADOR RESTADOR

Haciendo la simplificación del amplificador operacional ideal ($A = \infty$ y $R_{in} = \infty$) se observa que:

$$I_1 = I_3$$

$$I_2 = I_4$$



Además, si denominamos a la tensión en R_4 como v_E y, según las simplificaciones hechas, $v_1 - v_2 = 0$, se observa que la tensión en la intersección de la rama inversora es también v_E . Con esto se llega a las siguientes ecuaciones:

$$I_1 = \frac{v_1 - v_E}{R_1}$$

$$I_2 = \frac{v_2 - v_E}{R_2}$$

$$I_3 = \frac{v_E - v_{out}}{R_3}$$

$$I_4 = \frac{v_E}{R_4}$$

Reemplazando en $I_1 = I_3$, se tiene:

$$\frac{v_1 - v_E}{R_1} = \frac{v_E - v_{out}}{R_3}$$

$$R_3 v_1 - R_3 v_E = R_1 v_E - R_1 v_{out}$$

$$v_E = \frac{R_1 v_{out} + R_3 v_1}{R_1 + R_3}$$

Reemplazando en $I_2 = I_4$ se tiene:

$$\frac{v_2 - v_E}{R_2} = \frac{v_E}{R_4}$$

$$R_4 v_2 - R_4 v_E = R_2 v_E$$

$$v_E = \frac{R_4 v_2}{R_2 + R_4}$$

Igualando las ecuaciones se tiene:

$$\frac{R_1 v_{out} + R_3 v_1}{R_1 + R_3} = \frac{R_4 v_2}{R_2 + R_4}$$

$$v_{out} = \frac{R_4 v_2}{R_2 + R_4} \frac{(R_1 + R_3)}{R_1} - \frac{R_3 v_1}{R_1}$$

Suponiendo que $R_1 = R_2$ y $R_3 = R_4$ se tiene:

$$v_{out} = \frac{R_3 v_2}{R_1 + R_3} \frac{(R_1 + R_3)}{R_1} - \frac{R_3 v_1}{R_1}$$

$$v_{out} = \frac{R_3}{R_1} v_2 - \frac{R_3}{R_1} v_1$$

$$v_{out} = \frac{R_3}{R_1} (v_2 - v_1) = A(v_2 - v_1)$$

Malvino 6ta. Edición, Unidad 22 pág. 916

EL INTEGRADOR

El **integrador o integrador de Miller** es un circuito que ejecuta la operación matemática llamada integración. La aplicación más difundida es la de producir una rampa en su tensión de salida, la cual supone un incremento o decremento lineal de la tensión.

CIRCUITO BÁSICO

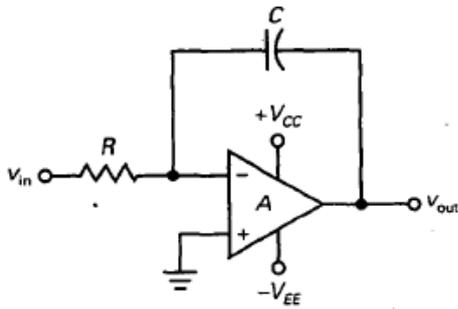
A continuación se puede ver el esquema básico. El componente de realimentación es un condensador. La entrada en

general es un pulso rectangular. Cuando el pulso está en nivel bajo, $v_{in} = V_{in}$ (tensión constante). Debido a la masa virtual se tiene que:

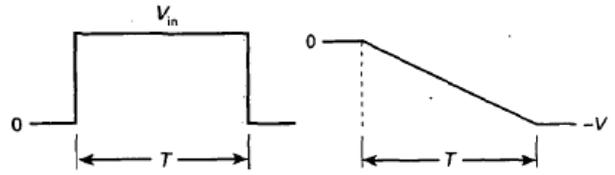
$$I_{in} = \frac{V_{in}}{R}$$

Esta corriente circula tanto por R como por C . Así es que el condensador se carga e incrementa su tensión con la polaridad

mostrada. La masa virtual también nos muestra que la tensión de salida es igual a la tensión aplicada en extremos del condensador.



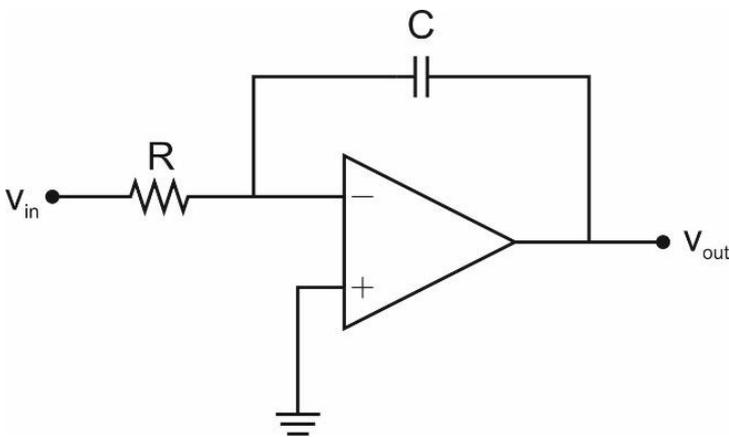
Como una corriente constante circula hacia el condensador, la carga Q se incrementa linealmente con respecto al tiempo y así equivale a una rampa negativa de tensión de salida. Al final del pulso la tensión de entrada vuelve a cero y la corriente de carga se anula. El condensador retiene su carga y la tensión de salida permanece en $-V$.



Apuntes de catedra

AMPLIFICADOR INTEGRADOR

Podemos conseguir un circuito integrador introduciendo al esquema un capacitor en la realimentación. Así la tensión de salida será la integral de la tensión de entrada. La entrada es un pulso rectangular.



Teniendo presente los principios de un amplificador operacional ideal, se sabe que toda la corriente de entrada circulará por el condensador, lo cargará y aumentará su voltaje. La masa virtual indica que toda la tensión de salida será igual a la tensión del capacitor.

Para el capacitor se cumple que:

$$i = C \frac{dV_c}{dt}$$

$$dV_c = \frac{i}{C} dt$$

Integrando se obtiene:

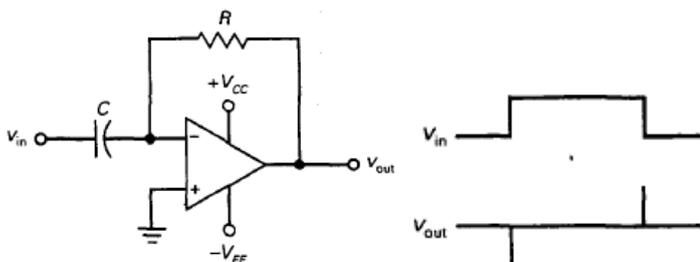
$$V_c = \int \frac{i}{C} dt = \frac{1}{C} \int i dt = \frac{1}{C} \int \frac{V_{in}}{R} dt$$

$$V_c = V_{out} = \frac{1}{CR} \int V_{in} dt$$

Malvino 6ta. Edición, Unidad 22 pág. 934

EL DIFERENCIADOR

Un **diferenciador** es un circuito que ejecuta la operación de derivación. Produce una tensión de salida proporcional a las variaciones instantáneas de la tensión de entrada respecto al tiempo. La aplicación común es la detección de flancos de pulso rectangular o para producir una salida rectangular a partir de una rampa de entrada.

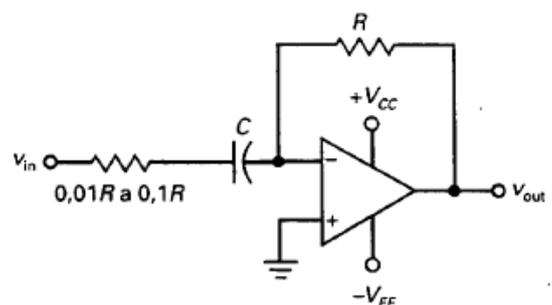


A continuación se muestra el esquema de un diferenciador con amplificador operacional. Debido a la masa virtual, la corriente del condensador pasa a través de la resistencia de realimentación, produciéndose una tensión. La corriente por el condensador es:

$$i = C \frac{dv_{in}}{dt}$$

DIFERENCIADOR REAL

El diferenciador con amplificador operacional tienen tendencia a oscilar. Para evitarlo, generalmente se incluye una resistencia con el condensador. Su efecto es limitar la ganancia de tensión de lazo cerrado en altas frecuencias, donde surge el problema de oscilación.



AMPLIFICADOR DERIVADOR

Este circuito realiza el cálculo diferencial. Produce tensiones de salida proporcionales a las variaciones instantáneas de la tensión de entrada respecto al tiempo. Se utiliza para detección de flanco de pulsos rectangulares, o para producir salidas rectangulares a partir de una rampa de entrada.

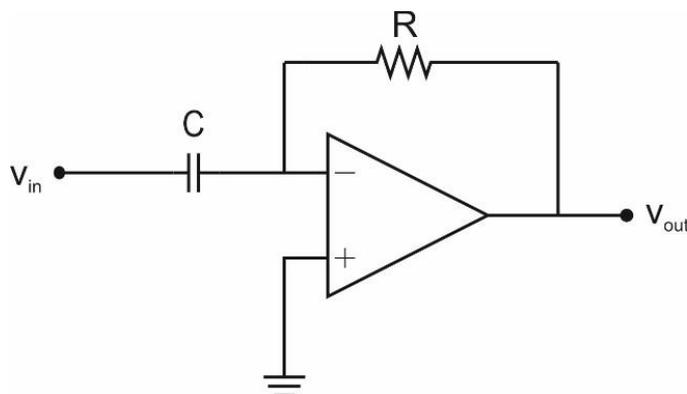
Con los supuestos del amplificador operacional ideal y de masa virtual, se sabe que:

$$i_1 = i_2$$

$$C \frac{dv_{in}}{dt} = -\frac{v_{out}}{R}$$

$$v_{out} = -RC \frac{dv_{in}}{dt}$$

Si v_{in} es una tensión de corriente continua, la salida será cero.

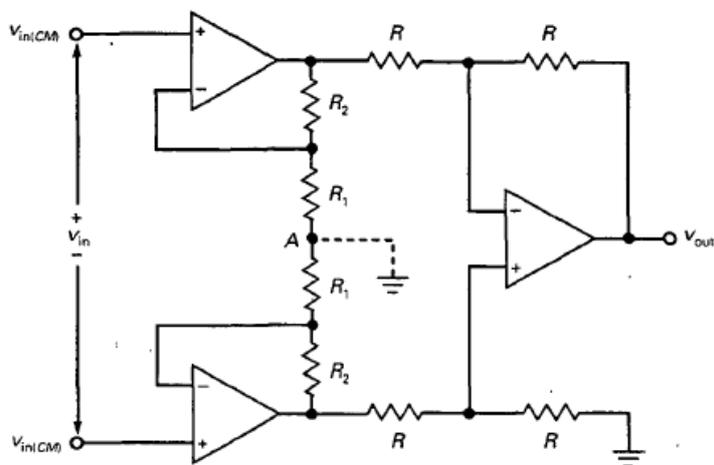


Malvino 6ta. Edición, Unidad 20 pág. 789

AMPLIFICADORES DE INSTRUMENTACIÓN

El **amplificador de instrumentación** es un amplificador diferencial optimizado para funcionar en continua. Tiene gran ganancia de tensión y alta impedancia de entrada.

AMPLIFICADOR DE INSTRUMENTACIÓN BÁSICO



Se presenta un diseño clásico utilizado por la mayoría de los amplificadores de instrumentación. La salida del amplificador operacional es un amplificador diferencial con ganancia de tensión unidad.

La primera etapa consiste en dos amplificadores operacionales que actúan como un preamplificador. En particular

es importante el **punto A**, en la unión de las dos resistencias. Este punto actúa como una masa virtual para una señal de entrada diferencial y como un punto flotante para la señal en modo común. Debido a esto, la señal diferencial se amplifica, pero la señal en modo común no.

EL PUNTO A

Para comprender la primera etapa se debe comprender el punto A. Mediante el teorema de superposición se puede calcular el efecto de cada entrada con la otra puesta a cero. Supongamos que la señal de entrada es cero, y la señal en modo común esta activa. Esta aplica la misma tensión a las entradas no inversoras, la misma tensión de salida aparece en ambos operacionales. Por lo tanto, el punto A esta flotante, y cada operacional de entrada actúa como seguidor de tensión. Como resultado, la primera etapa tiene una ganancia en modo común de: $A_{CM} = 1$.

El segundo paso consiste en reducir a cero la entrada en modo común y calcular el efecto de la señal de entrada diferencial. Debido a que la señal de entrada diferencial excita a la entrada no inversora con tensiones de entrada iguales y opuestas, la salida de un operacional será positiva y del otro negativa. De esta forma, el punto A tendrá una tensión cero respecto a masa.

falta

Malvino 6ta. Edición, Unidad 21 pág. 827

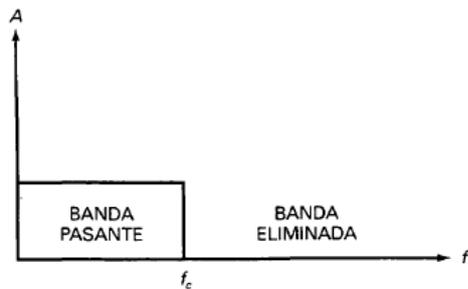
FILTROS ACTIVOS

RESPUESTA IDEAL

La respuesta en frecuencia de un filtro es la gráfica de su ganancia en tensión frente a la frecuencia. Hay cinco tipos de filtros: **pasa bajo**, **pasa alto**, **pasa banda**, banda eliminada y paso

todo. En esta sección se estudia la respuesta en frecuencia ideal para cada uno, en las siguientes se estudiará las aproximaciones para respuestas ideales.

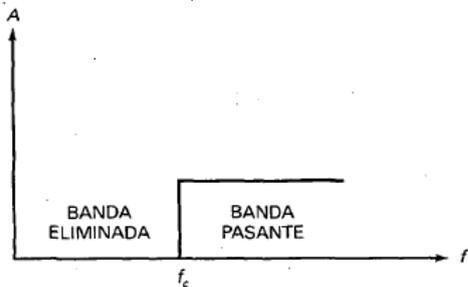
FILTRO PASO BAJO



En la siguiente figura se muestra la respuesta en frecuencia ideal o respuesta ideal para un filtro paso bajo. Este filtro deja pasar las frecuencias **desde cero hasta la frecuencia de corte** y bloquea todas las frecuencias por encima de la misma. Las frecuencias que pasan se llama **banda pasante** y las que no pasan se dice **banda eliminada**. En el medio se encuentra la **zona de transición**.

Un filtro paso bajo ideal tiene atenuación cero en la banda pasante, infinita en la banda eliminada y una transición vertical. Además, no produce desfasaje en todas las frecuencias de la banda pasante. Esto significa que mantiene la forma de una señal no sinusoidal.

FILTRO PASO ALTO



A continuación se presenta la respuesta en frecuencia ideal. Este tipo de filtro elimina todas las frecuencias desde cero hasta la frecuencia de corte y permite el paso de todas las frecuencias mayores a la frecuencia de corte.

Un filtro paso alto ideal tiene atenuación infinita en la banda eliminada, atenuación cero en la banda pasante y una transición vertical.

FILTRO PASO BANDA

Un filtro pasa banda es útil cuando se requiere sintonizar una señal de radio o televisión y en equipos de telefonía para separar comunicaciones transmitidas en un mismo medio.

La figura siguiente presenta la respuesta en frecuencia ideal de un filtro pasa banda. La respuesta ideal elimina todas las frecuencias desde cero a la frecuencia de corte inferior, permite pasar todas aquellas comprendidas entre la frecuencia de corte inferior y la superior y elimina todas las frecuencias por encima de la frecuencia de corte superior.

En un filtro pasa banda ideal la atenuación en la banda de pasante es cero, infinita en la banda eliminada y las dos transiciones son verticales.

El **ancho de banda** de un filtro paso banda es la diferencia entre la frecuencia superior e inferior de corte.

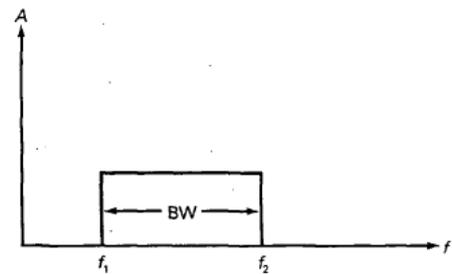
$$BW = f_2 - f_1$$

La frecuencia central o media geométrica es:

$$f_0 = \sqrt{f_1 f_2}$$

El factor Q de un filtro paso banda se define como la frecuencia central dividida entre el ancho de banda:

$$Q = \frac{f_0}{BW}$$

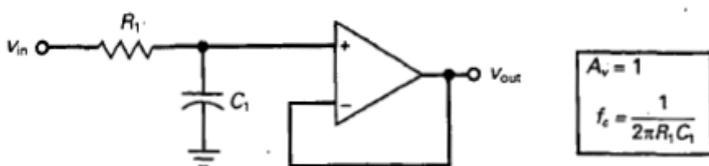


Malvino 6ta. Edición, Unidad 21 pág. 847

ETAPAS DE PRIMER ORDEN

Los filtros de primer orden o de un polo tienen solo un condensador. Por ello, únicamente pueden producir respuestas paso bajo o paso alto. Los filtros paso banda solo pueden implementarse cuando n es mayor que 1.

ETAPAS DE PASO BAJO



La siguiente figura muestra el esquema más simple para un filtro paso bajo activo de primer orden. Solo presenta un circuito de retardo RC y un seguidor de tensión. La ganancia es: $A = 1$.

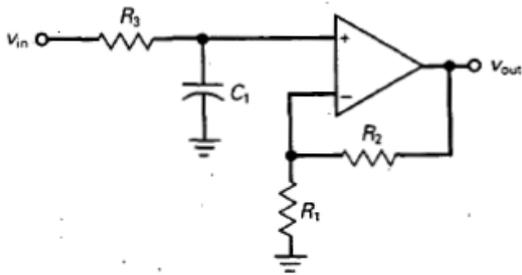
La frecuencia de corte a tres dB viene dada por:

$$f_c = \frac{1}{2\pi R_1 C_1}$$

Cuando aumenta la frecuencia por encima de la frecuencia de corte, la reactancia capacitiva disminuye y reduce la tensión en la entrada no inversora. Como el circuito de retardo $R_1 C_1$ está fuera del lazo de realimentación, la tensión de salida decae. Cuando la frecuencia se aproxima a infinito, el condensador se aproxima al corte, con lo que su tensión de entrada es cero.

A continuación se muestra otro esquema para filtro paso bajo de primer orden no inversor. Posee la ventaja de la ganancia de tensión. La ganancia por debajo de la frecuencia de corte es:

$$A = \frac{R_2}{R_1} + 1$$



$$A_v = \frac{R_2}{R_1} + 1$$

$$f_c = \frac{1}{2\pi R_3 C_1}$$

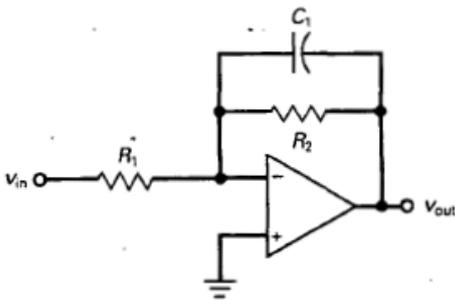
La frecuencia de corte es:

$$f_c = \frac{1}{2\pi R_3 C_1}$$

Por encima de la frecuencia de corte, el circuito de retardo reduce la tensión de la entrada no inversora. Como el circuito de retardo $R_3 C_1$ está fuera de realimentación, la tensión de salida decae a una velocidad de 20 dB por década.

Otro esquema se muestra a continuación. Para frecuencias bajas, el condensador se puede considerar como un circuito abierto y el circuito funciona como un amplificador inversor con una ganancia de:

$$A = -\frac{R_2}{R_1}$$



$$A_v = -\frac{R_2}{R_1}$$

$$f_c = \frac{1}{2\pi R_2 C_1}$$

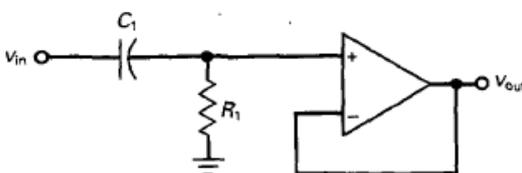
Según aumenta la frecuencia, la reactancia capacitiva disminuye y reduce la impedancia de la rama de realimentación. Esto implica una menor ganancia de tensión. Cuando la frecuencia se aproxima a infinito, el condensador entra en cortocircuito, con lo que no hay ganancia de tensión. La frecuencia de corte es:

$$f_c = \frac{1}{2\pi R_2 C_1}$$

No hay otra forma de implementar un filtro de primer orden paso bajo.

ETAPAS PASO ALTO

El esquema más sencillo de construir un filtro paso alto activo de primer orden se muestra a continuación. La ganancia de tensión es: $A = 1$.



$$A_v = 1$$

$$f_c = \frac{1}{2\pi R_1 C_1}$$

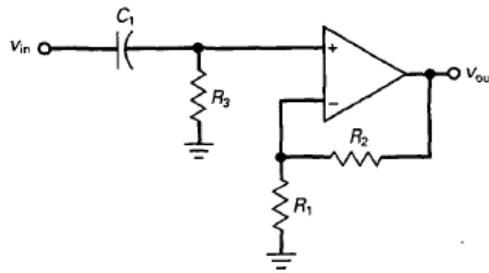
La frecuencia de corte a 3 dB viene dada por:

$$f_c = \frac{1}{2\pi R_1 C_1}$$

Cuando disminuye la frecuencia por debajo de la frecuencia de corte, la reactancia capacitiva aumenta y reduce la tensión en la entrada no inversora. Como el circuito $R_1 C_1$ está fuera del lazo de realimentación, la tensión de salida decae. Cuando la frecuencia se aproxima a cero, el condensador está abierto y su tensión de entrada es cero.

A continuación se muestra otro esquema para un filtro paso alto de primer orden no inversor. La ganancia de tensión por encima de la frecuencia de corte es:

$$A = \frac{R_2}{R_1} + 1$$



$$A_v = \frac{R_2}{R_1} + 1$$

$$f_c = \frac{1}{2\pi R_3 C_1}$$

La frecuencia de corte a 3 dB viene dada por:

$$f_c = \frac{1}{2\pi R_3 C_1}$$

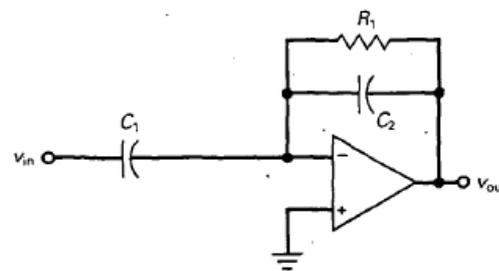
Muy por debajo de la frecuencia de corte, el circuito RC reduce la tensión en la entrada no inversora. Como el circuito de retardo $R_3 C_1$ está fuera del lazo de realimentación, la tensión de salida decae a una velocidad de 20 dB por década.

A continuación se muestra el último esquema. Para frecuencias altas, el circuito se comporta como un amplificador inversor con una ganancia de:

$$A = -\frac{X_{C2}}{X_{C1}} = -\frac{C_1}{C_2}$$

A medida que disminuye la frecuencia, la reactancia capacitiva aumenta y eventualmente reduce la señal de entrada y la realimentación. Esto implica una menor ganancia de tensión. Cuando la frecuencia se aproxima a cero, los condensadores pasan a circuito abierto y no habrá señal de entrada. La frecuencia de corte a 3 dB es:

$$f_c = \frac{1}{2\pi R_1 C_2}$$



$$A_v = -\frac{C_1}{C_2}$$

$$f_c = \frac{1}{2\pi R_1 C_2}$$

falta

U5: ACONDICIONAMIENTO DE SEÑAL

C: MONTAJES NO LINEALES

TEMAS:

- Comparador sin histéresis y con histéresis.
- Consideraciones prácticas.

Malvino 6ta. Edición, Unidad 22 pág. 879

CIRCUITOS NO LINEALES CON AMPLIFICADORES OPERACIONALES

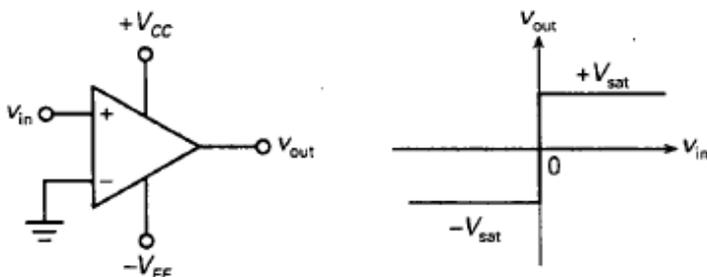
COMPARADORES: PUNTO DE CONMUTACIÓN CERO

Frecuentemente se quiere comparar una tensión con otra para ver cuál es la mayor. En esta situación un comparador puede ser la solución perfecta. Este circuito tiene dos terminales de entrada (inversor y no inversor) y una terminal de salida. Es diferente a los circuitos lineales con amplificadores operacionales, ya que existen dos estado en la salida dependiendo de si la tensión es alta o baja. Por esta razón, los comparadores son comúnmente usados como conexión entre circuitos analógicos y digitales.

CIRCUITO BÁSICO (COMPARADOR SIN HISTÉRESIS)

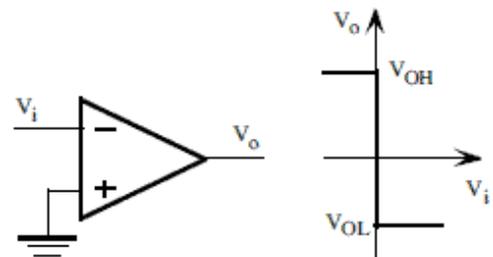
La manera más simple de construir un comparador consiste en conectar un amplificador operacional sin resistencia de realimentación, como se muestra en el siguiente esquema. Se conoce como **detector de cruce por cero**, ya que idealmente la tensión de salida conmuta de alta a baja o viceversa cuando la tensión de entrada pasa por el valor cero. Debido a la ganancia de tensión de lazo abierto, una tensión de entrada positiva provoca una saturación positiva, y una tensión de entrada negativa provoca una saturación negativa. La tensión mínima que produce saturación es:

$$v_{in (min)} = \pm \frac{V_{sat}}{A_{OL}}$$



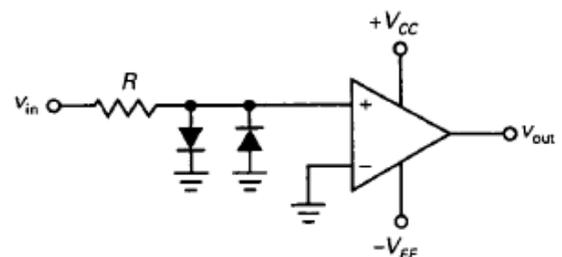
COMPARADOR INVERSOR

En un comparador inversor la entrada no inversora está a tierra y la señal de entrada se aplica en la entrada inversora del comparador. Por lo tanto, una pequeña tensión de entrada positiva produce una salida negativa máxima.



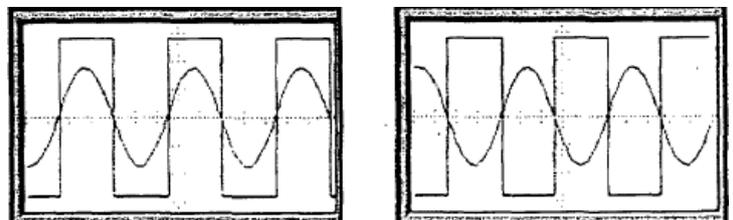
CIRCUITO FIJADOR

El **circuito fijador** consiste en dos diodos que protegen al comparador de entradas excesivas de tensión. Estos no afectan al funcionamiento del circuito mientras la tensión de entrada sea menor a $0,7 V$. Para valores superiores, uno de los diodos conducirá y mantendrá la magnitud de la tensión de entrada inversora en aproximadamente $0,7 V$.



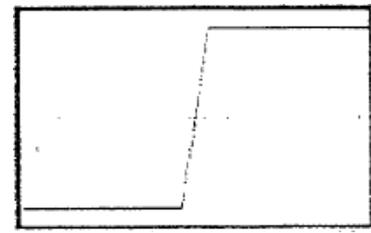
CONVERSIÓN DE ONDA SINUSOIDAL A CUADRADA

El **punto de conmutación** de los dos estados de los comparadores estudiados es cero. Por lo tanto, cualquier señal periódica que cruza por el umbral cero provoca una señal de salida cuadrada. A continuación, se muestra el ejemplo de una entrada sinusoidal por la entrada no inversora y su salida cuadrada en fase. En un comparador inversor, la salida cuadrada estará en contrafase.



ZONA LINEAL

Si el comparador tuviera una ganancia de lazo abierta infinita, la transición entre la saturación positiva y negativa sería vertical. Sin embargo, en los comparadores reales se presenta una ligera pendiente en una zona conocida como **zona lineal del comparador**.

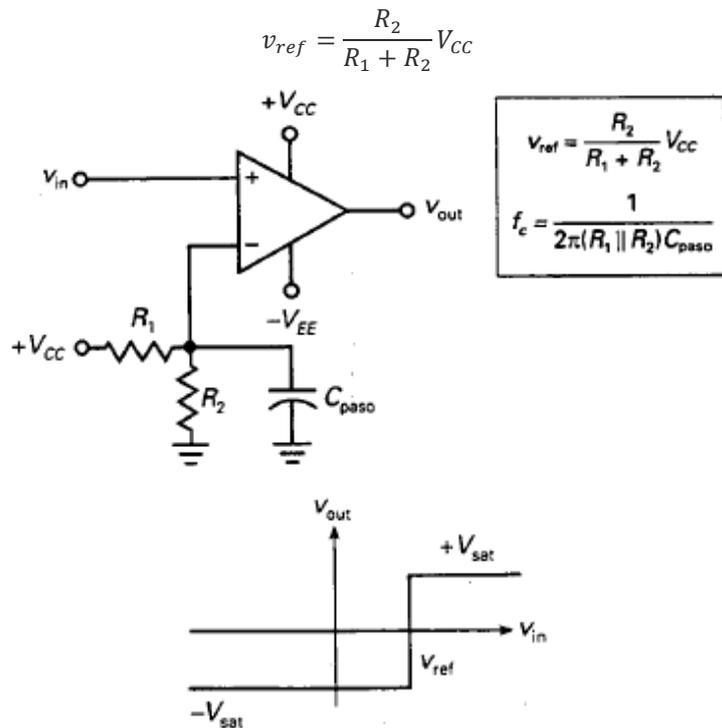


COMPARADORES: PUNTO DE CONMUTACIÓN DISTINTO DE CERO

En ciertas aplicaciones es necesario que el punto de conmutación sea diferente de cero. Polarizando alguna de las entradas se consigue desplazar dicho punto donde se desee.

VARIACIÓN DE UN PUNTO DE CONMUTACIÓN

En el siguiente esquema se aplica a la entrada inversora una tensión de referencia:



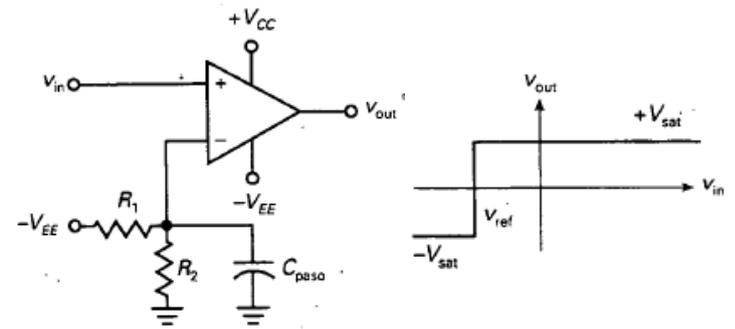
Cuando v_{in} es mayor que v_{ref} , la tensión diferencial de entrada es positiva y la tensión de salida está a nivel alto. Caso contrario, la tensión diferencial de entrada es negativa y la tensión de salida estará en bajo.

Con este propósito, generalmente se conecta un condensador de desacoplo en la entrada inversora para reducir el rizado de la fuente de alimentación y el ruido que aparece en la entrada inversora. Para que sea realmente eficaz, la frecuencia de

corte de este circuito de desacoplo debe ser mucho menor que la frecuencia de rizado de la fuente de alimentación.

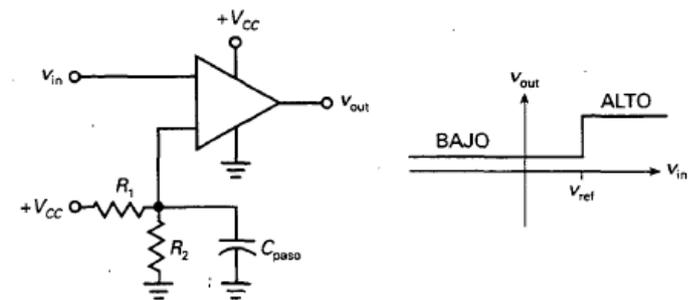
En la gráfica de transferencia se puede ver que el punto de conmutación es igual a v_{ref} . Cuando $v_{in} > v_{ref}$ la salida se satura positivamente, caso contrario lo hace negativamente.

Un comparador como este se denomina **detector de límite**, puesto que una tensión de salida positiva indica que la tensión de entrada excede un límite específico. Con diferentes valores de R_1 y R_2 se puede fijar un punto de conmutación positivo entre 0 y V_{CC} . Si se prefiere un punto de conmutación negativo, se conecta $-V_{EE}$ al divisor de tensión, esto se muestra en el siguiente esquema. En este caso, se aplica una tensión negativa de referencia a la entrada inversora.



COMPARADOR CON UNA SOLA FUENTE

Si se lleva a masa el terminal de $-V_{EE}$ como se muestra en el siguiente esquema, la tensión de salida tiene solo una polaridad. Es decir, una tensión positiva baja o alta.



COMPARADORES CON HISTÉRESIS

Si la entrada del comparador recibe una gran cantidad de ruido la salida puede ser errática cerca del punto de conmutación. Una forma de reducir sus efectos es usando un comparador con realimentación positiva. Esto provoca dos puntos de conmutación separados.

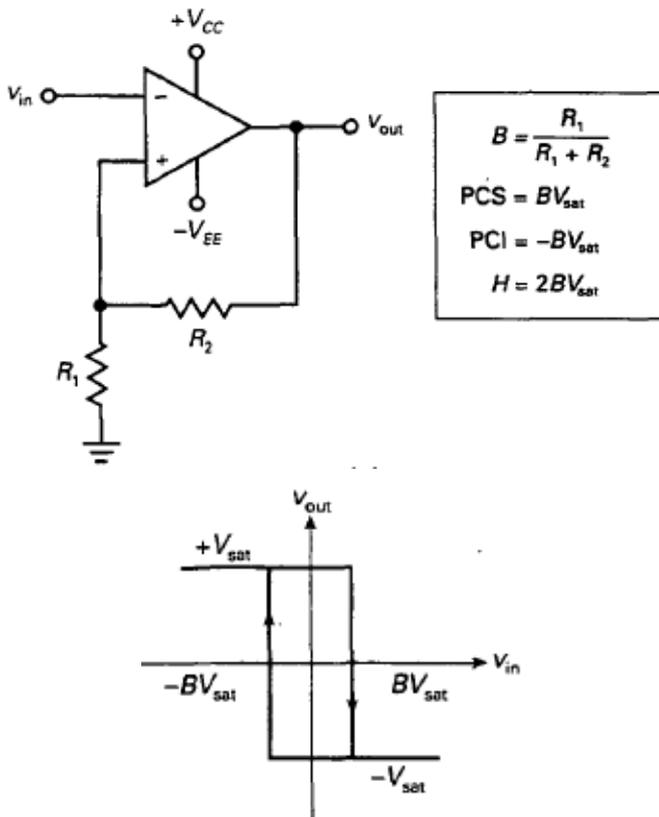


RUIDO

El **ruido** es cualquier tipo de señal indeseada que no proviene de la familia de armónicos de la señal de entrada. Motores, señales de neón, líneas de corriente, arranques, iluminación, etc., producen campos electromagnéticos que introducen ruido. El rizado de las fuentes de alimentación reguladas también. El **ruido térmico**, causado por el movimiento aleatorio de electrones dentro de una resistencia, aumenta con la temperatura y produce una distribución de ruido en casi todas las frecuencias.

DISPARADOR DE SCHMITT

La solución habitual para una señal de entrada con ruido es el uso de comparadores con el esquema siguiente. La tensión de entrada es aplicada a la entrada inversora. El **comparador con realimentación positiva** se lo conoce como **disparador de Schmitt** o **circuito biestable**.



La realimentación positiva refuerza el estado de salida existente. La cantidad de realimentación es:

$$B = \frac{R_1}{R_1 + R_2}$$

Cuando la salida está saturada positivamente, la tensión de referencia en la entrada no inversora es:

$$PCSup = v_{ref s} = BV_{sat}$$

Cuando la salida está saturada negativamente la tensión de referencia será:

$$PCInf = v_{ref i} = -BV_{sat}$$

La tensión de salida permanecerá en un estado dado hasta que la entrada exceda la tensión de referencia de ese estado.

HISTÉRESIS

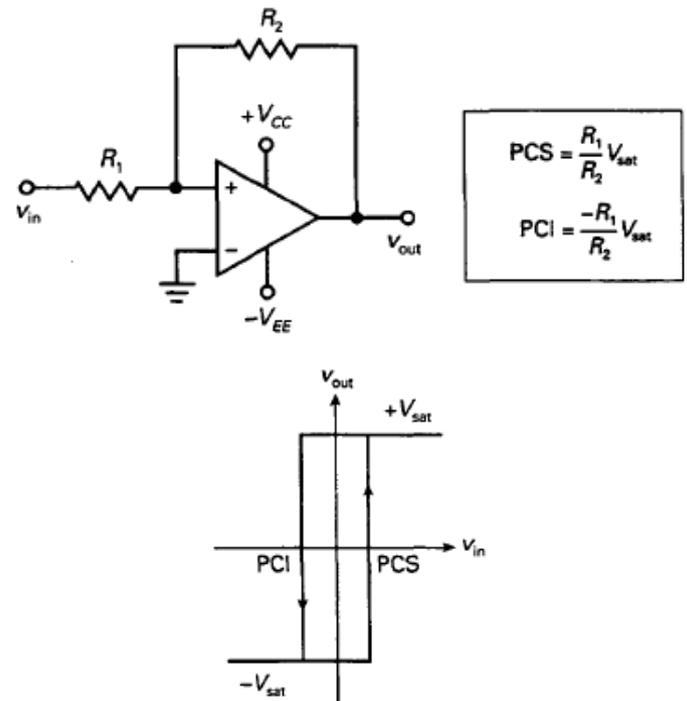
El bucle en la gráfica anterior muestra una propiedad conocida como histéresis. Existen dos puntos de conmutación. La diferencia entre estos nos da el valor de histéresis:

$$H = PCSup - PCInf = 2BV_{sat}$$

La histéresis es producto de la realimentación positiva.

CIRCUITO SIN INVERSIÓN

A continuación se muestra un disparador de Schmitt no inversor. Funciona de la siguiente manera: Suponga la salida saturada a nivel positivo. Entonces, la realimentación de tensión a la entrada no inversora es una tensión positiva, lo que refuerza la saturación positiva. De manera similar ocurre cuando la salida está saturada a nivel negativo.



Las ecuaciones para los puntos de conmutación son:

$$PCSup = \frac{R_1}{R_2} V_{sat}$$

$$PCInf = -\frac{R_1}{R_2} V_{sat}$$

Malvino 6ta. Edición, Unidad 19 pág. 744

REALIMENTACIÓN NEGATIVA

La entrada y la salida a un amplificador con realimentación negativa pueden ser tanto de tensión como de corriente. Esto

implica que hay cuatro tipos de realimentación negativa. A continuación se muestran tabulados:

Entrada	Salida	Circuito	i_{in}	z_{out}	Convierte	Relación	Símbolo	Tipo de amplificador
V	V	VCVS	∞	0	—	v_{out}/i_{in}	A_v	Amplificador de tensión
I	V	ICVS	0	0	i a v	v_{out}/i_{in}	r_m	Amplificador de transimpedancia
V	I	VCIS	∞	∞	v a i	i_{out}/v_{in}	g_m	Amplificador de transconductancia
I	I	ICIS	0	∞	—	i_{out}/i_{in}	A_i	Amplificador de corriente

• **VCVS** se denomina **fuerza de tensión controlada por tensión**. Es un amplificador de tensión ideal porque tiene ganancia de tensión estable, una impedancia de entrada infinita y de salida igual a cero.

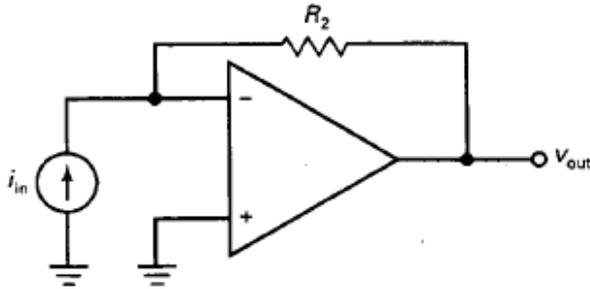
• **ICVS** se denomina **fuerza de tensión controlada por corriente** o amplificador de transimpedancia.

• **VCIS** se denomina **fuerza de corriente controlada por tensión** o **amplificador de transconductancia**.

• **ICIS** se denomina **fuerza de corriente controlada por corriente**. Es un amplificador de corriente ideal porque tiene ganancia de corriente estable, impedancia de entrada cero y de salida infinito.

EL AMPLIFICADOR ICVS

El amplificador de transimpedancia tiene una corriente de entrada y una impedancia de salida. El amplificador **ICVS** es un convertidor casi perfecto de corriente a tensión porque la impedancia de entrada y la de salida son iguales a cero.



$$v_{out} = i_{in} R_2$$

A R_2 se conoce como transimpedancia. El circuito es un convertidor de corriente a tensión. Seleccionando diferentes valores de R_2 se pueden obtener diferentes valores de conversión.

IMPEDANCIA DE ENTRADA Y SALIDA EN LAZO CERRADO

Las ecuaciones exactas son:

$$Z_{in(CL)} = \frac{R_2}{1 + A_{OL}}$$

$$Z_{out(CL)} = \frac{R_{out}}{1 + A_{OL}}$$

Siendo el denominador muy grande, las impedancias son pequeñas.

TENSIÓN DE SALIDA

La ecuación exacta es:

$$v_{out} = i_{in} R_2 \frac{A_{OL}}{1 + A_{OL}}$$

Como A_{OL} comúnmente es mayor que 10 se simplifica la ecuación a:

AMPLIFICADOR INVERSOR

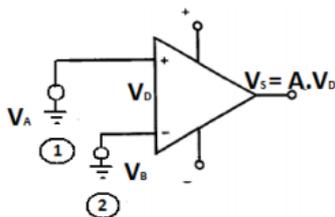
$$A_{CL} = \frac{v_{out}}{v_{in}} = \frac{R_2}{R_1}$$

falta

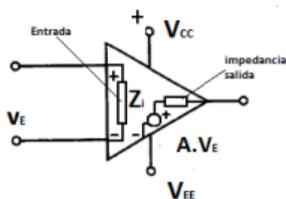
Apuntes de catedra

AMPLIFICADOR OPERACIONAL

El amplificador operacional es un dispositivo con alta impedancia de entrada y baja impedancia de salida, que presenta elevada ganancia de tensión. Consume baja corriente en comparación con los voltajes aplicados (por eso su alta impedancia $Z_i = V_i/I_i$). La entrada "+" es la entrada no inversora, es decir, su voltaje va en fase con el de salida. Por su parte, la entrada "-" es la entrada inversora y su voltaje va en contrafase al voltaje de salida. Es importante destacar que la amplificación de voltaje es sobre la diferencia de los voltajes de entrada V_d .

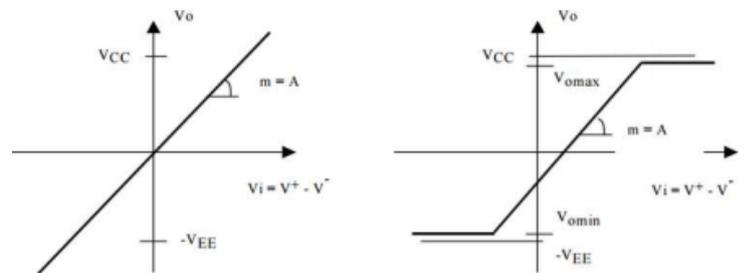


Modo Resumido



Parametro	IDEAL	REAL
Imp Entrada	∞	10^6 a $10^{15} \Omega$
Amplificación	∞	10^5 a 10^6
Imp Salida	0	75Ω

En la siguiente figura se muestra la diferencia entre la ecuación de un amplificador operacional ideal y uno real. A la derecha se aprecia que la tensión de salida no puede superar las tensiones de alimentación V_{CC} y $-V_{EE}$.



REALIMENTACIÓN NEGATIVA

Cuando el producto entre la ganancia de tensión A y la frecuencia f es $Af > 0$ se dice que el sistema está realimentado negativamente. Este tipo de realimentación estabiliza el sistema pero a expensas de la disminución de la ganancia.

REALIMENTACIÓN POSITIVA

Cuando el producto $Af < 0$ se dice que el sistema está realimentado positivamente. Este tipo de realimentación aumenta la ganancia del sistema pero lo vuelve inestable.

Particularmente cuando $Af = -1$ la ganancia en lazo cerrado nos daría infinito.

ELECTRÓNICA

U6: SISTEMAS DE ADQUISICIÓN DE DATOS A: ADAPTACIÓN DE SEÑALES ANALÓGICAS Y DIGITALES

TEMAS:

- Transmisión por lazo de corriente.
- Protecciones y aislaciones.
- Multiplexación y demultiplexación.

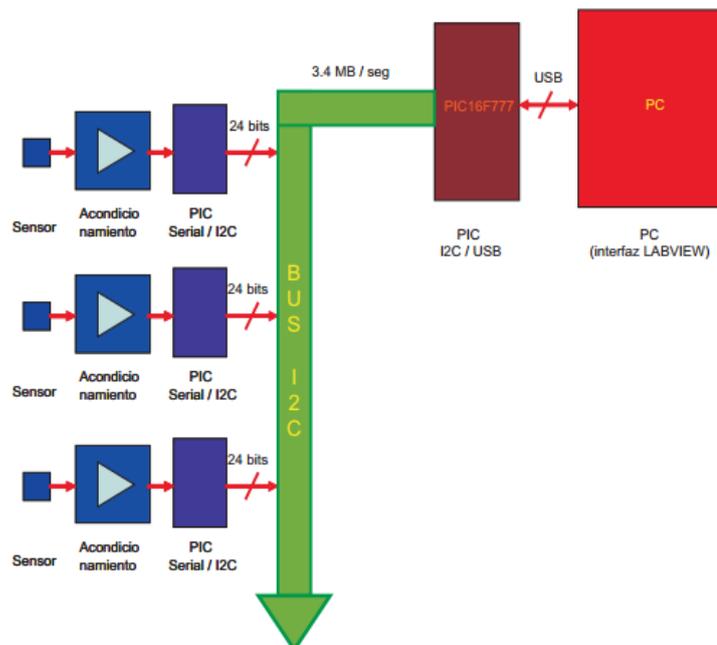
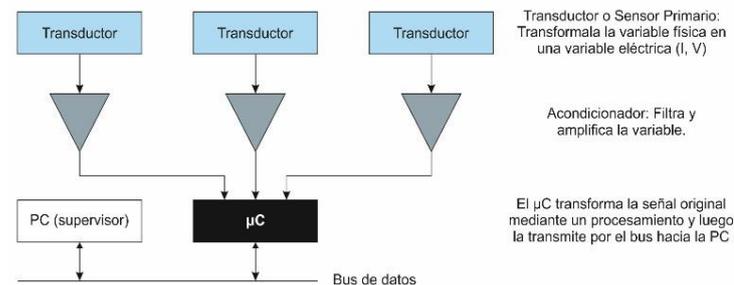
Resumen de electrónica

ADAPTACIÓN DE SEÑALES ANALÓGICAS DIGITALES

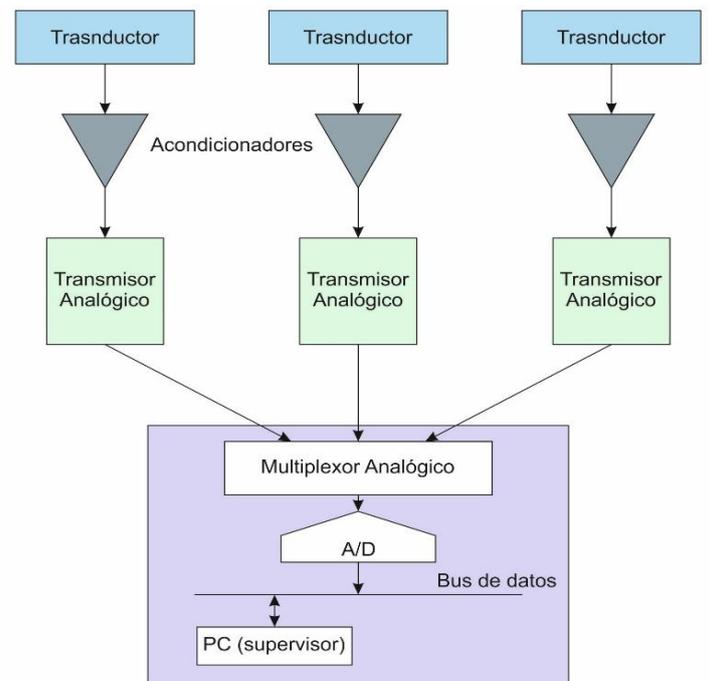
La mayor parte de la información tiene un marcado carácter analógico. Sin embargo, los procesadores trabajan con tecnología de señales digitales y por lo tanto en la implementación de control y medición se debe incluir necesariamente un sistema de conversión de señal analógica a formas digitales y de digital a analógica.

Los sistemas de adquisición de datos pueden ser distribuidos o centralizados.

SISTEMAS DISTRIBUIDOS



SISTEMA CENTRALIZADO

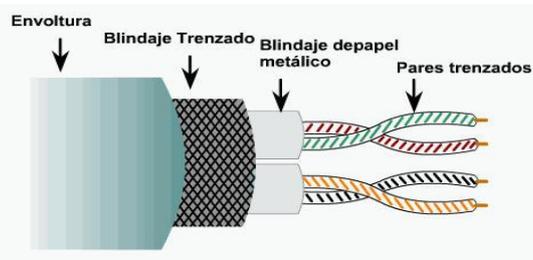


PROTECCIÓN Y AISLAMIENTO

Las señales son transportadas por lo general en cables, los cuales están sujetos a interferencias que inducen ruidos desfavorables. Las más comunes son:

• **Interferencias electromagnéticas EMI** : Causas: un motor, el sol, las auroras boreales. Solución: cable coaxial, cable par trenzado, blindaje electromagnético.



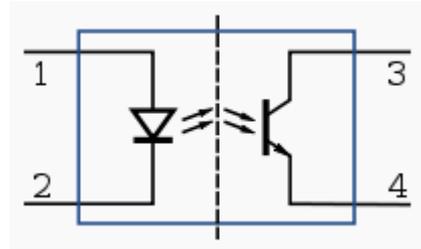


- **Interferencias electrostática ESI** : Causas: capacitor. Solución: Se coloca un mallado al cable y se lo conecta a masa.
- **Interferencia de radiofrecuencia RFI** : Causas: Ondas electromagnéticas de diferente frecuencia que las EMI. Solución: Se colocan filtros (capacitores) o choques (inductancias).
- Caídas de tensión debido a variaciones de R de los conductores: Causas: debido a variaciones de temperatura. Para cables largos puede tener gran importancia. Solución: lazo cerrado.

ASLAMIENTO

En ocasiones es necesario aislar dos etapas del circuito que se comunican entre sí. Por lo tanto, se elimina la conexión física entre los dos circuitos, se separan sus masas y se utiliza otro medio para conectarlos.

- **Optocopladores**: Usado con señales digitales. Utilizan un LED IR y un fototransistor.



- **Transformadores**: Usados con señales analógicas. Los Optocopladores no son usados en este caso porque no son lineales. Por lo tanto, se recurren a transformadores.

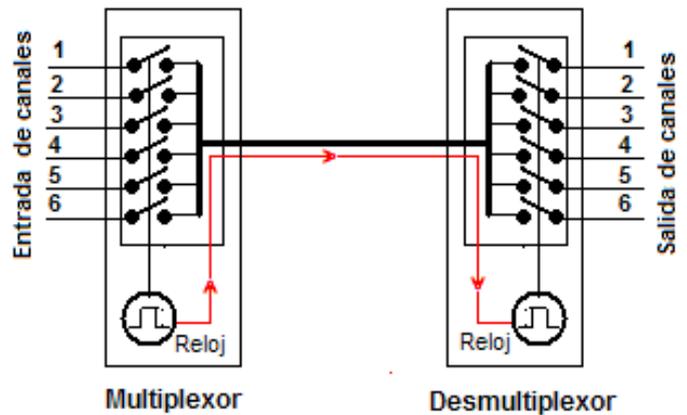
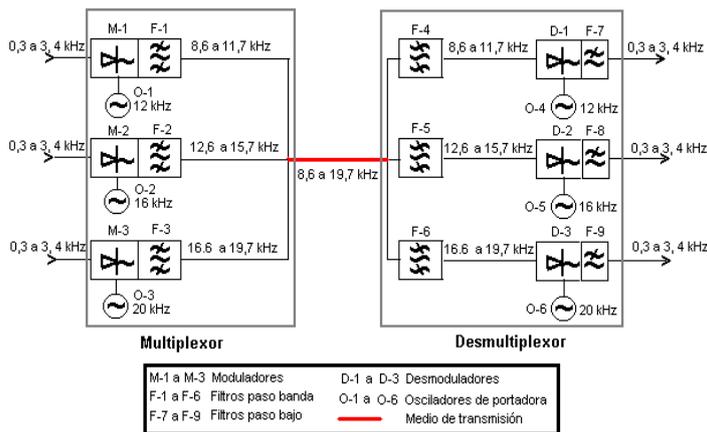
MULTIPLEXADO Y DEMULTIPLEXADO ANALÓGICO

El **multiplexado** se utiliza para la transmisión de una señal de muestreo por un canal de transmisión, enviando los datos en serie. Al multiplexor llegan los datos en paralelo y mediante un contador binario se va seleccionando cada señal

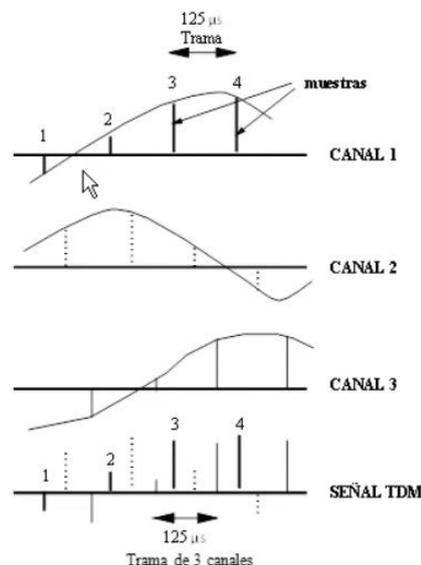
El demultiplexor, por su parte, funciona con un contador sincronizado con el del multiplexor para enviar cada segmento de información que recibe por el canal correspondiente.

MULTIPLEXADO POR DIVISIÓN DE FRECUENCIAS FDM

En este sistema cada canal transporta una señal, quizás en el mismo ancho de banda que los otros canales, sin embargo utilizando moduladores y filtros se cambian de ancho de banda para ser transportados por el medio de transmisión (conductor, aires, etc.). De esta forma, la señal de todos los canales viaja en simultáneo por el medio de comunicación, pero en distintos anchos de banda.



- Interruptor de canal
- Señal de temporización
- Medio de transmisión

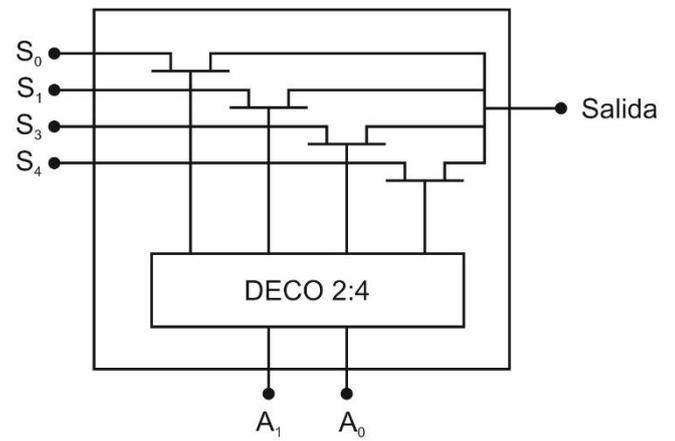


MULTIPLEXADO POR DIVISIÓN DE TIEMPO TDM

Este sistema asigna el ancho de banda completo del enlace de comunicación a cada canal durante un segmento de tiempo. Previamente las señales analógicas de cada canal son muestreadas como se observa en la imagen. Por lo tanto, el multiplexor envía por el enlace de comunicación, en secuencia y continuamente, una muestra del canal 1, luego otra del canal 2 y a continuación la del canal 3. Esto significa que la velocidad de transmisión debe ser mucho mayor a la velocidad de muestreo.

MULTIPLEXOR ANALÓGICO

Puede construirse un **multiplexor analógico** con transistores *FET*, cuya fuente es controlada por un decodificador. El decodificador activa un solo un transistor y permite pasar la señal de un canal hacia la salida.



U6: SISTEMAS DE ADQUISICIÓN DE DATOS

B: MUESTREO DE SEÑALES ANALÓGICAS

TEMAS:

- Muestreo uniforme.
- Teorema de Shannon-Nyquist.
- Cuantificación en amplitud.
- Rango dinámico.
- Resolución.

Apuntes de cátedra

INTRODUCCIÓN AL MUESTREO DIGITAL DE SEÑALES ANALÓGICA

CONVERSIÓN A/D

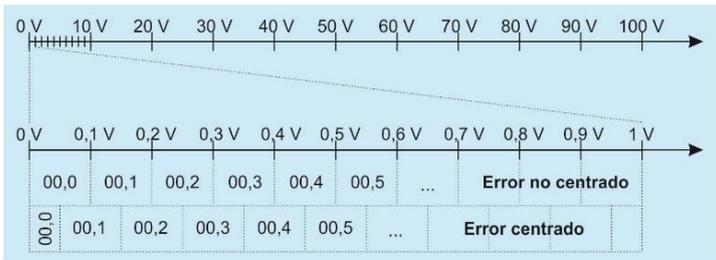
Un **tester analógico** utiliza para la medición una aguja, la cual sufre una deflexión proporcional o análoga al voltaje que mide.

En cambio, un **voltímetro digital**, supongamos uno de 3 dígitos, obtendrá un número entre 000 y 999 que representa dicho voltaje. La representación se consigue con un conversor analógico-digital A/D.

El voltaje real puede tomar infinitos valores, pero el voltímetro digital solo puede representarlo con alguna de las 1000 combinaciones (000 – 999), esto introduce un error de cuantificación.

Por ejemplo, supongamos un voltaje en un rango de 0 a 10 V. El voltímetro digital podrá marcar desde 0,00 a 9,99 con incrementos de 0,01 V. En este caso, el voltaje debe variar al menos 10 mV para que el voltímetro registre tal variación. Esto es el **error de cuantificación**. Si el voltímetro se coloca en el rango de 0 a 100 V, el error será de 100 mV. Entonces, se observa que a mayor rango mayor error.

Se debe destacar que el error puede estar centrado o no. Como se observa en la imagen siguiente, el error no centrado asigna 00,0 al rango 0 – 100 mV, en cambio el error centrado asigna el mismo valor al rango 0 – 50 mV. A pesar de que los incrementos son iguales para los dos sistemas (100 mV), el segundo tiene la mitad de error de cuantificación (50 mV).

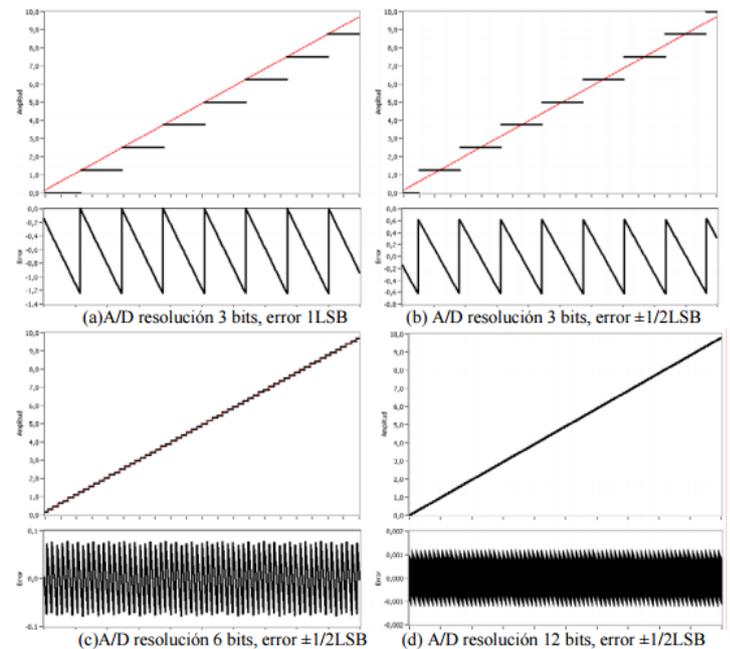


RESOLUCIÓN

Los conversores A/D que utilizan los μP trabajan en sistema binario no decimal. La cantidad de combinaciones para representar señales analógicas será 2^N , siendo N el número de bits del conversor A/D conocido como **resolución**. En equipos comerciales la resolución es de 6 – 7 bits en osciloscopios

digitales, 8 en telefonía, 10 – 12 en placas industriales, 16 – 18 en placas de audio y 24 en instrumentos de laboratorio.

Por ejemplo, un conversor A/D de 3 bits y un rango 0 – 10 V, el incremento será de $10/2^3 = 1,25 V$. Para el sistema de error no centrado el error será de 1 LSB (bit menos significativo) o 1,25 V, y para el sistema centrado será $\pm 1/2 LSB$ o 0,625 V para error centrado. Se observan las respuestas para conversores A/D para 3, 6 y 12 bits:



Para aprovechar la resolución de un A/D y obtener una buena representación de la señal analógica se debe hacer coincidir el rango de la señal con el rango del A/D.

FRECUENCIA DE MUESTREO

La manera usual de digitalizar una señal analógica para su representación en un sistema digital es mediante conversiones A/D a intervalos regulares de tiempo. Esto se conoce como **muestreo periódico**. Como resultado se obtiene una sucesión de valores, que suelen almacenarse en memoria como un vector o **array**.

El intervalo entre muestras se conoce como **periodo de muestreo** T_s . La **frecuencia de muestreo** es $f_s = 1/T_s$ y se mide

en muestras por segundo (Sps). Mientras mayor sea la frecuencia de la señal, mayor deberá ser la frecuencia de muestreo para una representación real. El **teorema de Nyquist-Shannon** establece que la frecuencia de muestreo debe ser al menos dos veces el ancho de banda de la señal de interés:

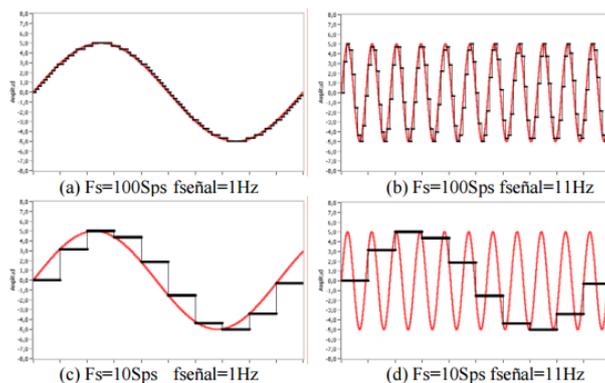
$$f_s \geq 2 \cdot BW$$

El **ancho de banda BW** es la diferencia entre la máxima y la mínima frecuencia del espectro de la señal.

Los A/D comerciales puede trabajar a frecuencias de muestreo desde los 10 Sps para multímetros, hasta varios $GSps$ para osciloscopios.

En la siguiente imagen se muestran 4 casos. En los dos inferiores a pesar de haber distinta frecuencia de señal, la señal muestreada es idéntica.

La señal muestreada se representa constante durante un periodo de muestreo, hasta la obtención de una nueva muestra. Otra representación supone que la señal muestreada adopta los valores de la señal original en los instantes de muestreo el resto del tiempo vale 0.



PALCAS DAQ - ARQUITECTURAS BÁSICAS

Una **placa de adquisición de datos DAQ** es una placa dedicada principalmente a la **conversión de múltiples señales analógicas a digitales**, con funciones "puesta en rango", temporización y memoria para un correcto muestreo. También dispone de entradas y salidas digitales con propósito de sincronización, captación de eventos, temporización, activación de salidas, selección de canales externos, etc. Pueden controlar además salidas analógicas (conversión D/A).

ELEMENTOS BÁSICOS PARA UN CANAL

- Amplificador de instrumentación: Encargado de poner en rango la señal analógica.
- Conversor A/D .

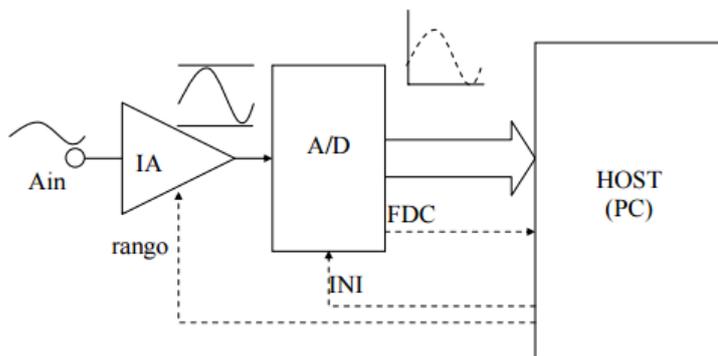


Figura 2.3 Sistema de conversión A/D básico

Paso para operar la placa desde el Host (PC):

- Dar la señal de INI al A/C .
- Esperar señal de FDC .
- Leer el valor salida del A/D .
- Alojarse el valor en la memoria, escribirla en el disco, mostrarla en la pantalla o procesarla directamente.
- Esperar hasta que haya transcurrido el tiempo establecido como periodo de muestreo T_s , desde el momento que se ejecutó el paso 1.
- Repetir desde el paso 1 hasta haber capturado la cantidad de muestras deseadas o hasta finalizar proceso.

Este modo de trabajo se conoce como **programmed input output** solo se utiliza cuando T_s es grande (1 segundo aprox.). Si

T_s es chico la PC debería estar dedicada enteramente a la adquisición de muestras, y aun así podría resultar insuficiente. Además el SO Windows, puede realizar un muestreo no periódico.

Para asegurar la periodicidad del muestreo y aliviar al procesador se utiliza una técnica denominada **DMA (acceso directo a memoria)**, que virtualmente conecta el A/D con la RAM de la PC sin intervención de su μP , sino a través de un controlador especial denominado controlador DMA .

Además, las placas DAQ cuentan con un rango de entrada programable. Entonces, una placa DAQ para un canal comprende:

- Amplificador de instrumentación de ganancia programable $PGIA$, que se encarga de poner en rango la señal analógica.
- Conversor A/C .
- Una base de tiempo BT , es un reloj generador de pulsos.
- Divisor de frecuencia programable $DivFrec$. Recibe de la entrada los pulsos de la BT y da a la salida una frecuencia menor f_s .
- Una memoria $FIFO$ (first in first out), como buffer para asegurar la continuidad y la periodicidad del muestreo.
- Registros de configuración, para guardar los valores de f_s , ganancia del $PGIA$ (rango), número de muestras tomadas, etc.

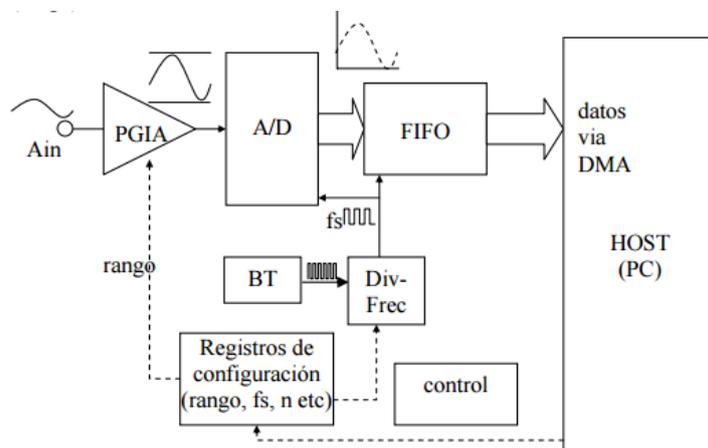


Figura 2.4. Placa DAQ de un canal, con sistema DMA

Pasos para operar la placa:

- Establecer frecuencia de muestreo f_s (debe ser menor a la soportada por la placa).
- Establecer el rango de la señal de entrada.
- Establecer la cantidad de muestras.
- Establecer el evento que iniciará el muestreo (no disponible para esta placa).

Cuando se produce el evento disparador, por cada pulso de reloj de muestreo se produce una conversión A/D y se almacena en la $FIFO$ hasta ser enviado a la RAM mediante DMA .

MUESTREO MULTICANAL

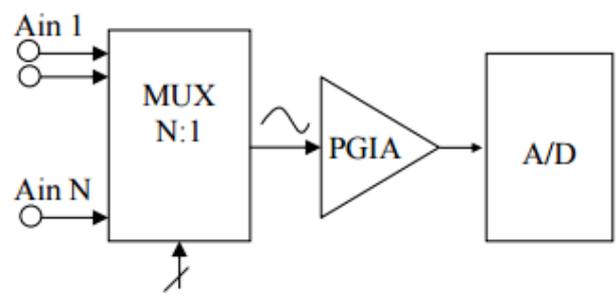
El **muestreo multicanal** se da cuando se quiere digitalizar más de una señal en un mismo sistema. Se pueden presentar distintas situaciones:

- Recolección automatizada de datos puntuales. Cuando no existe una estrecha relación temporal entre las señales, o estas evolucionan de manera lenta. Por ejemplo, la lectura de sensores de temperatura, presión, humedad, velocidad del viento en una estación meteorológica.
- Muestreo multicanal propiamente dicho. Cuando hay una relación temporal entre señales y son rápidas. Por ejemplo: señales de un sismógrafo, medición del factor de potencia de una maquina eléctrica.

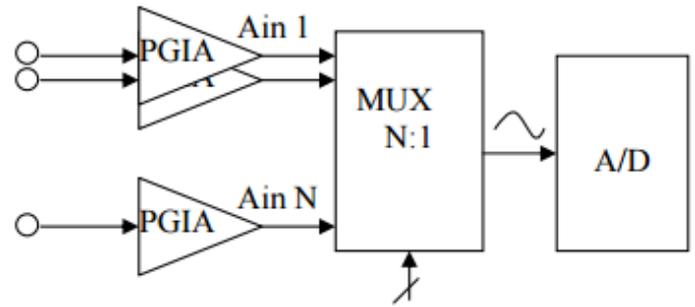
En ambos casos se puede tratar de señales con rangos de amplitudes semejantes o dispares. El segundo caso añade una complicación adicional y se suele evitar.

Se puede utilizar un sistema de múltiples conversores A/D . Sin embargo, también se puede usar un multiplexor analógico de N canales $MUX N:1$ para conectar de manera sucesiva cada canal con el conversor A/D . Según las prestaciones de la placa esto puede resolverse de distintas formas:

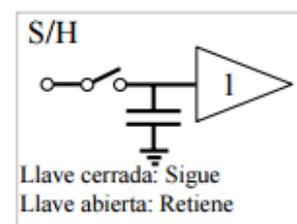
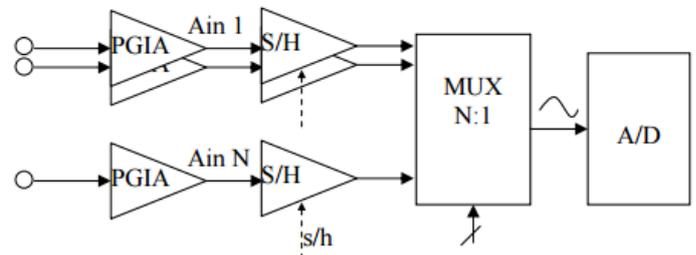
- Un $MUX N:1$, un $PGIA$ con N rangos. Las muestras de $A_{in 1}, A_{in 2}, \dots, A_{in N}$ no corresponden a un mismo instante. Además, como hay un único $PGIA$, si bien puede cambiar de rango para cada canal, existe un tiempo de estabilización cada vez que cambia su rango. Por este motivo es conveniente que los canales ya estén acondicionadas a un mismo rango.



- Un $MUX N:1$, con $PGIA$ por canal. Con este conexionado se soluciona el problema de la disparidad de rangos. Las muestras de $A_{in 1}, A_{in 2}, \dots, A_{in N}$ no corresponden a un mismo instante.



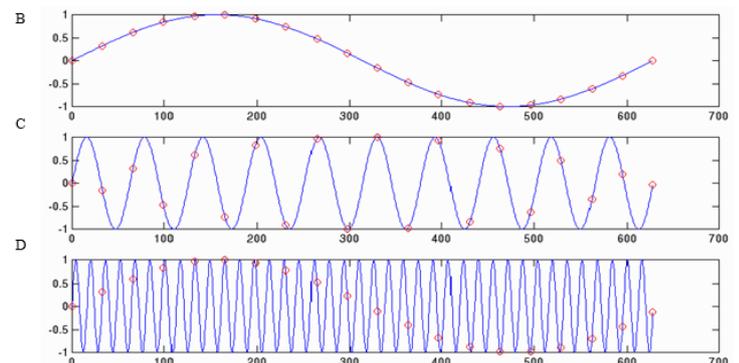
- Un $MUX N:1$, con $PGIA$ y S/H por canal. Las placas de mayor performance incorporan un circuito S/H (sample and hold o seguimiento-retención) por cada canal, de manera tal que en el instante en que se quiere tomar la muestra de los N canales se ponen todos los S/H en modo hold simultáneamente.



Apuntes de catedra

TEOREMA DEL MUESTRO O DE NYQUIST-SHANNON

El muestreo periódico de una señal analógica se consigue cuando se toman mediciones en intervalos iguales de tiempo. Es evidente que si la frecuencia de muestreo es baja, se perderá detalle de la señal original y el muestreo no será una representación fiel de la señal original. Hasta puede llegar a confundirse la señal muestreada con una señal de frecuencia diferente como se muestra en la siguiente imagen.



El **teorema del muestreo o de Nyquist-Shannon** establece que la frecuencia mínima de muestreo necesaria para evitar el aliasing debe ser:

$$f_m > 2 \cdot BW = 2 \cdot (f_{max} - f_{min})$$

Para demostrar el teorema se requieren conceptos de series de Fourier y trigonometría.

CONCEPTOS BÁSICO DE SERIES DE FOURIER

Una función periódica en el tiempo $f(t)$, con periodo T , puede ser representada como una sumatoria de funciones senoidales del tipo:

$$f(t) = c_0 + c_1 \cos(2\pi \cdot f t + \sigma_1) + c_2 \cos(2\pi \cdot 2f t + \sigma_2) + c_3 \cos(2\pi \cdot 3f t + \sigma_3) + \dots$$

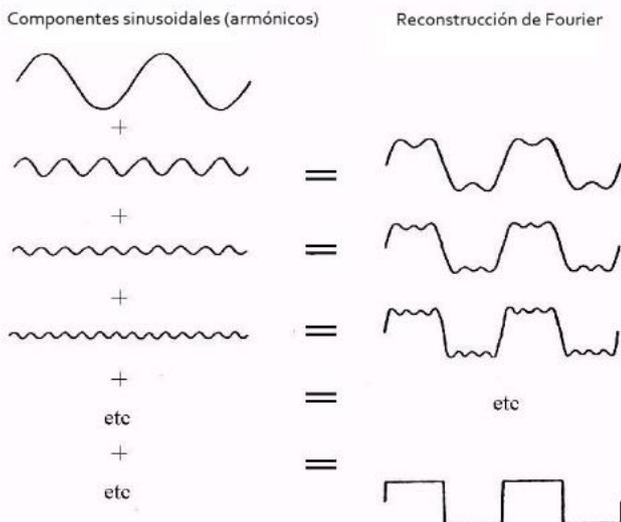
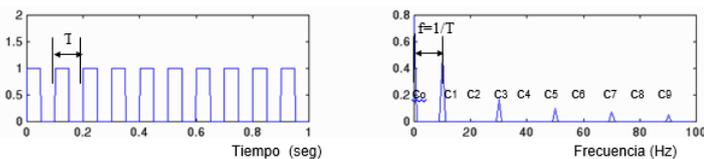
$$f(t) = \sum_{k=0}^{\infty} c_k \cos(2\pi \cdot k f t + \sigma_k)$$

Esta función es una serie de componentes cosenoidales de amplitud c_k , fase σ_k y frecuencia kf . Se conoce como **serie de Fourier**.

Un **diagrama espectral** o **espectro de frecuencia de la señal** es una representación amplitud c_k - frecuencia kf . La componente c_0 presenta $f = 0$, es decir es una componente de continua.

La señal analógica a muestrear, en caso de ser **periódica** tendrá un espectro que será una suma de componentes senoidales de frecuencias espaciadas a intervalos $f = 1/T$ o una integral de componentes senoidales de frecuencias infinitamente próximas entre sí.

El ejemplo a continuación es para una onda cuadrada. El diagrama de espectro muestra una ley $c(f) = 1/f = T$ pero solo con sus componentes de amplitudes impares, las componentes pares valen cero.



El espectro es teóricamente infinito, lo que implica un ancho de banda infinito. Sin embargo, las señales reales ocupan un ancho de banda finito.

En caso de ser una **señal no periódica**, en vez de ser una sumatoria de componentes espaciadas a intervalos $1/T$, se tiene una integral ($T = \infty$, espaciado nulo). La función $c(f)$ se calcula mediante transformada de Fourier. Aun así, ocuparan una banda finita de frecuencia.

Para la demostración del teorema nos interesa en particular el espectro de la función **impulso repetitivo**, ya que la señal obtenida como muestreo periódico de una señal analógica equivale al producto de dicha señal por la función impulso repetitivo.

La **función impulso** (no repetitivo) $d(t_1)$ es aquella que vale 1 en $t = t_1$ y 0 para $t \neq t_1$.

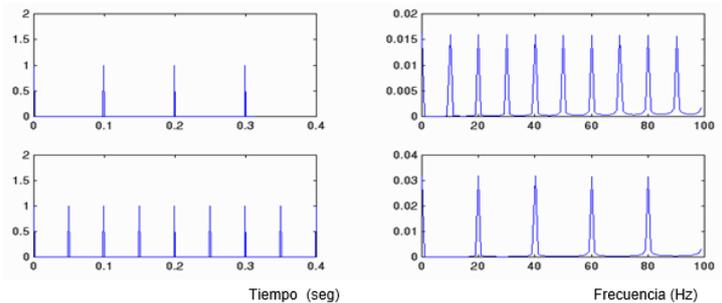
La **función impulso repetitivo** es $dr(t) = d(0) + d(T) + d(2T) + \dots + d(nT)$, es decir impulsos espaciados por tiempo T . El espectro de esta señal es:

$$Dr(f) = k[d(0) + d(f) + d(2f) + \dots + d(nf)]; k = cte.$$

La función impulso repetitivo se puede expresar por Fourier (sin considerar la fase), como:

$$dr(t) = k[1 + \cos(2\pi \cdot f t) + \cos(2\pi \cdot 2f t) + \dots]$$

En la siguiente imagen se representa la función impulso repetitivo para 10 y 20 Hz.



Al muestrear una señal analógica $f(t)$ obtendremos una señal $f^*(t)$, la cual equivale al producto:

$$f^*(t) = f(t) \cdot dr(t)$$

Reemplazando se obtiene:

$$f^*(t) = [c_0 + c_1 \cos(2\pi \cdot f_a t + \sigma_1) + c_2 \cos(2\pi \cdot 2f_a t + \sigma_2) + \dots] \cdot k[1 + \cos(2\pi \cdot f_m t) + \cos(2\pi \cdot 2f_m t) + \dots]$$

La frecuencia f_a es la frecuencia de la señal y f_m la de muestreo. Aplicando distributiva e identidades trigonométricas se obtiene una serie de componentes cosenoidales cuyas frecuencias serán:

$$f_a \pm f_m; f_a \pm 2f_m; f_a \pm 3f_m \dots$$

$$2f_a \pm f_m; 2f_a \pm 2f_m; 2f_a \pm 3f_m \dots$$

$$3f_a \pm f_m; 3f_a \pm 2f_m; 3f_a \pm 3f_m \dots$$

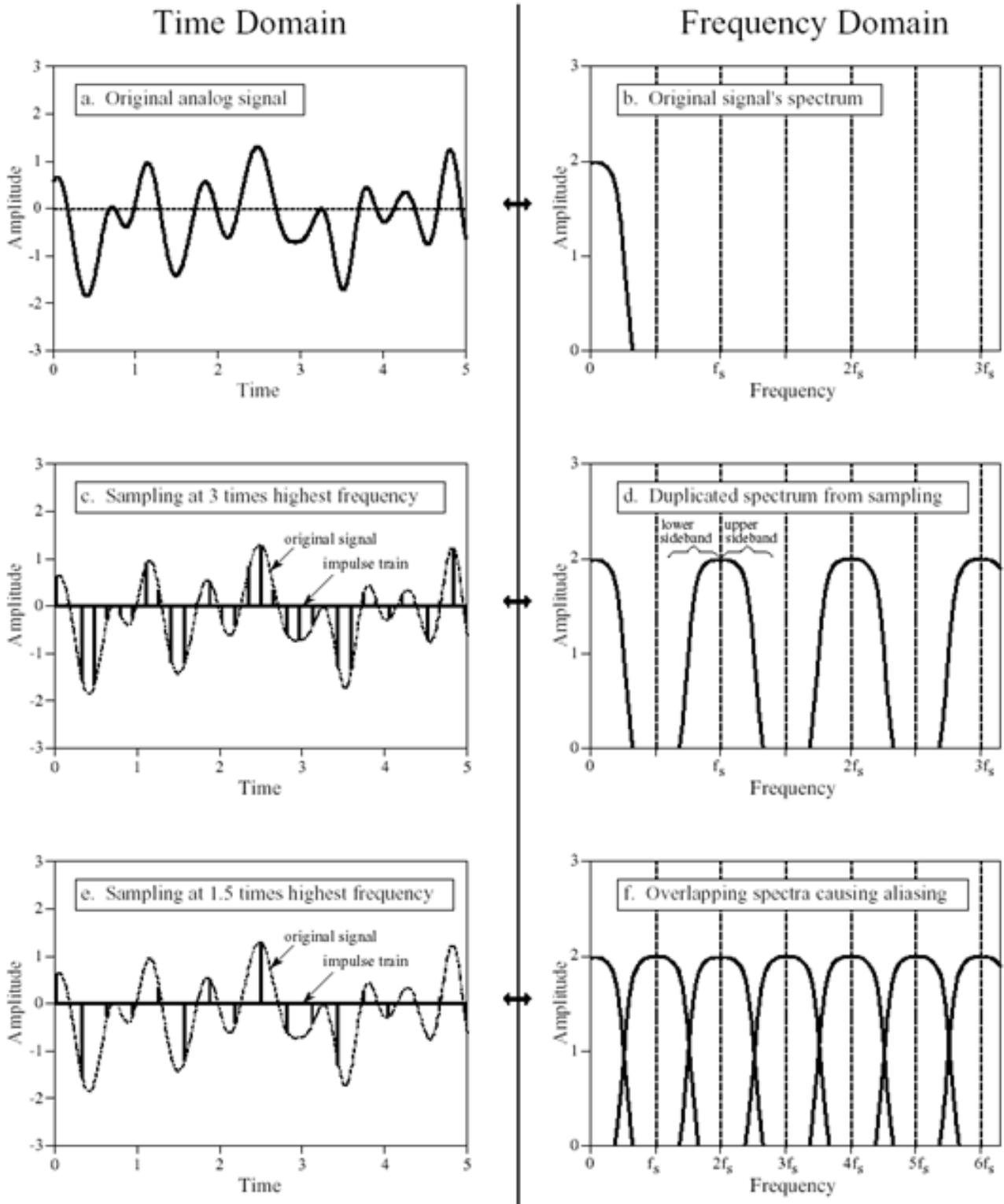
...

Agrupados de la siguiente manera:

$$(f_a \pm f_m; f_a \pm 2f_m; f_a \pm 3f_m) \cdot (2f_a \pm f_m; 2f_a \pm 2f_m; 2f_a \pm 3f_m) \cdot (3f_a \pm f_m; 3f_a \pm 2f_m; 3f_a \pm 3f_m)$$

Cada grupo reproduce el espectro de la señal $f(t)$ y su reflejo sobre las componentes $(f_m; 2f_m; 3f_m; \dots)$. El mismo análisis es válido para funciones no periódicas.

En la siguiente imagen se ilustra la señal a muestrear y su espectro, la señal muestreada a una frecuencia alta y finalmente la señal muestreada a una frecuencia baja con su efecto de aliasing.



U6: SISTEMAS DE ADQUISICIÓN DE DATOS

C,D: CONVERTOR C/A Y A/C

TEMAS:

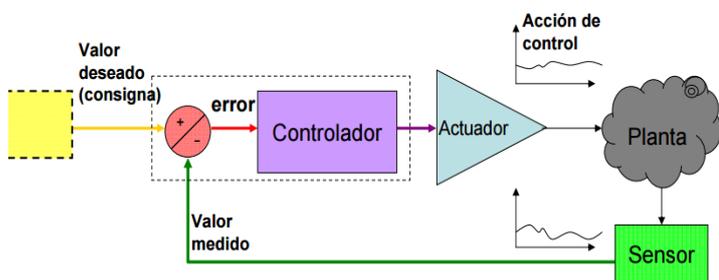
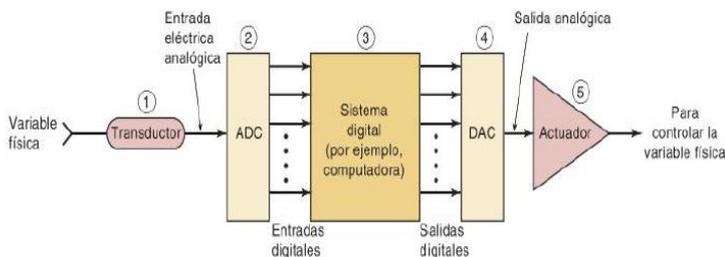
- Principio de funcionamiento.
- Características.
- Tipos y aplicaciones.

Tocci 10ª Ed: u.11 pág. 718

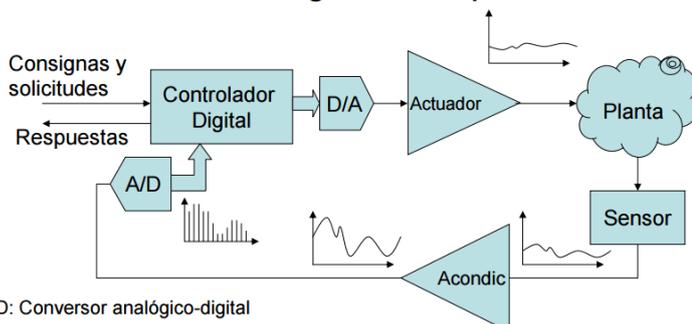
INTERFASE CON EL MUNDO ANALÓGICO

INTRODUCCIÓN

Un **valor digital** puede ser 0 o 1. Estas cantidades se representan en rangos de voltajes: para *TTL* 0 – 0,8 V para el primero y 2 – 5 V para el segundo. En cambio, una **cantidad analógica** puede tomar cualquier valor en un rango continuo de valores. La mayoría de las variables físicas son analógicas por naturaleza, pero los sistemas digitales realizan sus operaciones internas mediante operaciones digitales. Por lo tanto, cualquier información que deba introducirse a un sistema digital debe ser transformada a un formato digital. Cuando un sistema digital como un *PC* va a ser utilizado para monitorear un proceso físico se debe distinguir la naturaleza digital de la computadora y la analógica del proceso físico. El diagrama siguiente ilustra este proceso y sus cinco elementos involucrados.



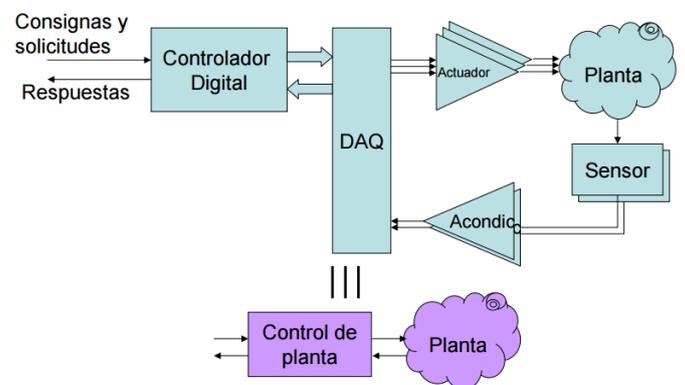
Automatización digital de un proceso SISO



A/D: Conversor analógico-digital
D/A: Conversor digital-analógico

SISO: Single Input, Single Output

Automatización digital de un proceso MIMO



MIMO: Multiple Input, Multiple Output

- **Transductor:** Generalmente las variables físicas no son una cantidad eléctrica, por lo tanto se utiliza este dispositivo para transformarla. Puede ser proporcional a una corriente o voltaje. Ejemplos: termistor, fotocelda, fotodiodo, medidor de flujo, transductor de presión y tacómetro.

- **Convertidor A/D:** La señal eléctrica analógica se debe convertir en una señal digital para ser interpretada por la *PC*.

- **Computadora:** Recibe la señal digital y la procesa de acuerdo con un programa de instrucciones. Envía una señal de salida para modificar la variable física de alguna manera.

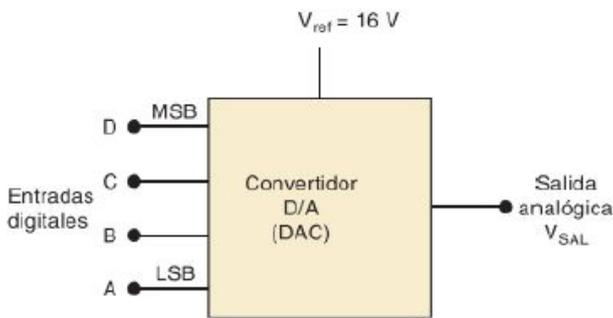
- **Convertidor D/A:** Recibe la salida digital de la computadora y la transforma en un voltaje o corriente análogo proporcional.

- **Actuador:** La señal analógica se conecta a un dispositivo o circuito que sirve como actuador para controlar la variable física.

Como conclusión se puede decir que los convertidores *A/D* y *D/A* sirven como interface entre un sistema digital y el mundo analógico.

CONVERSIÓN D/A

La **conversión D/A** es el proceso de convertir un valor representado en código digital (binario) en un voltaje o corriente proporcional. A continuación se muestra el símbolo para cuatro bits.



D	C	B	A	V_{SAL}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Presenta una entrada para el voltaje de referencia V_{ref} , utilizada para determinar la salida a escala completa o valor máximo que puede producir el convertidor. Las entradas digitales A, B, C y D derivan del registro de salida del sistema digital. $2^4 = 16$ números binarios distintos representados por cuatro bits como se puede ver en la tabla. Para cada número de entrada existe un solo voltaje de salida. En este caso en particular los valores binarios coinciden con los valores representados, pero puede no ser así. La misma idea vale si fuera un convertidor para valores de corriente.

En general:

$$Salida\ analógica = K \times entrada\ digital$$

SALIDA ANALÓGICA

Estrictamente la salida de un conversor D/A no es una cantidad analógica ya que puede tomar valores discretos. Para acercarnos a una señal analógica se utilizan más bits de entrada.

PESOS DE ENTRADA

Cada entrada digital contribuye con una cantidad distinta para la salida analógica. En la tabla siguiente se puede ver las contribuciones de cada entrada digital. Se observa que están ponderadas de acuerdo a su posición en el número binario. El bit menos significativo (izquierda) tiene menor ponderación que los bits de su derecha. Por lo tanto, podemos considerar a V_{sal} como una suma ponderada de entradas digitales.

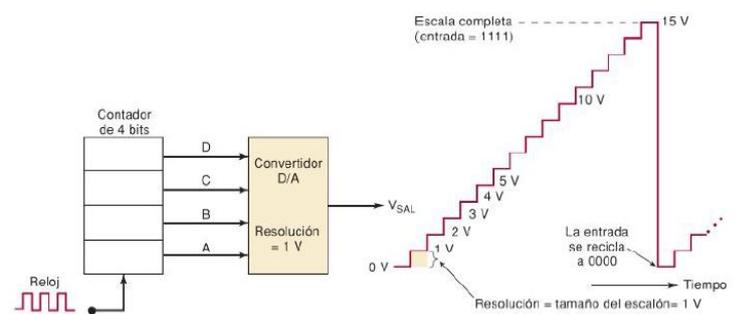
D	C	B	A	V_{SAL} (V)
0	0	0	1	→ 1
0	0	1	0	→ 2
0	1	0	0	→ 4
1	0	0	0	→ 8

RESOLUCIÓN

La **resolución** de un convertidor D/A se define como el cambio más pequeño que puede ocurrir en la salida analógica como resultado de un cambio en la entrada digital. En el ejemplo anterior es de 1 V ya que V_{sal} se modifica de a 1 V . La resolución es siempre igual a la ponderación del bit menos significativo y también se conoce como **tamaño de escalón**. Esto se ilustra en el siguiente ejemplo, en el cual un contador binario de cuatro bits alimenta la entrada del convertidor D/A . La salida de este es tipo escalera con $2^N = 16$ con resolución de 1 V .

La resolución en definitiva es lo mismo que el factor de proporcionalidad en la ecuación:

$$Salida\ analógica = K \times entrada\ digital$$



CIRCUITOS CONVERTIDORES D/A

Existen muchos métodos y circuitos para realizar una operación D/A . Solo se verán algunos esquemas básicos ya que no es importante conocer todos los esquemas, debido a que los convertidores D/A están disponibles como CIs que no requieren demasiado conocimiento del circuito interno.

A continuación se muestra un circuito básico de cuatro bits. Las entradas binarias son A, B, C y D que asumen valores en el rango $0 - 5\text{ V}$. El amplificador operación se emplea como amplificador sumador, el cual produce una suma ponderada de los voltajes de entrada. Este multiplica cada voltaje de entrada por el

cociente entre la resistencia de retroalimentación R_f y la correspondiente resistencia de entrada R_{Ent} . Estas últimas van de 1 a $8\ \Omega$, por lo tanto a medida que aumenta la resistencia, el voltaje de cada rama se atenúa. Por lo tanto, la salida del amplificador puede expresarse como:

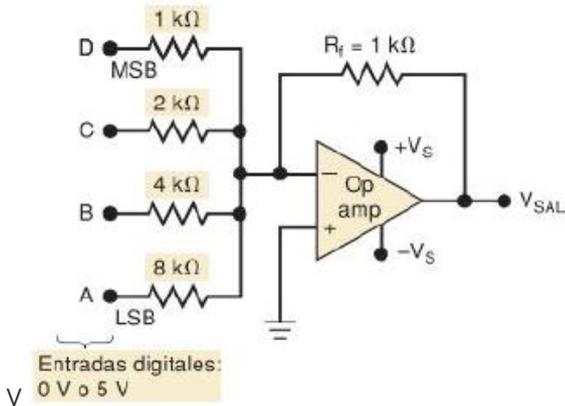
$$V_{sal} = - \left(V_D + \frac{1}{2} V_C + \frac{1}{4} V_B + \frac{1}{8} V_A \right)$$

El símbolo menos se debe a que el amplificador sumador es un amplificador inversor de polaridad. La salida del mismo es un

voltaje analógico igual a la suma ponderada de las entradas digitales. Esto se resume en la tabla siguiente.

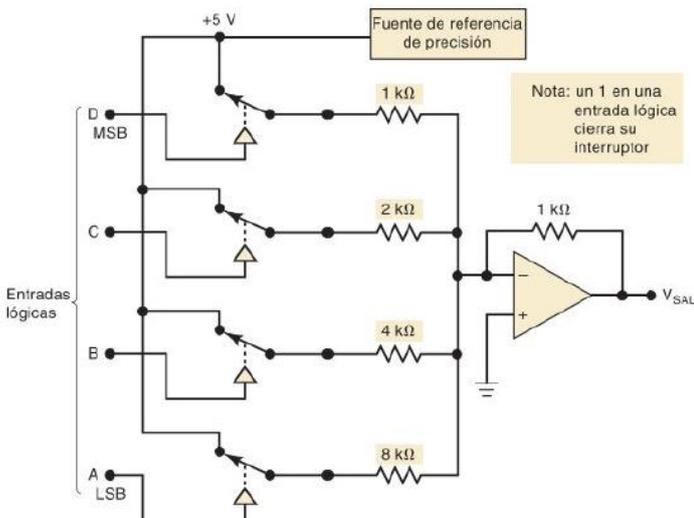
La resolución de este convertidor D/A es igual a la ponderación del bit menos significativo. Este es:

$$\frac{1}{8} \cdot 5 V = 0,625 V$$



Código de entrada				V_{SAL} (volts)
D	C	B	A	
0	0	0	0	0
0	0	0	1	-0.625 ← LSB
0	0	1	0	-1.250
0	0	1	1	-1.875
0	1	0	0	-2.500
0	1	0	1	-3.125
0	1	1	0	-3.750
0	1	1	1	-4.375
1	0	0	0	-5.000
1	0	0	1	-5.625
1	0	1	0	-6.250
1	0	1	1	-6.875
1	1	0	0	-7.500
1	1	0	1	-8.125
1	1	1	0	-8.750
1	1	1	1	-9.375 ← Escala completa

PRECISIÓN EN LA CONVERSIÓN



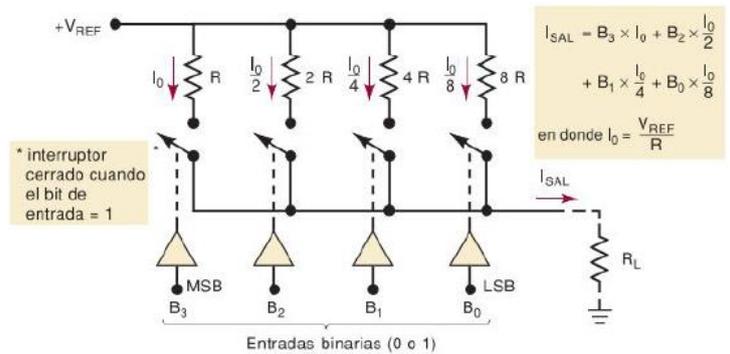
La tabla anterior solo muestra valores ideales de V_{SAL} para los diversos casos de entrada. El grado de aproximación depende de dos factores: la precisión de las resistencias y la precisión de los niveles de voltaje de entrada. Las resistencias pueden hacerse muy precisas, pero los niveles de voltaje es más complicado. Hay que

dejar en claro que las entradas digitales no pueden tomarse directamente de las salidas de los FFs o compuertas lógicas, ya que los niveles lógicos de salida de estos no son valores precisos de 0 y 5 V, sino que varían dentro de intervalos específicos. Por lo tanto, se requiere una conexión distinta en las entradas digitales. Esto se muestra a continuación.

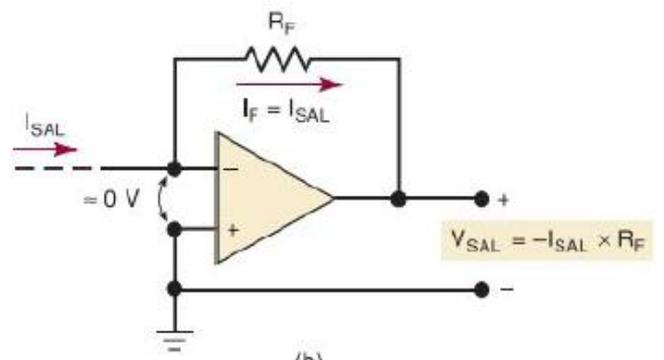
Cada entrada digital controla un interruptor semiconductor, cuando la entrada está en ALTO el interruptor se cierra se conecta a la fuente de referencia de precisión a la resistencia de entrada, y cuando la entrada esta en BAJO el interruptor está abierto.

CONVERSOR D/A CON SALIDA DE CORRIENTE

A continuación se muestra un esquema básico de cuatro bits para generar una corriente de salida analógica proporcional a una entrada binaria. Las resistencias tienen ponderación binaria. El circuito utiliza cuatro rutas de corriente en paralelo, cada una controlada mediante un voltaje de referencia preciso V_{REF} y una resistencia de precisión en la ruta. Las resistencias se ponderan de forma binaria, de manera que las diversas corrientes tendrán ponderación binaria y la corriente total I_{SAL} será una suma de las corrientes individuales. El bit más significativo tiene una resistencia baja y contribuye con más corriente y el bit menos significativo tiene mayor resistencia y aporta menos corriente. La corriente de salida puede fluir por una resistencia de carga R_L más pequeña que R , para que no tenga efecto sobre el valor de la corriente y obtener un valor analógico preciso. En teoría esta resistencia debe ser un corto a tierra.



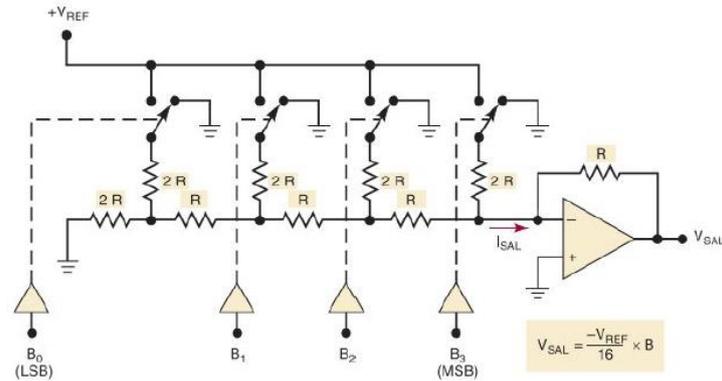
Una manera común de lograr el propósito de precisión es utilizar un amplificador operacional como convertidor de corriente a voltaje como se muestra en el siguiente esquema. La corriente de salida I_{SAL} se conecta a la entrada inversora, conectada virtualmente a masa. La retroalimentación negativa hace que fluya una corriente igual a través de R_F para producir $V_{SAL} = -I_{SAL} \cdot R_F$. Con esto se logra una salida analógica proporcional a la entrada binaria.



RED R/2R

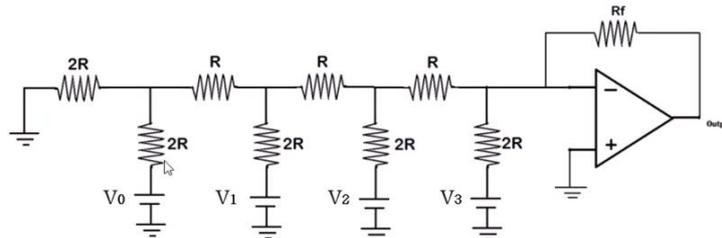
El esquema anterior utiliza resistencias para realizar la ponderación de cada bit. Una limitación práctica es el número de resistencias y sus diferentes valores en conversores de alta resolución. Es difícil producir valores de resistencia precisas con tan amplio intervalo entre el bit más significativo y el menos significativo.

Por esta razón es preferible tener un circuito que utilice resistencias que estén muy cerca del valor deseado. Un esquema con este propósito es la red de escalera R/2R, en la cual los valores de las resistencias guardan una relación de solo 2 a 1. A continuación su circuito.

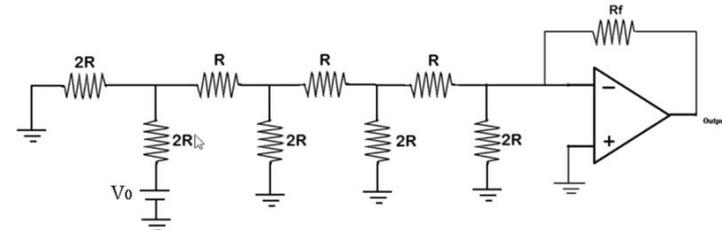


Solo se utilizan dos valores de resistencias R y $2R$. La corriente I_{SAL} depende de la posición de los cuatro interruptores y en definitiva, de las entradas binarias. A la salida comprende un amplificador operacional convertidor de corriente a voltaje.

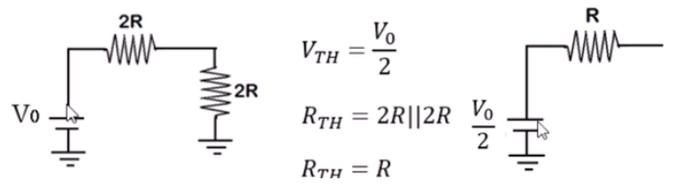
El análisis de este circuito se basa en el **teorema de la superposición**. Esto permite analizar al circuito como la suma de las respuestas parciales del mismo circuito ante cada una de las fuentes funcionando por separado. Es decir, si el circuito se vuelve a dibujar como sigue:



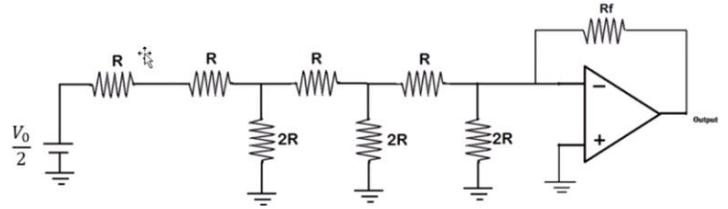
Podemos analizar parcialmente el circuito aislando la primera tensión V_0 y eliminando las demás. En el esquema siguiente se muestra esto:



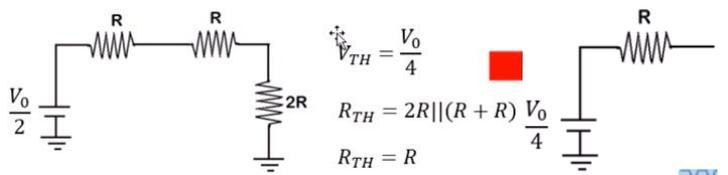
A continuación se puede aplicar el **teorema de Thevenin**. Esto permite aislar la rama que contiene la tensión V_0 y lo que está a su izquierda, y reemplazarlo por su equivalente de Thevenin.



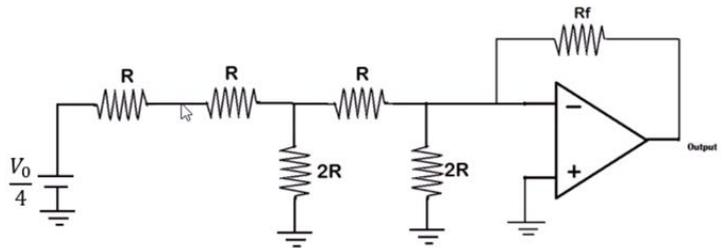
A la izquierda se observa el circuito equivalente que puede reemplazarse en el circuito original. El circuito queda como:



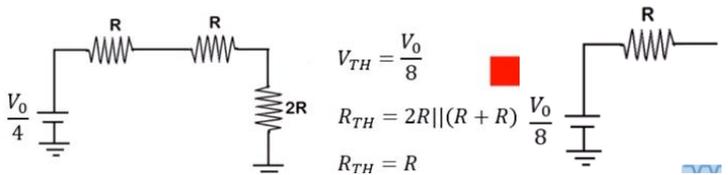
A continuación se aísla la rama de la misma manera que se hizo anteriormente y se obtiene:



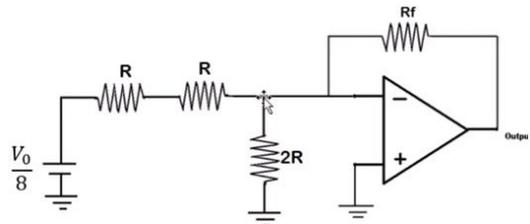
Reemplazando queda:



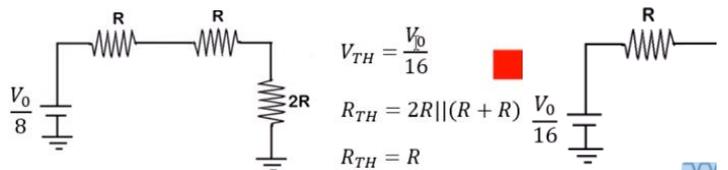
Y nuevamente se aplica Thevenin:



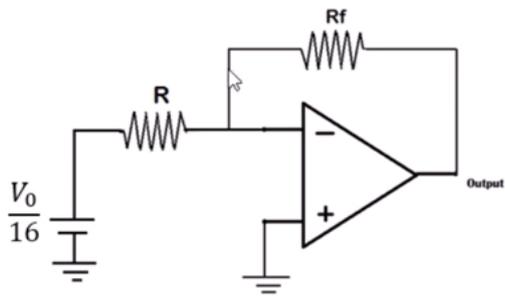
Se obtiene:



Una vez más el mismo proceso es:



Y se obtiene finalmente el siguiente esquema que no es más que un amplificador operación inversor:

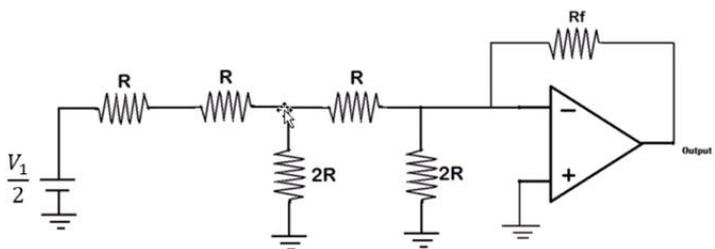
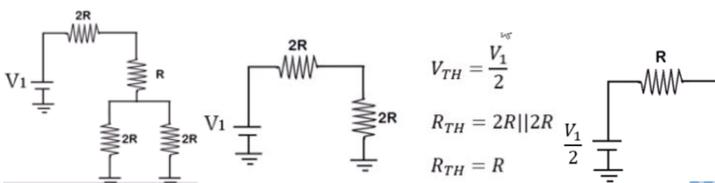
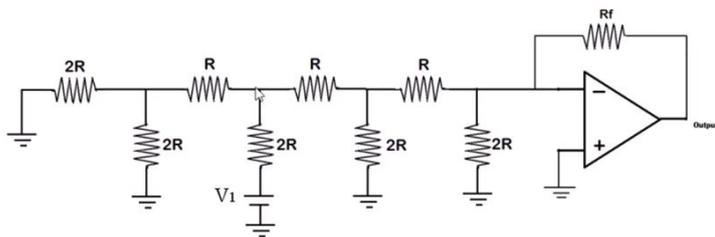


La salida de un amplificador inversor se sabe que vale:

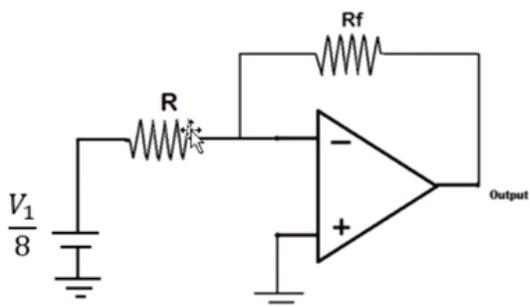
$$V_{0\ sal} = -\frac{R_f}{R} \frac{V_0}{16}$$

Sin embargo, esta es solo la tensión parcial de salida del bit menos significativo.

Se procede igualmente para las siguientes tensiones. Aislado la tensión V_1 se obtiene el siguiente esquema (solo se muestran las imagen de la sucesión).



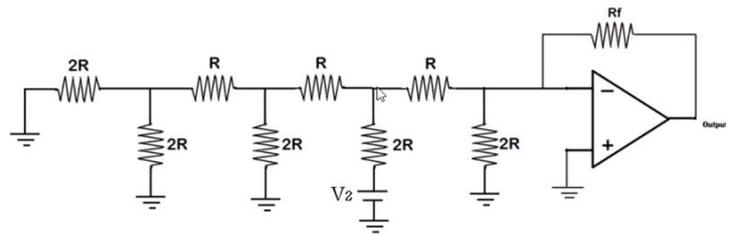
Así se sigue operando hasta no poder reducir más el circuito y se llega al esquema de un amplificador inversor.



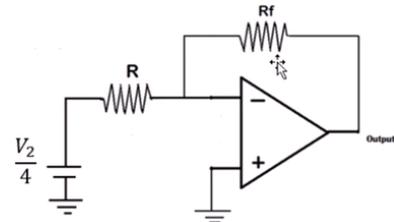
La tensión parcial de salida que aporta el segundo bit menos significativo es:

$$V_{1\ sal} = -\frac{R_f}{R} \frac{V_1}{8}$$

Para la fuente V_2 aislada el esquema queda de la siguiente forma:



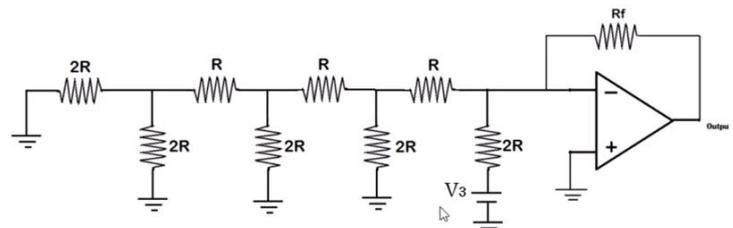
Se obtendrá un amplificador inversor cuando no se pueda simplificar más:



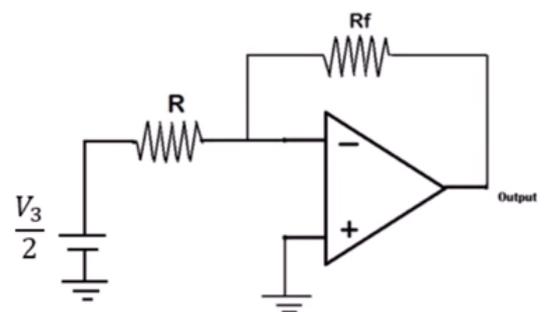
La tensión parcial de salida que aporta el tercer bit menos significativo es:

$$V_{2\ sal} = -\frac{R_f}{R} \frac{V_2}{4}$$

Aislado la tercera fuente se obtiene:



Se llega al siguiente amplificador inversor:



La tensión parcial de salida que aporta el bit más significativo es:

$$V_{3\ sal} = -\frac{R_f}{R} \frac{V_3}{2}$$

Según el teorema de la superposición para hallar la tensión de salida solo debemos sumar las tensiones parciales:

$$V_{sal} = -\frac{R_f}{2R} \left(\frac{V_0}{8} + \frac{V_1}{4} + \frac{V_2}{2} + \frac{V_3}{1} \right)$$

$$V_{sal} = -\frac{R_f}{2R} V_{Ref} \left(\frac{b_0}{8} + \frac{b_1}{4} + \frac{b_2}{2} + \frac{b_3}{1} \right)$$

APLICACIONES

CONTROL

La salida digital de una computadora puede convertirse en una señal de control analógica para ajustar la velocidad de un motor o temperatura de un horno, en general para controlar una variable física.

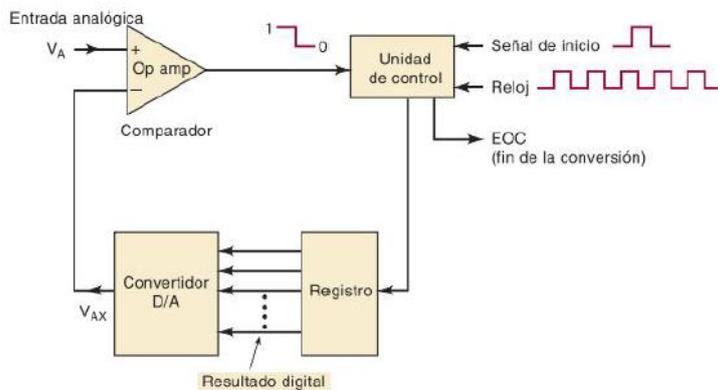
RECONSTRUCCIÓN DE SEÑALES

En muchas aplicaciones, una señal analógica se digitaliza, es decir, puntos sucesivos de la señal se convierten en sus equivalentes digitales y se almacenan en memoria mediante un conversor A/D . Después se utiliza un conversor D/A para convertir los datos digitalizados que están almacenados de vuelta en datos analógicos en una señal reconstruida. Ejemplo: osciloscopios digitales, discos compactos, grabación de audio y video digital.

CONVERSIÓN A/D

Un **conversor A/D** toma un voltaje de entrada analógico, y después de cierto tiempo produce un código de salida digital que representa a la entrada analógica. Generalmente, este proceso es más complejo y consume más tiempo que el proceso D/A . Estos circuitos se los consigue comercialmente como *CI*.

Varios conversores A/D utilizan un conversor D/A en su circuito interno. A continuación se muestra un diagrama de bloques general para esta clase de conversores. La sincronización para la operación se proporciona mediante la señal de un reloj de entrada. La unidad de control contiene los circuitos lógicos para generar la secuencia apropiada de operación en respuesta a la **SEÑAL DE INICIO**, el cual inicia el proceso de conversión. El amplificador operacional comparador tiene dos entradas analógicas y una salida digital que cambia de estado, dependiendo de cuál de las entradas analógicas sea mayor.



La operación básica comprende los siguientes pasos:

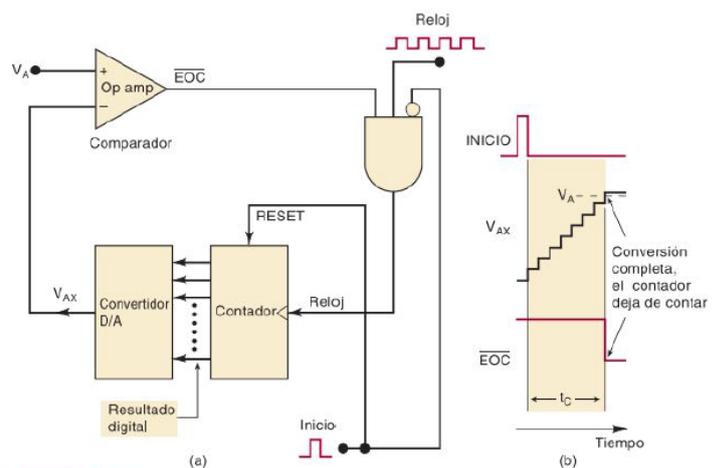
- Pulsar la **SEÑAL DE INICIO**.
- A una cadencia determinada por el reloj, la **UC** modifica en forma continua el número binario que se almacena en el registro.
- El **D/A** convierte el número binario del registro en un voltaje analógico V_{AX} .
- El comparador compara V_{AX} con la entrada analógica V_A . Si $V_{AX} < V_A$ la salida del comparador es en **ALTO**. Cuando $V_{AX} > V_A$ en una cantidad superior al voltaje umbral V_T , la salida del comparador cambia a **BAJO** y detendrá el proceso de modificación del número del registro. En este punto V_{AX} se aproxima a V_A . El número digital en el registro, que viene siendo el equivalente digital de V_{AX} , es también el equivalente digital aproximado de V_A , dentro de la resolución y precisión del sistema.
- La lógica de control activa la señal de fin de conversión **EOC** cuando se completa esta.

Las diversas situaciones de este esquema difieren principalmente en la forma en la cual la sección de control modifica continuamente los números del registro. Una forma se esquematiza a continuación.

128	64	32	16	8	4	2	1
0	1	0	0	1	0	0	1

Este sistema funciona así: la **UC** manda primero el número binario 128 (10000000) al conversor D/A , para ser convertido en su equivalente analógico y luego al comparador. Como en el ejemplo se supone que este valor es mayor que la entrada analógica, la salida se pone en 0 lógico y se guarda en la posición del bit más significativo. A continuación, se repite la secuencia para comparar la señal analógica pero con 64 (01000000), esta vez es menor, entonces se guarda un 1 en el bit siguiente al bit más significativo. Luego se repite el proceso con 32, 16, 8, 4, 2 y 1.

CONVERSOR A/D DE RAMPA DIGITAL



Un conversor A/D más sencillo que el anterior utiliza un contador binario como registro y permite que el reloj incremente el contador un intervalo por vez, hasta que $V_{AX} \geq V_A$. Este esquema se conoce como **conversor A/D de rampa digital** debido a que la forma de onda de V_{AX} es una escalera. A continuación se presenta su esquema. Contiene un contador, un conversor D/A , un comparador analógico y una compuerta **AND** de control. La salida del comparador sirve como la señal de fin de conversión \overline{EOC} , activa en **BAJO**. Si suponemos que V_A es positivo, la operación sería la siguiente:

- Se aplica un pulso de *INICIO* para restablecer el contador a 0. También se inhiben los pulsos de reloj para que no pasen a través de la compuerta *AND* y hacia el contador.

- Si todos los bits de entrada son 0, la salida del contador *D/A* será $V_{AX} = 0V$.

- Como $V_A > V_{AX}$, la salida del comparador \overline{EOC} estará en *ALTO*.

- Cuando *INICIO* regresa a *BAJO*, la compuerta *AND* se habilita y los pulsos de reloj pasan hacia el contador.

- A medida que el contador avanza, la salida V_{AX} del convertor *D/A* se incrementa conforme a la cuenta, como se muestra en la imagen.

- Este proceso continua hasta que $V_{AX} > V_A + V_T$. En este momento \overline{EOC} se cambia a *BAJO* e inhibirá el flujo de pulsos que van hacia el contador, el cual deja el conteo.

- El proceso de conversión está ahora completo, como lo indica la transición de estado de \overline{EOC} y el contenido del contador es la representación digital de V_A .

- El contador retendrá el valor digital hasta el siguiente pulso de *INICIO* comience una nueva conversión.

RESOLUCIÓN Y PRECISIÓN

Una fuente de error inevitable en el método de rampa digital es que el tamaño del escalón o resolución del convertor *D/A* interno es la unidad más pequeña de medición o su bit menos significativo. Además, el voltaje de salida V_{AX} es una forma de onda de escalera que se sube en intervalos discretos hasta que se excede el voltaje de entrada V_A . Al reducir el tamaño del escalón podemos reducir el error. Esto es el **error de cuantización**. Por lo tanto, V_{AX} es una aproximación a V_A y se puede esperar que V_{AX} sea menor del intervalo de voltaje igual a la resolución (tamaño del escalón). El error puede reducirse al aumentar el número de bits en el contador y el convertor *D/A*.

Una práctica común es hacer el error de cuantización simétrico alrededor del múltiplo entero de la resolución como se explicó anteriormente.

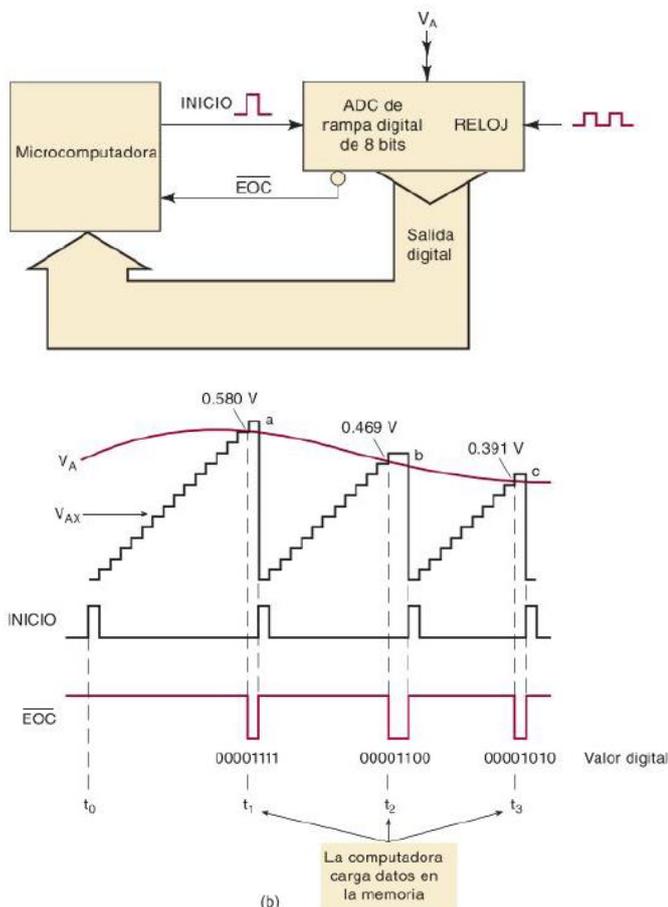
Las desventajas son: es un sistema lento, el valor de entrada debe ser inferior o a lo sumo igual al máximo de salida del convertor *D/A*, se obtiene un valor digital por exceso con un error máximo igual a la resolución.

ADQUISICIÓN DE DATOS

Existen muchas aplicaciones en las que los datos analógicos deben digitalizarse y transferirse hacia la memoria de una computadora. El proceso mediante el cual la computadora adquiere estos datos analógicos digitalizados se llama **adquisición de datos**. El proceso de adquirir el valor de un solo punto de datos se lo conoce como **muestreo** de la señal analógica y, por lo general, a ese punto de dato se le conoce como **muestra**.

A continuación se muestra un esquema de conexión entre un microcomputador y un convertor *A/D* de rampa digital con el propósito de adquirir datos. La computadora da los pulsos de *INICIO*. La señal \overline{EOC} de convertor se alimenta a la computadora, que su vez monitorea \overline{EOC} para saber cuándo se completa la conversión *A/D* actual. Luego transfiere los datos digitales a su memoria.

El proceso mediante el cual la computadora genera un pulso *INICIO*, monitorea \overline{EOC} y carga los datos del convertor *A/D* a la memoria se lleva a cabo bajo el control de un **programa** que ejecuta la computadora. Este programa determina cuantas muestras de la señal analógica se almacenaran en la memoria de la computadora.

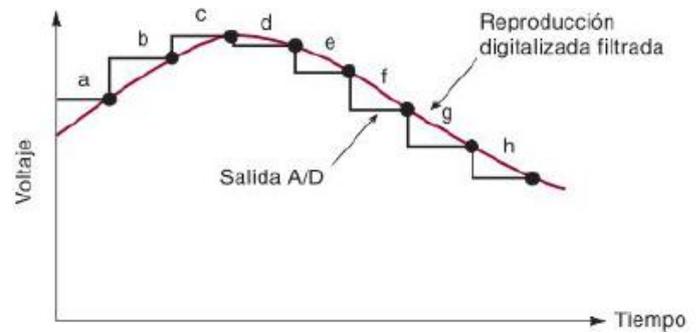
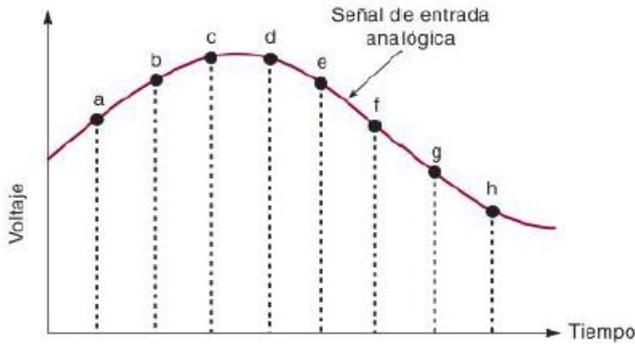


RECONSTRUCCIÓN DE UNA SEÑAL DIGITALIZADA

En el ejemplo anterior, el convertor está trabajando a su máxima velocidad, ya que los pulsos de *INICIO* se generan justo después de que la computadora adquiere los datos. Se puede ver que los tiempos de conversión no son constantes ya que el valor de entrada analógica está cambiando. Esto supone un problema para almacenar las muestras, ya que para su reconstrucción en su forma analógica se deben saber los tiempos entre ellas. Por lo general, cuando se almacena una onda digitalizada las muestras se toman a intervalos fijos, a una velocidad superior a dos veces la velocidad de frecuencia máxima de la señal analógica. El sistema digital almacenará la forma de onda como una lista de valores de datos de muestra.

En la siguiente grafica se puede ver como un convertor *A/D* realiza conversiones en forma continua para digitalizar la señal de entrada. Supongamos que ya han sido guardados estos valores digitales, y se pretende reconstruir la señal analógica. Al pasar la información digitalizada por un convertor *D/A* se tendría una onda como la línea escalonada. A continuación se las hace pasar

por unos filtros RC de paso bajo y se obtiene la línea continua. Se observa que es una representación bastante real de la señal original.

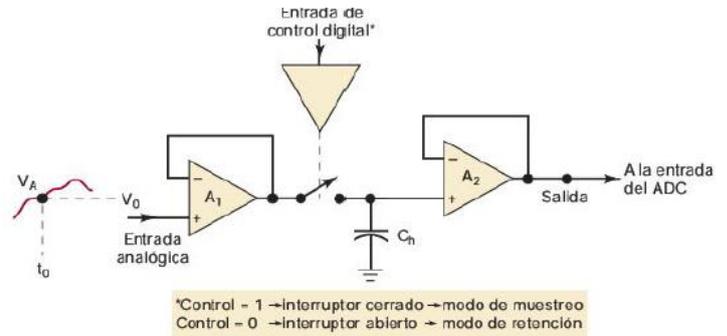


CIRCUITOS DE MUESTREO Y RETENCIÓN

Cuando un voltaje analógico se conecta en forma directa a la entrada de un conversor A/D , el proceso de conversión puede verse afectado si el voltaje analógico cambia durante el tiempo de conversión. La estabilidad del proceso de conversión puede mejorarse mediante el uso de un circuito de **muestreo y retención** S/H para mantener el voltaje analógico constante mientras se realiza la conversión. A continuación se presenta su diagrama simplificado.

En el esquema el amplificador operacional A_1 tiene ganancia unitaria con impedancia alta en la entrada y baja a su salida. Esto permite cargar con rapidez al capacitor de retención C_k . Cuando se cierra el interruptor de control digital la muestra queda almacenada en el capacitor en forma de voltaje. A continuación el amplificador A_2 aplicará el voltaje al conversor A/D . Este amplificador buffer de ganancia unitaria presenta una alta impedancia de entrada que no permite la descarga del capacitor considerablemente.

En un sistema de adquisición de datos controlado por computadora, como el mencionado con antelación, la señal digital para el interruptor de muestreo y retención proviene de la computadora. El **tiempo de adquisición** es el tiempo necesario que debe cerrarse el interruptor para cargar el capacitor. Este depende del capacitor y de las características del circuito S/H .



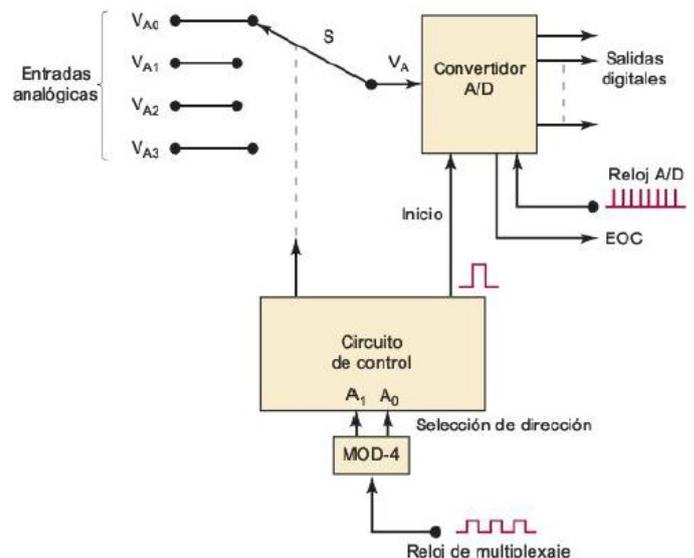
MULTIPLEXAJE

Cuando van a convertirse entradas analógicas provenientes de varias fuentes, puede utilizarse una técnica de multiplexaje de manera que un conversor A/D pueda compartirse. A continuación se ilustra un esquema básico para un sistema de adquisición de datos de cuatro canales. El interruptor S conmuta cada señal analógica con la entrada del conversor A/D una vez y en secuencia. El circuito de control se encarga de controlar la posición del interruptor, de acuerdo con los bits de selección de dirección (A_0, A_1) del contador. Cada canal tiene un código de dirección específico para ser comunicado con el conversor.

La operación es la siguiente:

- Cuando se selecciona la dirección 00, V_{A0} se conecta a la entrada del conversor A/D .
- El circuito de control, genera un pulso de *INICIO* para iniciar la conversión.
- Cuando se completa la conversión, *EOC* indica que los datos de salida del conversor están listos. Por lo general, estos datos son transferidos a una computadora mediante un bus de datos.

- El reloj de multiplexaje incrementa la selección de la dirección a 01, con lo cual se conecta V_{A1} al conversor.
- Lo que sigue es una repetición de los pasos anteriores.



ELECTRÓNICA

U7: MODULACIÓN Y CODIFICACIÓN A: FUNDAMENTOS

TEMAS:

- Conceptos de modulación y codificación, banda base y banda ancha.
- Aplicaciones en radiofrecuencia y multiplicación.
- Modos simplex, half-duplex y full-duplex.

B: MODULACIÓN Y DEMODULACIÓN DE SEÑALES ANALÓGICAS

TEMAS:

- AM/PM/FM. Análisis comparativo de los esquemas de comunicación.

C: MODULACIÓN DE SEÑALES DIGITALES

TEMAS:

- FSK/PSK (DPSK/ASK). Modems. Diagrama de constelación.

D: CODIFICACIÓN EN BANDA BASE

TEMAS:

- Código NRZ. Codificación Manchester y Manchester diferencial.

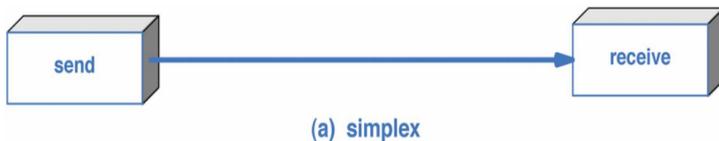
Stalling 7ma. Edición: u.3 pág. 59

MODO DE TRANSMISIÓN

Un medio de transmisión puede ser de distintas maneras. A continuación se destacan.

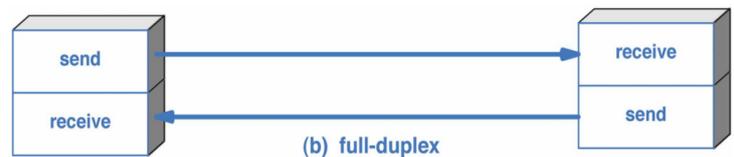
TRANSMISIÓN SIMPLEX

En este tipo de transmisión, las señales son unidireccionales, es decir, viajan en una dirección. Una estación es transmisora y la otra receptora. Ejemplo: Radiotransmisión.



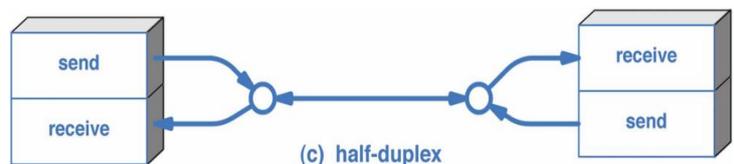
HALF-DUPLEX

En este caso, ambas estaciones pueden transmitir pero no simultáneamente. Es bidireccional.



FULL-DUPLEX

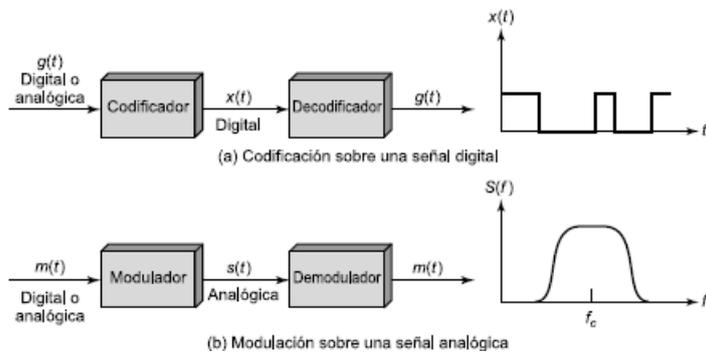
Ambas estaciones pueden transmitir y recibir simultáneamente. El medio de transmisión transporta señales en ambos sentidos.



Stalling 7ma. Edición: u.5 pág. 134

TÉCNICAS PARA LA CODIFICACIÓN DE SEÑALES

En la siguiente figura se observa el proceso involucrado al momento de transportar una señal de datos, ya sea analógica o digital. En la **señalización digital**, una fuente de datos $g(t)$, que puede ser tanto analógica como digital, se codifica en una señal digital $x(t)$. La forma de onda de esta última dependerá de la técnica de codificación elegida, la cual se elegirá intentando optimizar el uso del medio de transmisión (minimizando el ancho de banda o la tasa de errores).



La **transmisión analógica** se basa en una señal continua de frecuencia constante denominada **señal portadora**. La frecuencia de la portadora se elige de tal forma que sea compatible con las características del medio que se vaya a utilizar. Los datos se pueden transmitir modulando la señal portadora. La modulación es el proceso de codificar los datos generados por la fuente en la señal portadora de frecuencia f_c . Todas las técnicas de modulación se basan en la modificación de uno o más de los tres

parámetros fundamentales que caracterizan a la portadora: amplitud, frecuencia y fase.

La señal de entrada $m(t)$ (analógica o digital) se denomina **señal moduladora** o **señal de banda base**. A la señal resultante de la modulación de la portadora se la denomina **señal modulada** $s(t)$. Como se muestra en la imagen esta señal está limitada en banda (paso banda). La localización del ancho de banda dependerá de f_c , ya que generalmente está centrada en esta.

En la imagen se muestran cuatro combinaciones, cada uno se utiliza dependiendo varios factores:

- **Datos digitales, señales digitales:** El equipamiento es más económico que el sistema de datos digitales y señales analógicas.
- **Datos analógicos, señales digitales:** Permite la utilización de técnicas de transmisión y de equipos de conmutación modernos.
- **Datos digitales, señales analógicas:** Algunos medios de transmisión admiten solo la propagación de señales analógicas (fibra óptica).
- **Datos analógicos, señales analógicas:** Los datos analógicos se pueden transmitir fácil y económicamente en banda base (voz por líneas telefónicas). La modulación se usa frecuentemente para desplazar el ancho de banda de la señal en banda base hacia otra zona del espectro. De esta forma, se permiten varias señales, cada una en una posición diferente del espectro, a través del mismo medio de transmisión (multiplexación por división de frecuencias).

DATOS DIGITALES - SEÑALES DIGITALES

Los datos binarios se transmiten codificando cada bit en los elementos de señal. En los casos más sencillos habrá una correspondencia uno a uno entre bit y elementos de señal. Hay varios métodos de codificación.

Si todos los elementos de la señal tienen el mismo signo, la señal es **unipolar**. En una señal **polar** un estado lógico se representa mediante un nivel positivo de tensión y el otro mediante un nivel negativo. La **velocidad de transmisión** de una señal, es la velocidad expresada en bit por segundos a la que se transmiten los datos y la **duración o longitud de un bit** es el inverso. La **velocidad de modulación** (*baudios* = *elemento de señal/s*) es la velocidad a la que cambia el nivel de la señal y depende del esquema de codificación.

El receptor de la señal digital debe realizar dos funciones, sabiendo que el ruido puede interferir en estas:

- Conocer o determinar la duración de cada bit.
- Determinar el nivel lógico de cada bit.

Hay cuatro factores que determinan el éxito del receptor al interpretar la señal de entrada:

- La relación señal/ruido (al aumentar, reduce la tasa de error).
- La velocidad de transmisión (al aumentar, aumenta la tasa del error).
- El ancho de banda (al aumentar, aumenta la velocidad de transmisión).
- El esquema de codificación.

Antes de ver los esquemas de codificación hay que repasar algunas consideraciones previas:

- **Espectro de la señal:** Para una señal la ausencia de componentes de alta frecuencia significa que se necesita menos ancho de banda para su transmisión. Además, la ausencia de componente en continua es también deseable. Si existiese tal componente se requeriría una conexión física directa, en cambio de no existir se pueden usar transformadores acoplados (aislamiento y menos interferencia). Un buen diseño debería concentrar la potencia en la parte central del ancho de banda de la señal transmitida, de modo que la función de transferencia no se deteriore en las proximidades de los límites de la banda. Así no existen interferencias.
- **Sincronización:** Determinar el principio y fin de cada bit no es sencillo. Una solución costosa es transmitir una señal de reloj por separado para sincronizar el receptor con el transmisor. Otra forma es sincronizar por medio de la misma señal transmitida.
- **Detección de errores:** Es útil incorporar algún sistema de detección de errores en el propio esquema de codificación.
- **Inmunidad al ruido e interferencias:** Algunos códigos exhiben un comportamiento superior en presencia de ruido.
- **Coste y complejidad:** Cuanto mayor es la velocidad de modulación para una velocidad de transmisión dada, mayor es el costo.

A continuación se describen algunos esquemas de codificación muy utilizados.

No retorno a nivel cero (NRZ-L)

0 = nivel alto
1 = nivel bajo

No retorno a cero invertido (NRZI)

0 = no hay transición al comienzo del intervalo (un bit cada vez)
1 = transición al comienzo del intervalo

Bipolar-AMI

0 = no hay señal
1 = nivel positivo o negativo, alternante

Pseudoternaria

0 = nivel positivo a negativo, alternante
1 = no hay señal

Manchester

0 = transición de alto a bajo en mitad del intervalo
1 = transición de bajo a alto en mitad del intervalo

Manchester diferencial

Siempre hay una transición en mitad del intervalo
0 = transición al principio del intervalo
1 = no hay transición al principio del intervalo

B8ZS

Igual que el bipolar-AMI, excepto que cualquier cadena de ocho ceros se reemplaza por una cadena que tiene dos violaciones de código.

HDB3

Igual que el bipolar-AMI, excepto que cualquier cadena de cuatro ceros se reemplaza por una cadena que contiene una violación de código.

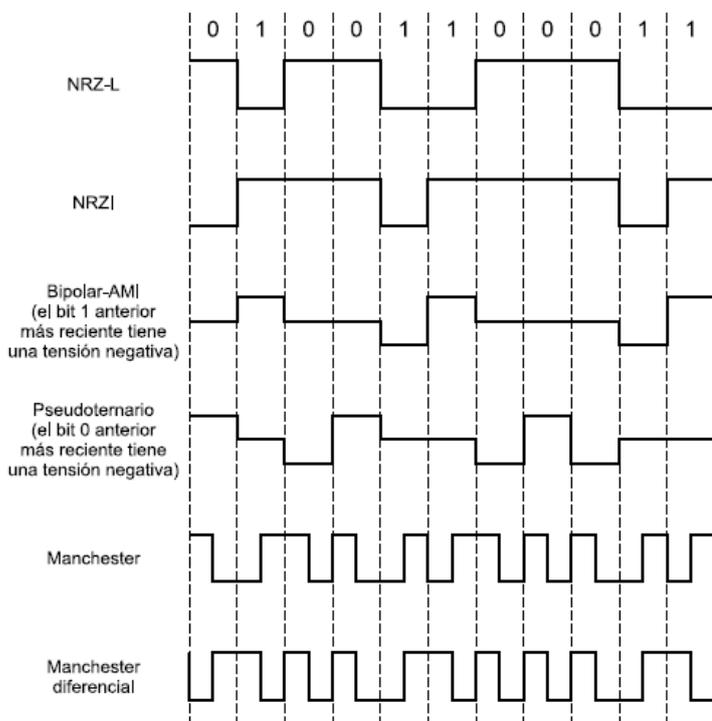


Figura 5.2. Formatos de codificación utilizando señales digitales.

NO RETORNO A CERO

La estrategia más frecuente y fácil de transmitir señales digitales es mediante la utilización de un nivel diferente de tensión para cada uno de los dos niveles lógicos. El nivel de tensión se mantiene constante durante la duración del bit. A continuación se muestran algunas estrategias:

- **NRZ (no retorno a cero):** Asigna el nivel lógico *BAJO* a 0 V y el nivel lógico *ALTO* a un nivel de tensión alto.
- **NRZ - L (no retorno a nivel cero):** Asigna el nivel lógico *ALTO* a un nivel de tensión negativo y el nivel lógico *BAJO* al mismo nivel pero positivo. Se usa generalmente para generar o interpretar los datos binarios en terminales y dispositivos.
- **NRZI (no retorno a cero invertido en los unos):** Codifica a los bits en 1 como una transición (si está en *ALTO* cambia a *BAJO* y viceversa) y los bits en 0 se representa por la ausencia de

transición. Este es un ejemplo de **codificación diferencial**, es decir no importan los valores absolutos de la señal, sino en los cambios entre los elementos de señal adyacentes. Una ventaja es que frente al ruido es más seguro detectar una transición en lugar de un valor de tensión.

Los códigos *NRZ* se caracterizan por hacer un uso eficaz del ancho de banda. La principal limitación es la presencia de una componente continua y la ausencia de la capacidad de sincronización. Tenga en cuenta que una cadena larga de unos o ceros (que no varía el nivel de la señal codificada) puede perder la sincronización entre receptor y transmisor.

Este esquema se usa frecuentemente en grabaciones magnéticas. Sin embargo, no es utilizado para transmisión de señales.

BIFASE

Bajo el término bifase se engloba a un conjunto de técnicas de codificación diseñadas para superar las dificultades de los códigos *NRZ*. Existen dos técnicas en particular usadas frecuentemente en los sistemas de comunicación.

- **Código Manchester:** En este siempre hay una transición a la mitad del intervalo de duración de un bit. Esta transición sirve como sincronización y a su vez para transmitir los datos. El flanco de subida representa un 1 y el flanco de bajada, un 0.
- **Manchester diferencial:** La transición a la mitad del intervalo se utiliza únicamente para proporcionar sincronización. La codificación de un 0 se hace mediante la presencia de una transición al principio del intervalo del bit, y la codificación de un 1 se representa mediante la ausencia de una transición al principio del intervalo.

Todas las técnicas bifásicas fuerzan al menos una transición por cada bit pudiendo tener hasta dos en ese mismo periodo. Por lo tanto, la velocidad de modulación máxima, es del doble que los códigos *NRZ*, esto significa que requiere mayor ancho de banda. Sin embargo, tienen las siguientes ventajas:

- **Sincronización:** Mediante la transición en medio del intervalo de un bit. Se dice que son autosincronizados.
- **No tienen componentes en continua.**
- **Detección de errores:** Se pueden detectar errores si se descubre una ausencia de la transición de mitad de intervalo.

Los códigos bifases comprenden un ancho de banda razonablemente estrecho y no tiene componente en continua.

Estos son ampliamente utilizados en los esquemas de transmisión de datos. El código Manchester es utilizado en la norma *IEEE 802.3* (Ethernet) para la transmisión en redes *LAN* de cable coaxial en banda base o par trenzado con bus *CSMA/CD*. El Manchester diferencial se ha elegido en la norma *IEEE 802.5* para redes *LAN* en anillo con paso de testigo, en las que se usan pares trenzados apantallados.

TRANSMISIÓN ASÍNCRONA Y SINCRONA

En esta unidad se estudia fundamentalmente la transmisión serie de datos (un solo camino), en lugar de utilizar líneas en paralelo. En este tipo de transmisión los elementos de la señal se envían uno a uno. Cada elemento puede ser menor, igual

o mayor a un bit (en código Manchester es menor, etc.). Por simplicidad supondremos que la relación es uno en uno.

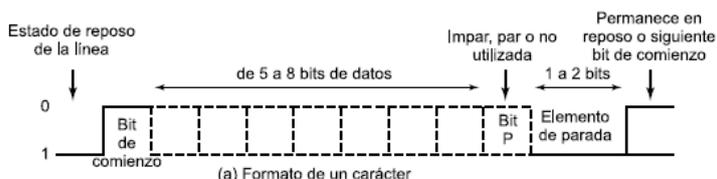
Durante la recepción de los datos digitales, para determinar el valor binario se realiza un muestreo de la señal por cada bit recibido, los defectos en la transmisión pueden corromper la señal y generar errores. Además, existe el problema de temporización, es decir el receptor debe conocer el tiempo de llegada de un bit y su duración.

Es complicado sincronizar los relojes del transmisor y del receptor, en caso de que cada uno funcione con uno propio, cuando se transmite 1Mbps , es decir, se transmite un bit cada $10^{-6}\text{ s} = 1\ \mu\text{s}$. Existen dos enfoques habituales para resolver este problema: transmisión asíncrona y síncrona.

TRANSMISIÓN ASÍNCRONA

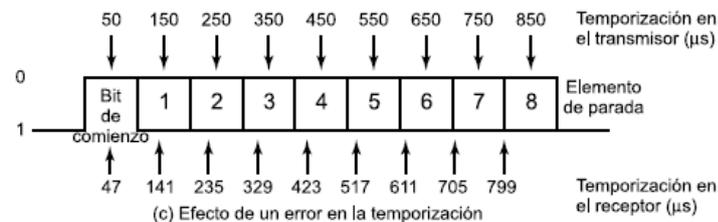
La **transmisión asíncrona**, para solucionar el problema de la temporización, evita el envío de cadenas de bits largas de forma ininterrumpida. En su lugar, los datos se transmiten enviándolos carácter a carácter, los cuales tienen una longitud de 5 a 8 bits. La sincronización entonces es necesaria durante la duración del carácter.

La imagen ilustra la técnica. Cuando no hay transmisión de la línea entre el emisor y el receptor está en **reposo**, equivalente al 1 binario. El código **NRZL**, habitual en la transmisión asíncrona, el estado de reposo se corresponde con una tensión negativa en la línea. Al principio de cada carácter se introduce un **bit de comienzo** con el valor 0. A continuación, se transmite el carácter, comenzando por el bit menos significativo. En algunos casos se coloca en el bit más significativo un **bit de paridad**, par o impar según el criterio. Por último, está el denominado **elemento de parada**, que corresponde a un 1 binario y equivale al estado de reposo. La longitud mínima del elemento de parada debe ser especificada, pero ronda entre 1 y 2 veces la longitud de un bit.



La transmisión asíncrona es sencilla y económica, sin embargo requiere 2 o 3 bits suplementarios por cada carácter solo

para la sincronización. El porcentaje de bits suplementarios se puede reducir mediante la transmisión de bloques con más bits. No obstante, cuanto mayor es el bloque mayor será el error de temporización acumulativo.



TRANSMISIÓN SÍNCRONA

En la **transmisión síncrona** cada bloque de muchos bits se transmite como una cadena estacionaria sin utilizar códigos de comienzo o parada. Para prevenir la pérdida de sincronización los relojes de emisor y receptor deben sincronizarse de alguna manera. Una alternativa adhiere una línea independiente con la señal de reloj. Uno de los dos enviará el pulso de reloj. Es útil a distancias cortas, sin embargo al aumentar la distancia el pulso de reloj puede sufrir los efectos del ruido. Otra posibilidad es incluir la información relativa a la sincronización en la señal propia de datos. Esta metodología se consigue con la codificación Manchester.

En la transmisión síncrona se requiere además un nivel de sincronización adicional para que el receptor pueda determinar dónde está el comienzo y el fin de cada bloque de datos. Para esto, cada bloque inicia y termina con un patrón de bit conocido como **preámbulo** y **fin**. Además, se añaden otros bits relacionados con los procedimientos de control del enlace. Al conjunto que resulta se conoce como **trama**.

A continuación se muestra una trama genérica. Al principio contiene un preámbulo o **delimitador** de 8 bits que se repite en el final. El receptor buscará la aparición de estos. A continuación, se tiene el campo de control, el campo de datos (de longitud variable) y otro campo de control.



Esta transmisión es mucho más eficiente. El conjunto de bits que no son información, son menos de 100 bits y portan 1000 bloques de generalmente 8 bits.

DATOS DIGITALES - SEÑALES ANALÓGICAS

Consideraremos ahora la **transmisión de datos digitales usando señales analógicas**. Por ejemplo, la red de telefonía pública está diseñada para transmitir señales analógicas en el rango de frecuencia de voz entre $300 - 3400\text{ Hz}$. Los dispositivos digitales se conectan a la red mediante el uso de dispositivos **modems** (modulador-demodulador) que convierten los datos digitales en señales analógicas y viceversa.

La modulación consiste en modificar alguno de los tres parámetros fundamentales que caracterizan a la señal portadora. Por lo tanto, existen tres técnicas básicas de modulación para transformar datos digitales en señales analógicas:

- **Modulación por desplazamiento de amplitud ASK.**

- **Modulación por desplazamiento de frecuencia FSK.**
- **Modulación por desplazamiento de fase PSK.**

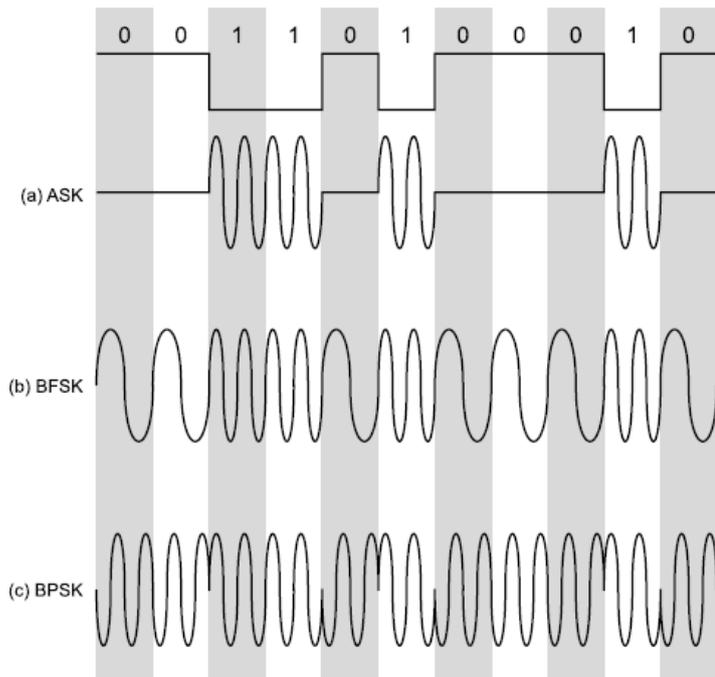
En todos los casos, la señal resultante ocupa un ancho de banda centrado en torno a la frecuencia de la portadora.

MODULACIÓN POR DESPLAZAMIENTO DE AMPLITUD ASK

En **ASK** los valores binarios se representan mediante dos amplitudes diferentes de la portadora. Usualmente una amplitud es cero, es decir un valor binario equivale a la portadora de amplitud constante y el otro a la ausencia de la portadora. Se cumple que:

$$ASK \quad s(t) = \begin{cases} A \cdot \cos(2\pi f_c t) & 1 \text{ lógico} \\ 0 & 0 \text{ lógico} \end{cases}$$

Esta técnica es sensible a cambios repentinos de la ganancia y es muy ineficaz. Se utiliza a menos de 1200 *bps* en líneas telefónicas. Pero se utiliza con frecuencia para la transmisión de datos digitales en fibra óptica. En los transmisores *LED* el elemento de señal se representa mediante un pulso de luz, y el otro se representa por la ausencia de luz. Los transmisores laser tienen un valor fijo de corriente de polarización, es decir utilizan dos señales de distinta intensidad (dos frecuencias).



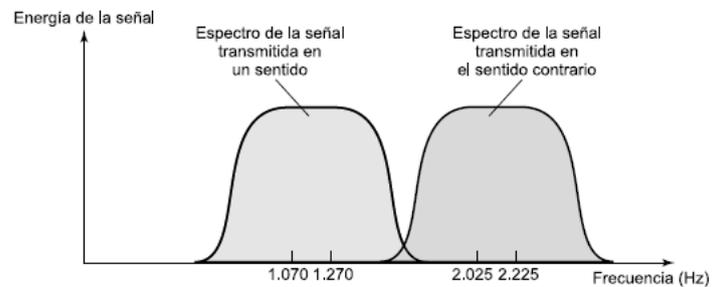
MODULACIÓN POR DESPLAZAMIENTO DE FRECUENCIA *FSK*

El esquema *FSK* más habitual es el binario *BFSK*. En este caso, los dos valores binarios se representan mediante dos frecuencias distintas, próximas a la frecuencia de la portadora. Se cumple que:

$$BFSK \quad s(t) = \begin{cases} A \cdot \cos(2\pi f_1 t) & 1 \text{ lógico} \\ A \cdot \cos(2\pi f_2 t) & 0 \text{ lógico} \end{cases}$$

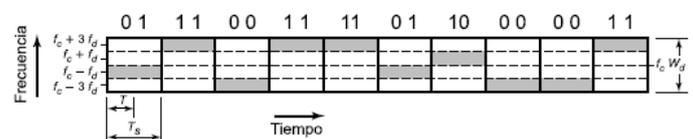
Siendo las frecuencias f_1 y f_2 los desplazamientos de la frecuencia portadora f_c .

A continuación se muestra un ejemplo de uso de *BFSK* en una transmisión **full-duplex** (las señales se transmiten en simultáneo en ambos sentidos) en una línea de calidad telefónica (300 – 3400 Hz). Para este propósito el ancho de banda se divide en dos. En un sentido las frecuencias que representan los 1 y 0 están centradas a 100 Hz de cada lado de 1170 Hz y en el otro también 100 Hz de cada lado de 2125 Hz. Estas señales corresponden con el área sombreada. Se puede observar un pequeño solapamiento (interferencia).



El *BFSK* es menos sensible a errores que *ASK*. En líneas de calidad telefónica se utiliza generalmente velocidades de hasta 1200 *bps*. También se usan en transmisión de radio a mayor frecuencia (3 – 30 MHz) y a mayores aun en redes de área local con cable coaxial.

Una técnica más eficiente en el uso del ancho de banda, pero susceptible a errores, es el *FSK múltiple* o *MFSK*, que emplea más de dos frecuencias. En este caso, cada elemento de señalización representa más de un bit. A continuación se muestra un ejemplo en donde se tienen cuatro frecuencias diferentes que representan a la combinación de dos bits.



MODULACIÓN POR DESPLAZAMIENTO DE FASE *PSK*

En el esquema *PSK*, la fase de la señal portadora se desplaza para representar los datos digitales.

La metodología de *PSK de dos niveles* o *BPSK* utiliza dos fases para representar los dos dígitos binarios. La señal transmitida es:

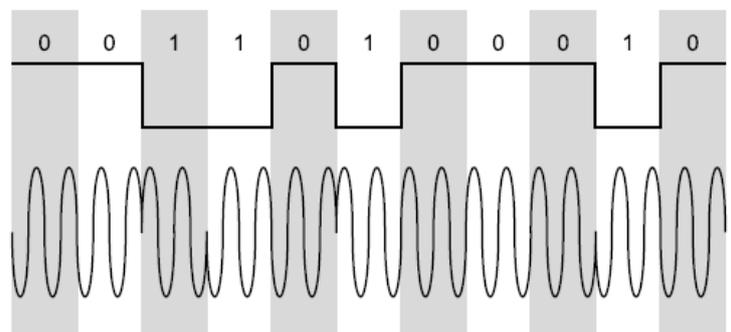
$$BPSK \quad s(t) = \begin{cases} A \cdot \cos(2\pi f_c t) \\ A \cdot \cos(2\pi f_c t + \pi) \end{cases}$$

$$s(t) = \begin{cases} A \cdot \cos(2\pi f_c t) & 1 \text{ lógico} \\ -A \cdot \cos(2\pi f_c t) & 0 \text{ lógico} \end{cases}$$

Se puede definir de la siguiente manera:

$$BPSK \quad s_d(t) = A \cdot d(t) \cos(2\pi f_c t)$$

En donde $d(t) = 1$ durante la duración del bit cuando este vale 1 y $d(t) = -1$ cuando vale 0.



Una alternativa es el *PSK diferencial* o *DPSK*, en el cual un 0 binario se representa enviando un elemento de señal con la misma fase que el elemento anterior transmitido. Un 1 binario se representa enviando un elemento de señal con fase invertida respecto al anterior elemento transmitido.

Existe técnica **PSK multinivel**, el cual utiliza varias fases para transmitir varios bits a la vez.

DATOS ANALÓGICOS - SEÑALES DIGITALES

La conversión de **datos analógicos a señales digitales** se conoce como **digitalización**. El dispositivo que realiza esta tarea se llama **códec** (codificador-decodificador). Existen dos técnicas principales: la modulación por impulso codificado y la modulación delta.

MODULACIÓN POR IMPULSOS CODIFICADOS PCM

La técnica **PCM** se basa en el teorema del muestreo. Esto significa que la señal $f(t)$ se muestrea a intervalos regulares de tiempo con una frecuencia mayor que el doble de la frecuencia más alta de la señal. Sin embargo, todavía se tienen niveles de voltajes analógicos, denominadas muestras de **modulación por**

impulso de amplitud PAM. Para obtener las muestras digitales, a cada muestra se le debe asignar un código binario. Las muestras son aproximaciones ya que se comete un error de cuantificación al asignarle un código.

Para una señal de voz se necesitan 8000 muestras por segundo. Si se trabaja con 8 bits, la velocidad de muestreo será de **64 kbps**.



DATOS ANALÓGICOS - SEÑALES ANALÓGICAS

La modulación se definió como el proceso de combinar una señal de entrada **moduladora o banda base $m(t)$** y una **portadora** a frecuencia f_c para producir una señal **modulada $s(t)$** cuyo ancho de banda se encuentra centrado en torno a f_c . Pero pudiendo ser transmitidos los datos analógicos directamente en banda base (ejemplo: la voz directamente por la línea telefónica) existen dos razones por la cual no se hace:

- La transmisión es más efectiva. En los medios no guiados una señal en banda base exigiría una antena de varios kilómetros.
- La modulación permite la multiplicación por división de frecuencias.

Las técnicas más importantes son:

- **La modulación de amplitud AM.**
- **La modulación de frecuencia FM.**
- **La modulación de fase PM.**

Para la modulación se modifican los tres parámetros básicos de la portadora. Las señales matemáticamente son:

$$\text{Portadora: } c(t) = A_c \cos(2\pi f_c t + \theta)$$

$$\text{Moduladora: } m(t) = A_m \cos(2\pi f_m t)$$

Señal modulada $s(t)$	Señal de entrada moduladora (datos) $m(t)$	Señal portadora $c(t)$
-----------------------------	--	------------------------------

MODULACIÓN DE AMPLITUD AM

La **modulación de amplitud AM** es la técnica más sencilla. Las expresiones matemáticas de la señal portadora (suponiendo $\theta = 0$) y de la señal modulada son:

$$\text{Portadora: } c(t) = A_c \cos(2\pi f_c t) = A_c \cos(\omega_c t)$$

$$\text{Moduladora: } m(t) = A_m \cos(2\pi f_m t) = A_m \cos(\omega_m t)$$

Por su parte, la señal modulada o AM tendrá la misma frecuencia que la portadora:

$$\text{AM } s(t) = A_s(t) \cdot \cos(2\pi f_c t) = A_s(t) \cdot \cos(\omega_c t)$$

Siendo su amplitud:

$$A_s(t) = A_c + A_m \cos(\omega_m t)$$

Por lo tanto, la señal AM es:

$$\text{AM } s(t) = [A_c + A_m \cos(\omega_m t)] \cdot \cos(\omega_c t)$$

Se conoce al **índice de modulación n_a** a:

$$n_a = \frac{A_m}{A_c}$$

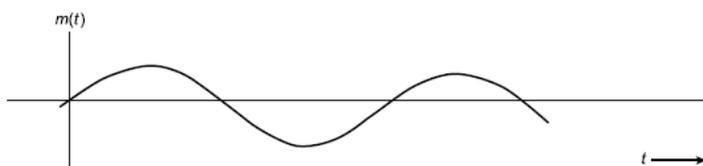
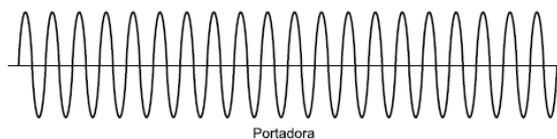
Esto se puede incluir a la ecuación de la señal AM:

$$\text{AM } s(t) = A_c \left[1 + \frac{A_m}{A_c} \cos(\omega_m t) \right] \cdot \cos(\omega_c t)$$

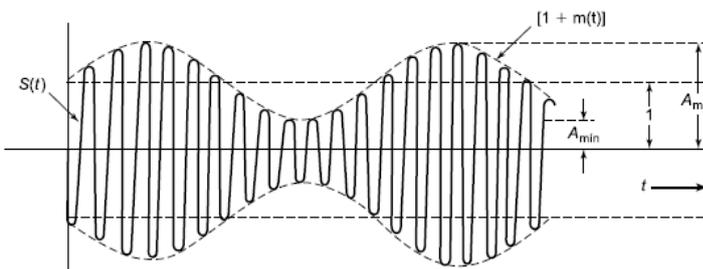
$$\text{AM } s(t) = [1 + n_a \cos(\omega_m t)] \cdot A_c \cos(\omega_c t)$$

$$\boxed{\text{AM } s(t) = [1 + n_a x(t)] \cdot c(t)}$$

La función $x(t)$ sería la señal modulante unitaria. El 1 en $[1 + n_a x(t)]$ es una componente en continua que evita la pérdida de información.



(a) Onda sinusoidal moduladora



(b) Señal AM resultante

Figura 5.22. Modulación de amplitud.

Si se observa en la gráfica, la **envolvente** de la señal AM $[1 + n_a x(t)]$, no es otra cosa que su amplitud máxima. Puede verse que esta amplitud varía de acuerdo con la señal moduladora. Es más, la envolvente es la señal moduladora montada en 1. Cuando $n_a < 1$, la envolvente será una reproducción exacta de la señal original, de lo contrario cruzaría el eje t , perdiéndose información.

Se puede aplicar distributiva a la señal AM para sacar algunas conclusiones. Se procede entonces:

$$s(t) = [1 + n_a \cos(2\pi f_m t)] \cdot A_c \cos(2\pi f_c t)$$

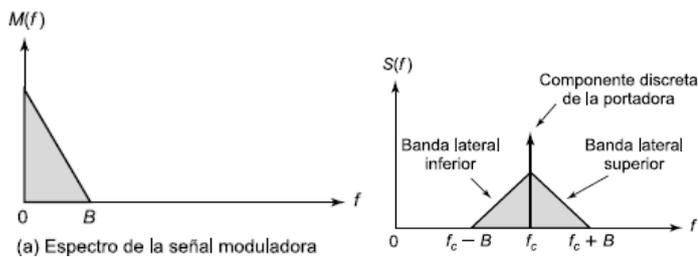
$$s(t) = A_c \cos(2\pi f_c t) + A_m \cos(2\pi f_c t) \cos(2\pi f_m t)$$

$$s(t) = c(t) + A_m \frac{\cos[2\pi(f_c + f_m)t] + \cos[2\pi(f_c - f_m)t]}{2}$$

$$s(t) = c(t) + \frac{A_m}{2} \cos[2\pi(f_c + f_m)t] + \frac{A_m}{2} \cos[2\pi(f_c - f_m)t]$$

En esta ecuación se observa que la señal AM es la suma de tres componentes: la portadora, y un par de componentes adicionales separadas f_m de la frecuencia de la portadora.

El espectro de la señal AM está formada por el espectro de la portadora f_c original más el espectro de la señal de entrada $B = f_{max}$ (frecuencia máxima de la moduladora) trasladada a f_c . A la derecha de f_c se encuentra la **banda lateral superior** y a su izquierda la **banda lateral inferior**. Ambas son réplicas exactas del espectro original de $M(f)$, pero la banda inferior estará invertida en frecuencia. Por ejemplo, en la modulación de voz que se encuentra en el espectro 300 – 3000 Hz. Si se cuelga sobre una portadora a 60 kHz, la señal resultante estará en la banda superior entre 60,3 – 63 kHz, y la banda inferior entre 57 – 59,7 kHz.



La potencia de la onda es:

$$P_t = P_c \left(1 + \frac{n_a^2}{2} \right)$$

La P_t es la potencia total transmitida en $s(t)$ y P_c es la potencia en la portadora. Es deseable hacer a n los más grande posible (siempre que sea menor a uno).

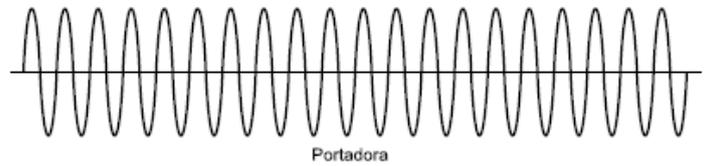
Es evidente que la señal $s(t)$ contiene componentes innecesarias, ya que cada banda lateral contiene todo el espectro de $m(t)$. Existe una variante conocida **AM de banda lateral única o SSB** y transmite una banda lateral eliminando la otra y la portadora. Como ventaja tiene que requiere la mitad del ancho de banda y requiere menos potencia ya que se ahorra la potencia de la portadora y a la banda extra. Otra variante es la **doble banda lateral con portadora suprimida o DSBSC** que filtra la frecuencia de portadora y se transmiten las dos bandas, ahorrando algo de potencia pero usando más ancho de banda.

MODULACIÓN ANGULAR

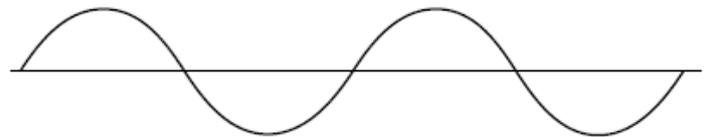
La **modulación de frecuencia FM** o **modulación de fase PM** son casos particulares denominados **modulación angular**. De la misma forma que anteriormente las expresiones matemáticas para portadora y moduladora son:

$$\text{Portadora: } c(t) = A_c \cos(2\pi f_c t) = A_c \cos(\omega_c t)$$

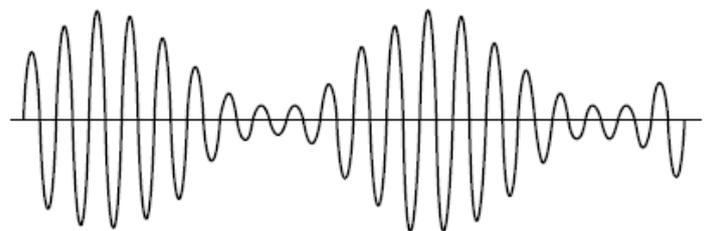
$$\text{Moduladora: } m(t) = A_m \cos(2\pi f_m t) = A_m \cos(\omega_m t)$$



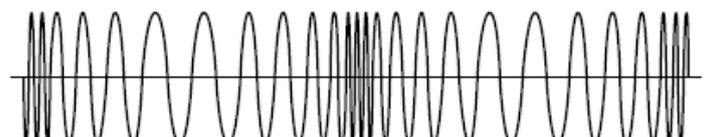
Portadora



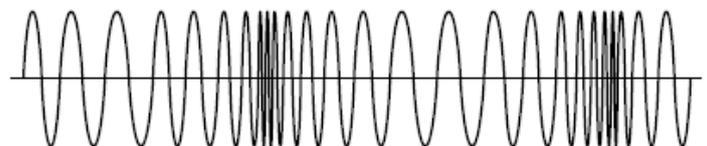
Señal sinusoidal moduladora



Onda de amplitud modulada (DSB-TC)



Onda modulada en fase



Onda de frecuencia modulada

Por su parte, la señal modulada en modulación angular es:

$$\text{Mod Ang } s(t) = A_c(t) \cdot \cos[2\pi f_c t + \theta(t)]$$

En **modulación de fase**, la fase es proporcional a la señal moduladora:

$$\theta(t) = n \cdot m(t)$$

$$\theta(t) = n \cdot A_m \cos(\omega_m t)$$

La señal PM será:

$$\boxed{\text{PM } s(t) = A_c(t) \cdot \cos[\omega_c t + n \cdot A_m \cos(\omega_m t)]}$$

En **modulación de frecuencia**, la derivada de la fase es proporcional a la señal moduladora:

$$\frac{d\theta(t)}{dt} = n \cdot m(t)$$

$$\int \frac{d\theta(t)}{dt} dt = \int n \cdot A_m \cos(\omega_m t) dt$$

$$\theta(t) = n \cdot A_m \int \cos(\omega_m t) dt$$

$$\theta(t) = \frac{n \cdot A_m}{\omega_m} \text{sen}(\omega_m t)$$

La señal *FM* será:

$$FM \quad s(t) = A_c(t) \cdot \cos \left[2\pi f_c t + \frac{n \cdot A_m}{\omega_m} \text{sen}(\omega_m t) \right]$$

Para entender las formas de la onda hay que buscar una expresión para la frecuencia. Sabemos que la fase de la señal $s(t)$ es $[2\pi f_c t + \theta(t)]$. Esta se define como la razón de cambio de la fase de una señal, entonces la frecuencia instantánea de $s(t)$ es:

$$2\pi f_i(t) = \frac{d}{dt} [2\pi f_c t + \theta(t)]$$

$$f_i(t) = f_c + \frac{1}{2\pi} \frac{d\theta(t)}{dt}$$

Para modulación de fase la frecuencia vale:

$$f_i(t) = f_c + \frac{n}{2\pi} \frac{dm(t)}{dt}$$

Esto significa que la frecuencia de la señal *PM* aumenta cuando la pendiente de la curva $m(t)$ es máxima, esto se cumple cuando $m(t) = 0$.

Para modulación de frecuencia la frecuencia vale:

$$f_i(t) = f_c + \frac{n \cdot m(t)}{2\pi}$$

Por lo tanto, la frecuencia de la señal *FM* aumenta cuando la curva $m(t)$ es máxima.

De esta ecuación se puede observar que la máxima desviación de frecuencia es:

$$\Delta F = \frac{n \cdot A_m}{2\pi}$$

Al igual que *AM*, tanto la señal *FM* como *PM* dan lugar a una señal cuyo ancho de banda está centrado en torno a f_c . Sin embargo, las magnitudes de los anchos de banda son diferentes. La modulación de amplitud es un proceso lineal que produce frecuencias correspondientes a la suma y a la diferencia de la portadora y de las componentes de la señal moduladora. Por lo tanto, se tiene que $B_T = 2B$.

La modulación de ángulo, en cambio, incluye un término $\cos \theta(t)$, que no es lineal. Este término generará un rango de frecuencias infinito. Por lo tanto, la modulación angular utiliza mayor ancho de banda que la modulación de amplitud.

Estas señales se propagan por el aire y pueden interferirse con ondas electromagnéticas variando la amplitud de la señal, mientras que la frecuencia permanece constante. Esto significa que las señales *AM* al enviar información variando la amplitud, es más propensa a ruidos. Sin embargo, las señales angulares ocupan mayor ancho de banda.

U7: MODULACIÓN Y CODIFICACIÓN

E: EL MEDIO FÍSICO

TEMAS:

- Cables, fibra óptica, radiofrecuencias.
- Puertas de comunicación normalizadas.
- Normas RS-232/422/485. Características: Topologías realizables, Velocidad, Longitud Máxima.

Stalling 7ma. Edición: u.4 pág. 95

MEDIOS DE TRANSMISIÓN

En los sistemas de transmisión de datos, el **medio de transmisión** es el camino físico entre el transmisor y el receptor. En los **medios guiados**, las ondas electromagnéticas se transmiten a través de un medio sólido (par trenzado de cobre, cable coaxial o fibra óptica). En los **medios no guiados**, la transmisión inalámbrica se realiza a través de la atmósfera, espacio exterior o agua.

Las características y calidad de transmisión están determinados tanto por el tipo de señal como por las características del medio. En caso de los medios guiados, el medio es más limitante. En los medios no guiados, las características de la transmisión están determinadas por el ancho de banda de la señal por la antena. Una propiedad de estas es la direccionalidad. En general, a frecuencias bajas las señales son omnidireccionales, a frecuencias más altas es posible concentrar el haz.

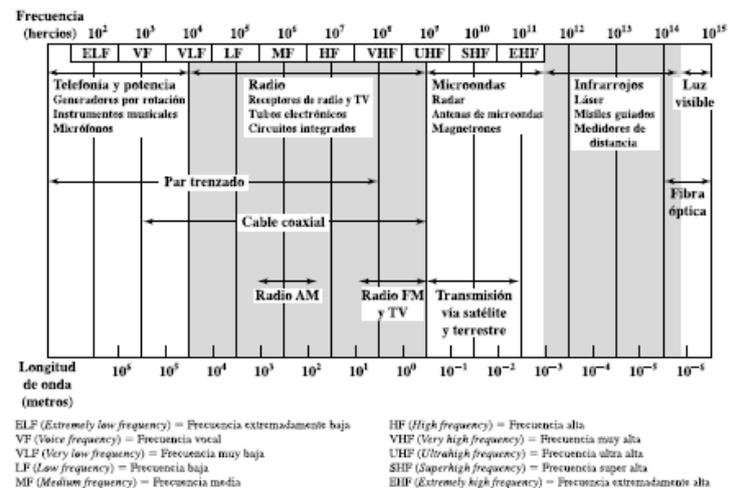
En el diseño de sistemas de transmisión es deseable que tanto la distancia como la velocidad de transmisión sean lo más grandes posibles. Hay una serie de factores que considerar:

- Ancho de banda: Al aumentar el ancho de banda se puede aumentar la velocidad de transmisión
- Dificultades en la transmisión: Atenuación.
- Interferencias: Resultan de la presencia de señales en banda de frecuencias próximas y pueden distorsionar o destruir la señal. En medios guiados, las emisiones de cables cercanos

pueden causar interferencias. En transmisiones no guiadas son muy importantes.

- Número de receptores: Un medio guiado se puede usar para un enlace punto a punto o como enlace compartido, mediante múltiples conectores. Cada conector puede atenuar y distorsionar la señal, disminuyendo tanto la distancia como la velocidad.

En la siguiente figura se muestra el espectro electromagnético, así como la frecuencia a la que operan las diferentes técnicas de transmisión sobre medios guiados y no guiados.



MEDIOS DE TRANSMISIÓN GUIADOS

En los **medios de transmisión guiados**, la capacidad de transmisión en termino de velocidad o ancho de banda, depende drásticamente de la distancia y de si el medio es punto a punto o multipunto. En la tabla siguiente se indican las características típicas de los medios guiados más comunes para aplicaciones punto a punto de larga distancia (pueden usarse para LAN también).

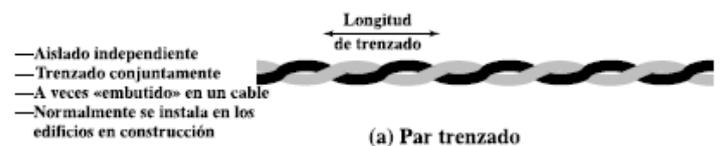
Tabla 4.1. Características de transmisión de medios guiados punto-a-punto [GLOV98].

	Rango de frecuencias	Atenuación típica	Retardo típico	Separación entre repetidores
Par trenzado (con carga)	0 para 3,5 kHz	0,2 dB/km @ 1 kHz	50 μs/km	2 km
Pares trenzados (cables multi-pares)	0 para 1 MHz	3 dB/km @ 1 kHz	5 μs/km	2 km
Cable coaxial	0 para 500 MHz	7 dB/km @ 10 MHz	4 μs/km	1 a 9 km
Fibra óptica	180 para 370 THz	0,2 a 0,5 dB/km	5 μs/km	40 km

THz = Terahercios = 10¹² Hz.

Los tres medios guiados que más se utilizan en la transmisión de datos son el par trenzado, el cable coaxial y la fibra óptica.

PAR TRENZADO



- Descripción física: El par trenzado consiste en dos cables de cobre embutidos en un aislante, entrecruzados en forma de bucle espiral. Cada par constituye un enlace de comunicación. Normalmente, varios pares se encapsulan conjuntamente mediante una envoltura protectora. En el caso de varias distancias,

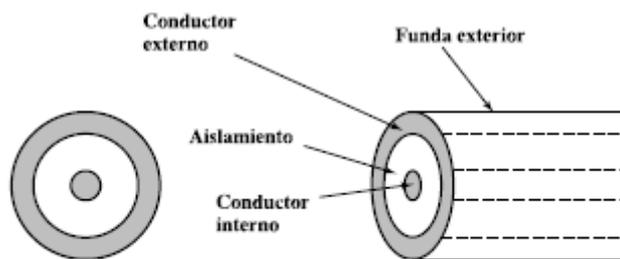
la envoltura puede contener cientos de pares. El trenzado tiende a reducir las interferencias electromagnéticas.

- **Aplicaciones:** Tanto para señales analógicas como para digitales. Es el medio más usado y más económico. Utilizado en redes de telefonía y redes de comunicación dentro de edificios. Cada teléfono se conecta a la central final en caso de redes de comunicación o a la central privada *PBX*, para transportar señales analógicas. Sin embargo, pueden utilizarse módems, para transformar señales digitales a velocidades reducidas. Es el medio de transmisión guiado más económico y más sencillo.

- **Características de transmisión:** Se puede usar para transmitir tanto señales analógicas como señales digitales. Al transmitir señales analógicas exige amplificadores cada 5 – 6 km. Para transmisión digital se requieren repetidores cada 2 – 3 km. Comparado con el resto de los medios, permite menores distancias, menor ancho de banda y menor velocidad de transmisión. Tiene fuerte dependencia de la atenuación con la frecuencia. Es muy vulnerable a interferencias y ruido por acoplamiento a campos electromagnéticos externos. Esto puede causar que capte energía con frecuencia de 50 Hz si un cable de corriente alterna se encuentra en paralelo. Para reducir estos efectos se usa apantallamiento con mallas metálicas. El trenzado también ayuda en interferencias de baja frecuencia. En sistemas con señalización analógica punto a punto puede ofrecer un ancho de banda de 1 MHz. En señalización digital se pueden conseguir unos pocos Mbps a largas distancias.

- **Par trenzado apantallado y sin apantallar:** En telefonía, el par trenzado no apantallado *UTP* es el cable más habitual. Es el más barato y sencillo, pero es vulnerable a interferencias y ruidos. Se consigue mejores características con una envoltura de malla metálica.

CABLE COAXIAL



- El conductor externo forma una malla de protección
- El conductor interno es un metal sólido
- Separados por material aislante
- Cubiertos por material de relleno

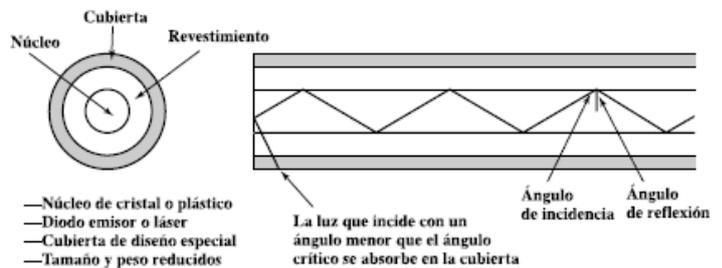
- **Descripción física:** Tiene dos conductores, pero su construcción permite trabajar a mayores frecuencias. Consiste en un conductor interno envuelto por un dieléctrico y sobre este un conductor cilíndrico externo cubierto por una funda. Permite cubrir mayores distancias y puede transportar más señales en simultáneo que el par trenzado.

- **Aplicaciones:** Es muy versátil. Se utiliza en: distribución de televisión, telefonía a larga distancia, enlaces en *PC* a corta

distancia, redes de área local *LAN*. El cable coaxial para telefonía a larga distancia actualmente compite con fibra óptica, microondas terrestres y comunicación satelital. Usando multiplicación por división de frecuencias el cable coaxial puede transportar 10000 canales de voz. También se utiliza para conexiones de periféricos o dispositivos a distancias cortas. Usando señalización digital el coaxial se puede usar como medio en canales de *E/S* de alta velocidad en *PC*.

- **Características de transmisión:** Usado tanto como para señales analógicas como digitales. Presenta menor atenuación con la frecuencia que el par trenzado, permitiendo mayores frecuencias y velocidad de transmisión. Es menos susceptible a interferencias por el apantallamiento. Para transmisiones analógicas a largas distancias se requieren amplificadores cada pocos kilómetros, siendo cada vez menor a mayores frecuencias. El espectro en señales analógicas llega a 500 MHz. En señalización digital se requiere un repetidor cada kilómetro, incluso menos a mayores velocidades de transmisión.

FIBRA ÓPTICA



- Núcleo de cristal o plástico
- Diodo emisor o láser
- Cubierta de diseño especial
- Tamaño y peso reducidos

(c) Fibra óptica

- **Descripción física:** Es un medio flexible y delgado (2 – 125 μm) capaz de confinar un haz de naturaleza óptica. Para su construcción se utilizan diversos cristales y plásticos. A continuación se ordenan distintos materiales para la fabricación en forma decreciente para las pérdidas y costo: silicio ultrapuro fundido, cristal multicomponente, fibra de plástico. El cable tiene forma cilíndrica formada por un núcleo, un revestimiento y la cubierta. El núcleo se construye por una o varias fibras. Cada fibra está rodeada por su revestimiento de cristal o plástico con propiedades ópticas distintas al núcleo. La interfaz entre estas actúa como reflector, confinando el haz. La cubierta envuelve a uno o varios revestimientos. Protege contra la humedad, abrasión y aplastamientos.

- **Aplicaciones:** Muy difundido en telecomunicaciones a largas distancias y en aplicaciones militares. A medida que disminuye su costo se difunden más en redes *LAN*. Presenta mayor capacidad: muy amplio ancho de banda y velocidad de transmisión del orden de cientos de Gbps a decenas de kilómetros. Menor tamaño y peso. Atenuación menor. Aislamiento electromagnético: la fibra óptica no se es afectada por campos electromagnéticos exteriores. No sufren ruido ni interferencias. No genera radiación que pueda interferir en otros equipos. Es una red segura difícil de pinchar. Mayor separación entre repetidores: por lo tanto menor costo.

TRANSMISIÓN INALÁMBRICA

ONDAS DE RADIO

- **Descripción física:** Son omnidireccionales. Esto evita el uso de antenas parabólicas ni que las antenas se instalen en plataformas rígidas y con alineamiento.

- **Aplicaciones:** Con el término radio se alude a la banda de frecuencias comprendidas en el rango 3 kHz – 300GHz. Se hace alusión a la banda *VHF* y *UHF*. El rango abarca la banda comercial *FM* y la de televisión *UHF* y *VHF*.

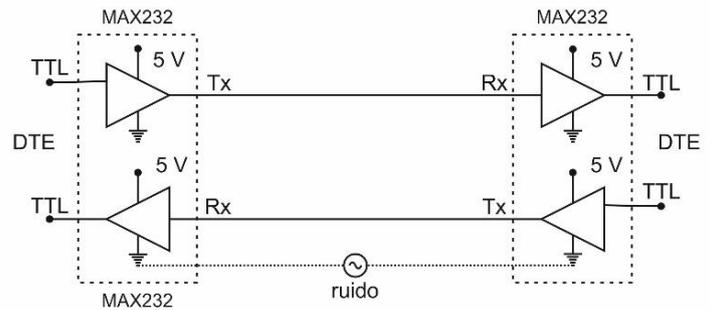
- Características de transmisión: el rango $3\text{ MHz} - 1\text{ GHz}$ es adecuado para difusión simultánea a varios destinos. A diferencia de las ondas con frecuencias menores, la ionosfera es transparente para frecuencias superiores a 3 MHz . Por lo tanto, la transmisión es solo posible cuando las antenas están alineadas. En esta banda no se producirán interferencias entre transmisores

debido a reflexiones en la atmósfera. Además son poco sensible a la atenuación por lluvia por su alta longitud de onda. Un factor relevante en las ondas de radio son las interferencias por multitrayectorias, las cuales aparecen debido a reflexión en la superficie terrestre, el mar, un avión, etc. En los receptores de televisión de TV aparecen varias imágenes o sombras.

INTERFACES

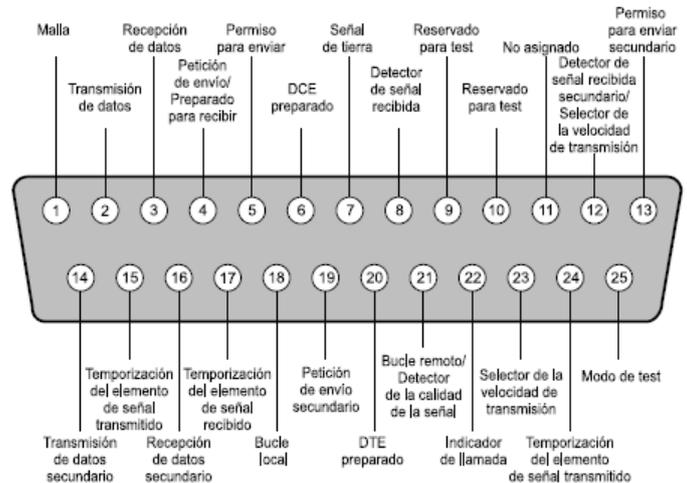
La mayoría de los dispositivos utilizados para el procesamiento de datos tiene una capacidad limitada de transmisión. Normalmente, generan una señal digital ($NRZ - L$ por ejemplo), pudiendo transmitir a una distancia limitada. En consecuencia, es extraño que dichos dispositivos se conecten directamente a la red de transmisión. En la siguiente figura se muestra una conexión habitual. En los extremos de la conexión se suelen encontrar computadoras, llamados **equipo terminal de datos DTE**. El DTE accede al medio de transmisión mediante la utilización de un **equipo terminación de dato DCE**, por ejemplo un modem.

Actualmente se lo conoce como $EIA - 232$ en estados unidos. Es una interfaz utilizada para la conexión de dispositivos DTE a los modem, que a su vez se conectan a líneas telefónicas.



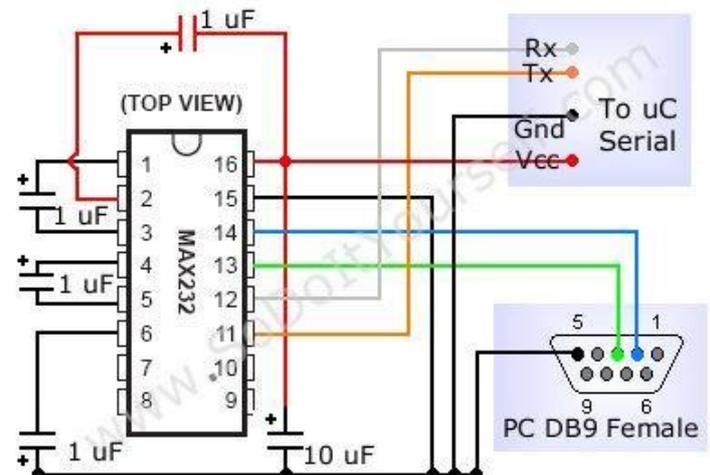
ESPECIFICACIONES MECÁNICAS

- Líneas: 25. Distribución según ISO 2110. Este conector es el terminador del cable que va desde el DTE al DCE.
- En la mayoría de las aplicaciones que usan un número reducido de circuitos se usan menos de 25 conductores.

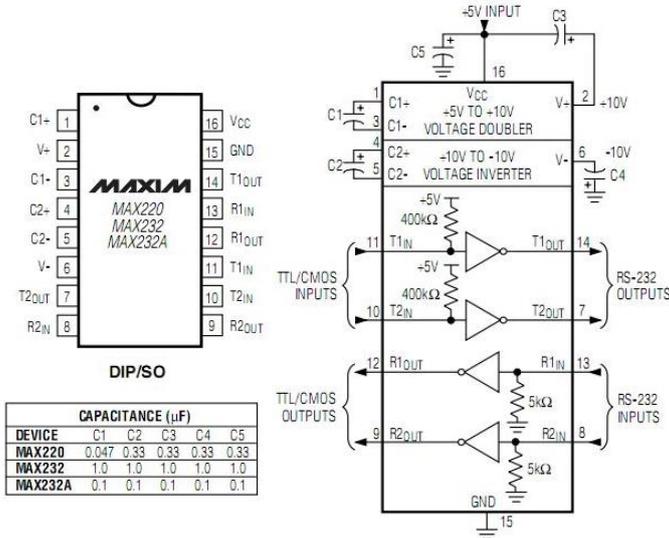


Por un lado, el DCE es responsable de transmitir y recibir bits, de uno en uno a través del medio de transmisión o red. Por lo tanto, debe interactuar con el DTE. Esto se lleva a cabo por un conjunto de cables denominados **circuitos de intercambio** y además, los dos DCE deben entenderse mutuamente. Es decir, deben usar el mismo esquema de codificación (Manchester o PSK) y la misma velocidad de transmisión. Además, cada pareja DTE - DCE deben funcionar cooperativamente. Para que se cumpla esto, se han desarrollado normalizaciones que especifican exactamente la naturaleza de la interfaz entre DTE y DCE. La interfaz tiene cuatro características importantes:

- Mecánica: Describen la conexión física entre DTE y DCE. Normalmente, el bus de datos y control se introducen en un cable conector, macho o hembra, a cada extremo.
- Eléctrica: Relacionadas con el nivel de tensión y su temporización. Tanto el DTE como el DCE deben funcionar con el mismo código ($NRZ - L$ por ejemplo).
- Funcional: Especifican las funciones que se realizan a través de cada uno de los circuitos de intercambio. Pueden ser: dato, control, temporización y masa o tierra.
- De procedimiento: Especifican la secuencia de eventos que se deben dar en la transmisión, basándose en las características funcionales.



• **MAX232:** Es un *CI* que convierte señales de un puerto *RS – 232* en señales compatibles con los niveles *TTL* de circuitos lógicos. Sirve como interfaz de transmisión de señales *RX* (recepción), *TX* (transmisión), *CTS* (listo para enviar) y *RTS* (petición de envío). Se alimenta a *5 V* e internamente genera *8 V* con multiplicadores de voltaje. Tiene dos pares *TX, RX* y un *GND*. Puede usarse en modo simplex o full-duplex. Presenta el problema de ruido a través de masa, lo cual se soluciona aumentando el voltaje.



ESPECIFICACIONES ELÉCTRICAS

- Señalización digital en todos los circuitos de intercambio.
- $1 = -3 V$ (a $-15 V$), $0 = 3 V$ (a $15 V$).
- Esto corresponde al código *NRZ – L*.
- Velocidad de transmisión: *20 kbps*.
- Distancia: *15 m*.
- Señal de control: $-3 V = OFF$, $3 V = ON$.

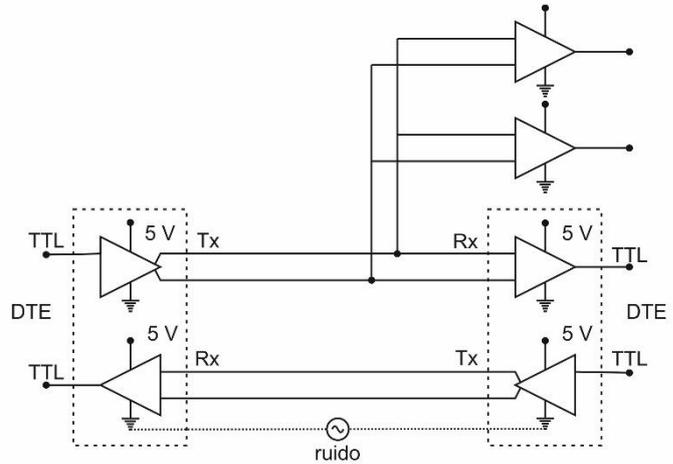
ESPECIFICACIONES FUNCIONALES

V.24	EIA-232	Nombre	Dirección hacia:	Función
SEÑALES DE DATOS				
103	BA	Transmisión de datos	DCE	Transmitidos por DTE
104	BB	Recepción de datos	DTE	Recibidos por el DTE
118	SBA	Transmisión de datos secundario	DCE	Transmitidos por DTE
119	SBB	Recepción de datos secundario	DTE	Recibidos por el DTE
SEÑALES DE CONTROL				
105	CA	Petición de envío	DCE	El DTE desea transmitir
106	CB	Preparado para enviar	DTE	El DCE está preparado para recibir; respuesta a la petición de envío
107	CC	DCE preparado	DTE	El DCE está preparado para funcionar
108.2	CD	DTE preparado	DCE	El DTE está preparado para funcionar
125	CE	Indicador de llamada	DTE	El DCE está recibiendo la señal de llamada
109	CF	Detector de señal recibida	DTE	El DCE está recibiendo una señal dentro de los límites apropiados por la línea
110	CG	Detector de señal de calidad	DTE	Indica si la probabilidad de error es alta en los datos recibidos
111	CH	Selector de la velocidad de transmisión de la señal	DCE	Selecciona una de entre dos velocidades de transmisión
112	CI	Selector de la velocidad de transmisión de la señal	DTE	Selecciona una de entre dos velocidades de transmisión
133	CJ	Preparado para recibir	DCE	Control de flujo ON/OFF
120	SCA	Petición de envío secundaria	DCE	El DTE desea transmitir en el canal reverso
121	SCB	Preparado para enviar secundario	DTE	El DCE está preparado para recibir por el canal reverso
122	SCF	Detector de señal recibida secundario	DTE	Igual que el 109, pero por el canal reverso
140	RL	Bucle remoto	DCE	Solicita al DCE ramoto que devuelva las señales recibidas
141	LL	Bucle local	DCE	Solicita al DCE que devuelva las señales recibidas
142	TM	Modo de test	DTE	El DCE se pone en modo de test
SEÑALES DE TEMPORIZACIÓN				
113	DA	Temporización del elemento de señal transmitido	DCE	Señal de reloj; aparecen transiciones a ON y OFF en el centro de cada elemento de señal
114	DB	Temporización del elemento de señal transmitido	DTE	Señal de reloj; tanto el 113 como el 114 están relacionados con la señal del circuito 103
115	DD	Temporización del elemento de señal recibido	DTE	Señal de reloj para el circuito 104
TIERRA				
102	AB	Señal de tierra/retorno		Referencia de tierra común para todos los circuitos

En la tabla se resumen las funciones. Los circuitos de intercambio se pueden clasificar en datos, control, temporización y tierra. Hay circuito en cada dirección, por lo tanto es posible el funcionamiento full-duplex. Además, hay dos circuitos de datos secundarios que son útiles cuando el dispositivo funciona en half-duplex. Es una norma diseñada par apunto a punto, pero puede aplicarse a enlace de red (bus o anillo).

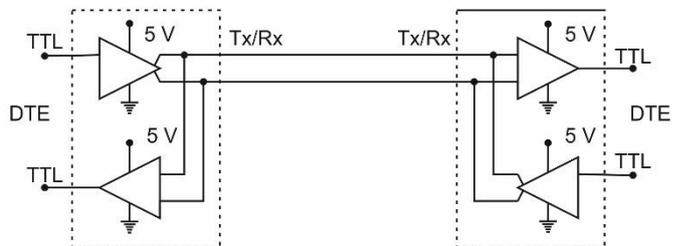
RS – 422

- Es un estándar derivado del *RS – 232*.
- Velocidad de transmisión y distancia: *10 Mbps* a *12 m* o *1001 kbps* a *1200 m*.
- $1 = -0,3 a - 6 V$, $0 = 3 a 6 V$.
- Multidrop: Un transmisor puede alimentar a *10* receptores.
- Líneas balanceadas: usan dos cables por señal trenzados.
- Es más inmune al ruido porque se afecta por igual la salida inversora y no inversora y por el trenzado. Esto permite mayor distancia y velocidad.



RS – 485

- Es una simplificación a la norma *RS – 422*.
- Multipunto: dos o más estaciones emplean el mismo medio de transmisión. Hasta *32* estaciones.
- Un solo par trenzado.
- Half-duplex.
- Niveles lógicos, distancia y velocidad igual a *RS – 422*.
- Admite topología bus.



ELECTRÓNICA

U8: COMUNICACIÓN EN ENTORNOS INDUSTRIALES A: INTRODUCCIÓN

TEMAS:

- Comunicación entre procesos y niveles en empresas del sector industrial.
- Elementos de una red industrial.

B: PROTOCOLOS DE COMUNICACIÓN

TEMAS:

- Objetivo.
- Funciones básicas.
- Estructuras de mensajes.
- Descripción de campos de un datagrama.
- Estandarización.
- Modelo de referencia *OSI*.

C: EL NIVEL DE ENLACE DE DATOS

TEMAS:

- Esquemas lógicos
- Esquemas de control de acceso al medio.
- Detección y corrección de errores.

D: PROTOCOLOS INDUSTRIALES

TEMAS:

- Protocolos de comunicación en buses de campo.
- MODBUS.
- TPC.
- Zigbee. Ámbitos de aplicación. Características.

Apuntes de cátedra

COMUNICACIÓN EN LOS ENTORNOS INDUSTRIALES

En los procesos industriales es absolutamente necesario controlar y mantener constante algunas magnitudes (presión, temperatura, etc.). Los instrumentos de medición y control (transductores, sensores, μC) permiten el control y mantenimiento de estas constantes, sin necesidad de operarios, el cual es reemplazado por la supervisión desde un centro distante.

La comunicación de los sensores y controladores con el centro de control se realiza a través de redes tipo *LAN* (red de área local), utilizando el método de muestreo, modulación y demodulación de señales y otras técnicas.

Los transmisores de los sensores primarios pueden enviar información en forma de corriente, tensión o pulsos. Luego se transporta esta señal por cable, fibra óptica, radiofrecuencia, etc. Finalmente se procesan en instrumentos de lectura.

SISTEMA *CIM* (SIST. DE FABRICACIÓN INTEGRADOS)

Una empresa no solo requiere controlar información interna, como la medida por los sensores, información contable, etc., sino también presenta información para el mercado. Esto exige una integración de la información de la empresa.

Esto se resuelve con la estructura jerárquica *CIM* (computer integrated manufacturing). En los primeros niveles tenemos:

- Medición: Se obtiene información y se digitaliza la señal analógica.
- Registración: Almacenamiento de la información.
- Comunicación: Transmisión de la información.

Estos tres se realizan a través del **bus de campo**. La computadora y el controlador se comunican por un bus sencillo *MODBUS*.

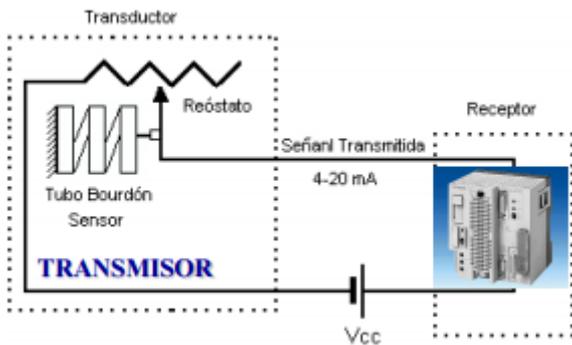
En este escenario, el conocimiento entre la comunicación entre los diferentes niveles y el funcionamiento de los mismos es fundamental.



TRANSDUCTOR O SENSOR

El dato o información nace en la señal generada en el sensor primario. En la siguiente imagen se observa un transductor conectado a un *PLC*.

La señal puede tener naturaleza digital o analógica. En este último caso, la señal debe ser digitalizada a través de un convertor *A/D*.

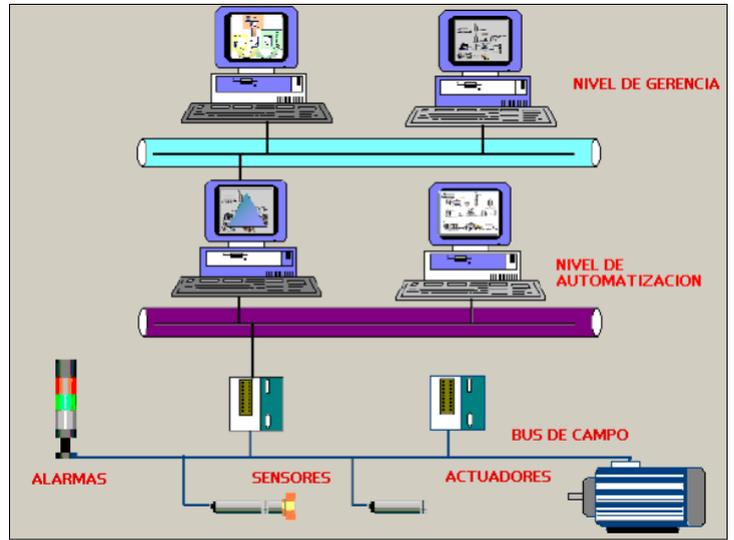


INSTRUMENTOS Y DISPOSITIVOS DE ADQUISICIÓN Y CONTROL

Estos son el siguiente elemento a continuación de los sensores.

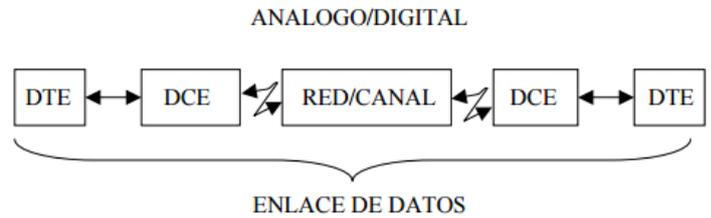
- *PID*: Controlador proporcional, integral y derivativo.
- Datalogger.
- *PLC*: Automata programable.
- *RTU*: Remote Terminal Unit.
- *PC Industrial*.

RED INDUSTRIAL



COMUNICACIÓN DE DATOS

Es el manejo y transferencia de información entre dos o más lugares distintos, presenta el siguiente esquema:



En este esquema se tiene:

- Equipo terminal de datos *DTE*.
- Equipo de comunicación de datos *DCE*.

Un *DTE* es una *PC* usada como estación maestra, y en el otro extremo el *DTE* actúa como adquiridor de datos y control (*PLC, PID, RTU, etc.*). La transferencia ordenada de información en el enlace de datos se logra por medio de dos elementos:

- Protocolo de comunicación.
- Soporte de comunicación.

PROTOCOLO DE COMUNICACIÓN

Es un conjunto de reglas y convenciones entre entes comunicantes. El objetivo del protocolo es establecer una conexión entre *DTE*, identificando el emisor y el receptor, asegurando que todos los mensajes se transfieran correctamente y controlando toda la transferencia de información.

El protocolo consta de las siguientes piezas constructivas:

- Modo de operación.
- Estructura de los mensajes.
- Tipos de órdenes y respuestas.

SOPORTE DE COMUNICACIÓN

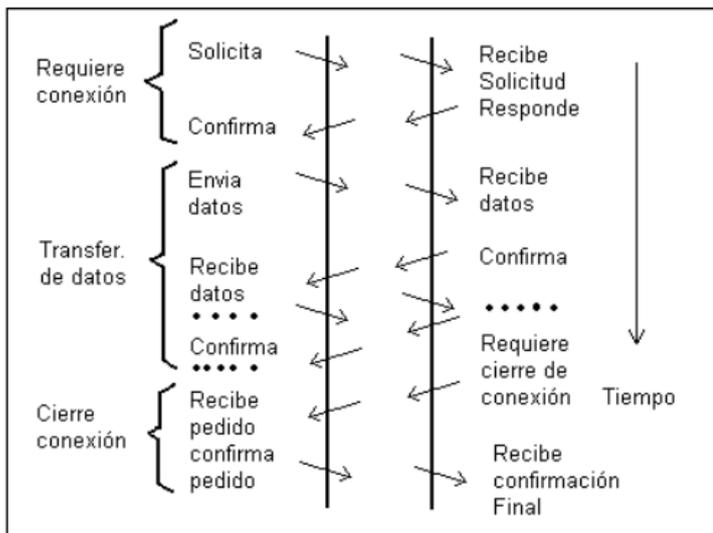
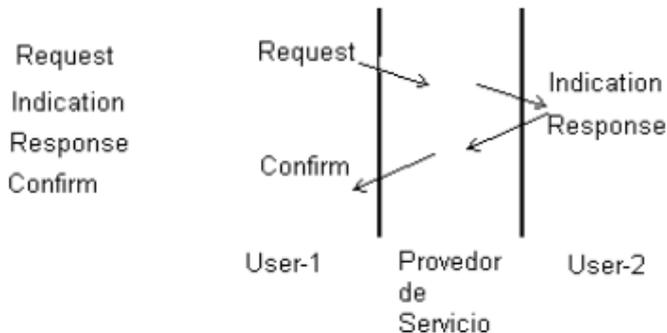
El teléfono, las conexiones, los cables, repetidoras, etc. Permiten el enlace de datos.

La fase de comunicación puede resumirse en el caso de un servicio de comunicación con confirmación (hay servicios sin confirmación).

El servicio de comunicación tiene cuatro funciones básicas o primitivas.

- **Request:** Un servicio es solicitado por el usuario.
- **Indication:** Un ente es notificado de la ocurrencia de un evento.
- **Response:** Un ente responde a un evento.
- **Confirm:** Un ente informa sobre un requerimiento anterior.

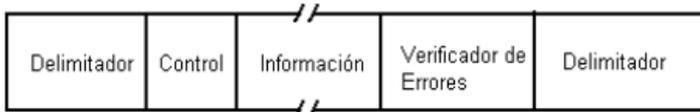
Ejemplos de este servicio es el servicio de correo con aviso de retorno. A continuación un esquema:



ESTRUCTURA DE MENSAJES ORIENTADOS A CARÁCTER O BITS

El mensaje debe estructurarse dentro de una unidad de información que manipula cada nivel para el intercambio de mensajes: cuadro, bloque, datagrama.

La forma de la estructura o **trama** es la siguiente:

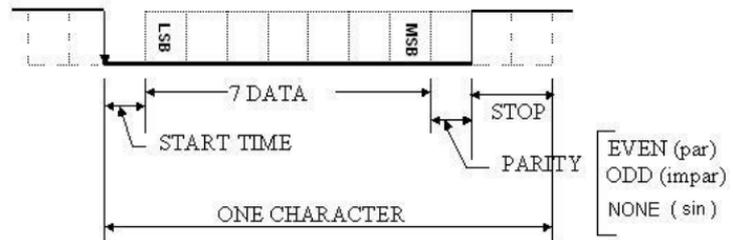


- Campo delimitador: Indica el inicio y fin del cuadro.
- Campo de control: Información de tipo de bloque, número de secuencia, destino/origen, código de request/confirm de otros bloques.
- Información: Contiene la información a transportar.

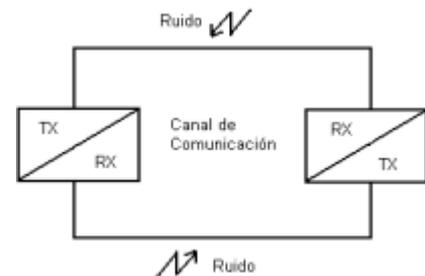
Según la estructura de la información para su transmisión, los protocolos utilizan dos estructuras diferentes:

- Orientados a caracteres.
- Orientados a bits.

TRANSMISION ASINCRONICA – RS 232



VERIFICACIÓN DE ERRORES EN LA INFORMACIÓN



La presencia de ruido en los canales de comunicación obliga a detectar y corregir errores. Los tres métodos más utilizados son:

- **Control de redundancia vertical VRC:** Consiste en el cálculo de paridad (par o impar) de la información (byte).
- **Control de redundancia horizontal HRC:** Consiste en el cálculo horizontal de todos los caracteres o byte (a través de un cálculo lógico).
- **Control de redundancia cíclica CRC:** Se usa en transmisión síncrona. Este tipo de mensaje es tratado como una función ponderada. Se obtiene un polinomio de información $D(x)$.

$$D(x) = a_n x^n + a_{n-1} x^{n-1} + \dots + a_1 x^1 + a_0$$

Los coeficientes corresponden a la secuencia de números binarios. A continuación se lo divide por un polinomio normalizado $G(x)$. Estos pueden ser los siguientes:

$$CRC - 16 (ANSI): \quad x^{16} + x^{15} + x^5 + 1$$

$$CRC (CciTT): \quad x^{16} + x^{12} + x^5 + 1$$

$$CRC - 12: \quad x^{12} + x^{11} + x^3 + 1$$

Se obtiene entonces:

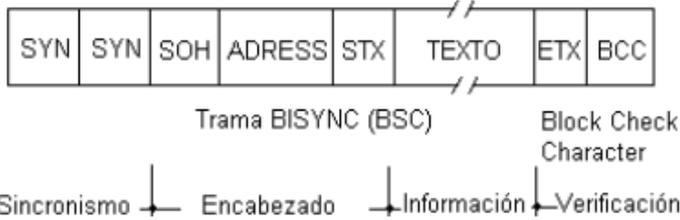
$$\frac{D(x)}{G(x)} = \frac{R(x)}{G(x)} + Q(x)$$

Siendo el resto $R(x)$ y el cociente $Q(x)$. El resto generalmente contiene 16 bits y se denomina **CRC**. Este se agrega al bloque y se transmite. El receptor realiza la misma operación y compara el **CRC** obtenido con el recibido.

PROTOCOLOS ORIENTADOS A CARACTERES

Está basado en el uso del código **ASCII**, usado en transmisión asíncrona. La trama está compuesta por caracteres de este código. La transmisión se controla por códigos de control.

El carácter **SYN** sirve como código de sincronización entre T_x y R_x , el receptor verifica de a ocho bits para encontrar este carácter repetido consecutivamente para empezar a reconocer caracteres de mensaje.



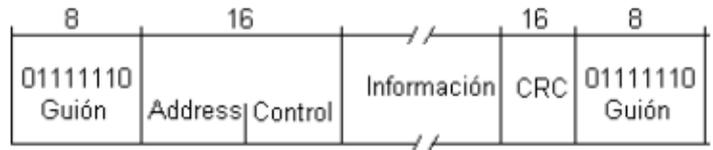
Código	Símbolo	Función
10010110	SYN	Desocupado, estable sincronismo
10000001	SOH	Inicio del mensaje o bloque
10000010	STX	Comienzo del texto
00000011	ETX	Terminación del mensaje
10000100	EOT	Terminación de la transmisión
00000110	ACK	Reconocimiento Afirmativo
10010101	NAK	Reconocimiento Negativo
00000101	ENQ	Indica si el terminal esta en ON
00010111	ETB	Fin de transmisión de bloques
10010000	DLE	Escape de enlace

Desventajas:

- Utiliza varios tipos de bloques que dificulta el soft/hard.
- Códigos de control con solo control de paridad.
- Depende del alfabeto.

Es reemplazado por estructuras orientadas al bit.

PROTOS COLOS ORIENTADOS A BIT



Dirección de estación de trabajo

TRAMA HDLC G(x)→CCITT

Tipo de Trama

- *Información (n. tramas): recibidas/enviadas
- *Supervisión (Tx ó RX): preparado, no preparado, confirmación
- *No numérica (Modo operación, desconexión, rechazo)

Se caracteriza por:

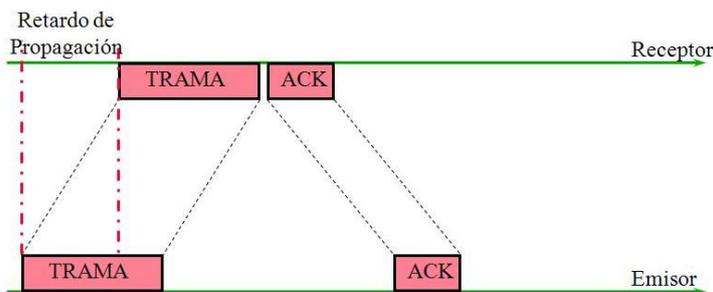
- Independencia de códigos y/o alfabetos.
- Actividad bidireccional.
- Alta fiabilidad.
- Formato único.

Las tramas con error de CRC son descartadas.

Si el remitente quiere finalizar la transmisión, envía una trama con siete unos consecutivos en el GUIÓN, si quiere pasar a reposo o ceder su derecho a seguir transmitiendo envía una trama de quince unos consecutivos la reaparición del guion, indica que el remitente abandona el estado de reposo.

ESTRATEGIAS PARA CONTROL DE ERRORES

• **Parada y espera:** El remitente guarda una copia de la trama, parando la transmisión hasta que llegue una confirmación o rechazo (ACK/NACK) por parte del receptor. Si al emisor le llega un NACK, se repite la trama tres veces. Si el ACK no llega, el remitente envía de nuevo la trama. Se usa en transmisión asíncrona (carácter). Puede ser simplex.

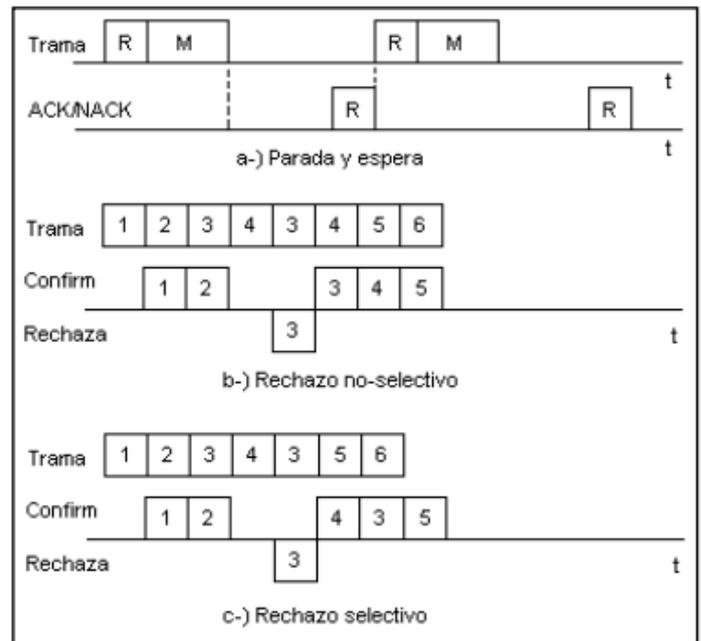


Retardo de Transmisión = Tamaño de la trama / Flujo de datos
Retardo de Propagación = Distancia / Velocidad de propagación

• **Envío continuo con rechazo simple:** El emisor envía continuamente tramas y el receptor las va validando. Si encuentra una errónea, elimina todas las posteriores y pide al emisor que envíe a partir de la trama errónea.

• **Envío continuo con rechazo selectivo:** El emisor sólo retransmite la trama defectuosa. Los controladores son más

complejos, los bloques pueden desordenarse. Usado en transmisión síncrona (bit). El canal puede ser dúplex.



ESTANDARIZACIÓN DE PROTOCOLOS EN COMUNICACIONES

Es necesario posibilitar la interconexión de diferentes dispositivos a través de diferentes redes de comunicación para ello se ha subdividido el problema de comunicación en diferentes niveles o capas. El conjunto de niveles y protocolos se denomina **arquitectura de red**. Existe un estándar definido para

comunicación entre equipos informáticos, establecido por ISO. Se trata del **modelo OSI** con siete capas de niveles.

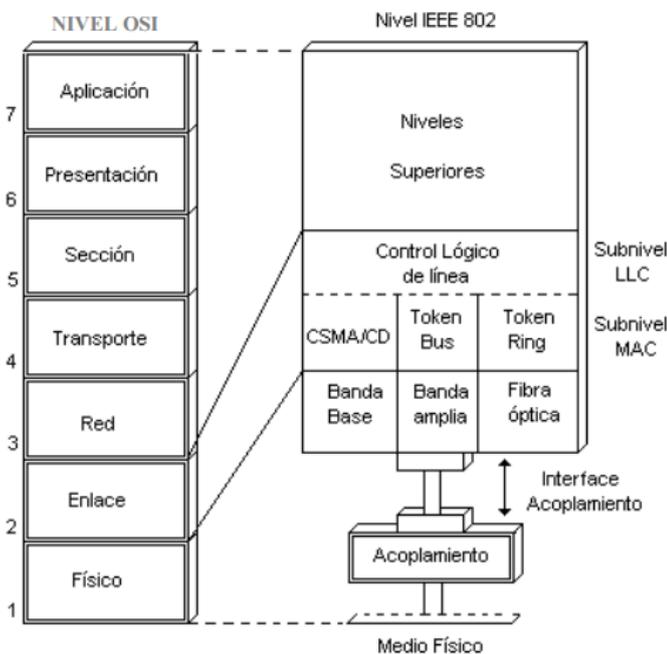
A una determinada capa no le interesa como implementan sus servicios las otras. Hay independencia entre capas. Al nivel N no le preocupa los servicios de $(N - 1)$ pero realiza los de $(N + 1)$.

Un nivel puede cambiar su estructura interna, pero no los servicios que recibe o entrega.

MODELO DE REFERENCIA OSI

El modelo de referencia *OSI* creado en los '80 por parte de la *ISO*, es una normativa formada por siete capas que define las diferentes fases por las que deben pasar los datos para viajar entre dispositivos por una red de comunicación. Cada nivel define un conjunto de funciones que son necesarias para comunicarse con otros sistemas similares y a partir de esto el protocolo a utilizar en cada capa. Cada nivel se comunica con otro adyacente. Cada uno añade valor a los niveles anteriores, hasta que, el nivel superior ofrece un abanico completo de servicios para las aplicaciones de comunicación.

A partir de este esquema se han creado muchos protocolos, sin embargo existen protocolos más flexibles que no siguen esta referencia.



NIVEL 1-FÍSICO: Se refiere a requerimientos de los equipos periféricos o terminales de datos, módems, conectores eléctricos, tipo de cable y características de las señales que permiten la conformación de la red.

NIVEL 2-ENLACE: Se ocupa de las técnicas para colocar y recoger los datos en el cable de interconexión, controlando la transferencia con detección y corrección de errores (protocolo *HDLC*). Se divide en dos subniveles: Subnivel *LLC*, se refiere al control lógico sobre la línea, Subnivel *MCA*, se refiere al modo de acceso a la línea (*CSMA/CD*, *TOKEN BUS*, *TOKEN RING*).

NIVEL 3-RED: Se ocupa de agrupar tramas en paquetes, direccionar y enviar los paquetes de información y redireccionarlos entre redes y/o hardware similares, seleccionando el camino en base a prioridades y tipo de red (protocolo *X25*).

NIVEL 4-TRANSPORTE: se ocupa del agrupamiento de los paquetes de datos en mensajes, su descomposición y transferencia fiable de los datos, controlando el formato, orden de salida y llegada de los paquetes. Incluye procedimiento de detección y corrección de errores.

NIVEL 5-SESIÓN: Administra las comunicaciones entre dos entidades y comprende: establecimiento, mantenimiento y finalización de sesiones, manejando convenciones de nombres y direcciones de red.

NIVEL 6-PRESTACIÓN: Reformatea los datos en su paso hacia y desde la red, compatibilizando con los formatos de las terminales, archivos, impresoras, plotter, etc. Con el fin de ser utilizados por la sección de aplicaciones del usuario.

NIVEL 7-APLICACIÓN: Presta servicios al usuario, comprende la interacción directa con los procesos de aplicación, manejando las transferencias de archivos, base de datos, correos electrónicos.

PROYECTO IEEE 802 (NIVEL DE ENLACE DE DATOS)

El *IEEE* ha desarrollado estándares describiendo cableado, topología física y esquemas de acceso a los que se ciñen la mayoría de los fabricantes.

802.3 (CSMA/CD): El método se conoce en castellano como acceso múltiple por tanteo de línea con detección de colisiones. Su funcionamiento consiste en que cada estación que desea transmitir un paquete de información escucha primero el cable para detectar si hay alguien utilizándolo y espera a que se libere para enviar. Si se produce una colisión, bien por sus propios medios o por no recibir respuesta al paquete, espera un tiempo y lo reenvía. Este sistema es muy eficiente para redes muy pequeñas o de poca intensidad de tráfico. Es un sistema probabilístico y no se garantiza un tiempo de respuesta. Útil en entornos de gestión y ofimática, pero no para automatización y procesos.

802.4 (TOKEN BUS): Las estaciones acceden al cable por turnos. Se establece una secuencia entre las estaciones conectadas en la red representada por un *TOKEN* que es una secuencia de bits determinada. Cuando la estación debe enviar un paquete de información, espera recibir el la señal, transmite y pasa la señal a la siguiente estación. Es determinístico, ya que todas las estaciones tienen garantizado acceso a la red. Se usa en procesos de control y en ofimática.

802.5 (TOKEN RING): Es idéntico al anterior, pero su topología de cable es un anillo en el que cada estación recibe los cables de entrada y salida. Cada estación recibe los paquetes y un *TOKEN*. Coloca su información intercalada en una ficha y retransmite lo recibido a la siguiente estación. Cuando recibe un paquete dirigido a ella, lo sustituye por un *TOKEN* en blanco y lo envía. La respuesta es alta, pero podría ser crítico en cuanto a fiabilidad y cableado. Es indicado para automatización.

ETHERNET: Funciona con la norma *IEEE 802.3*. La trama es la siguiente.

Preambulo	SFD	Dirección Destino	Dirección Origen	Longitud	Datos	Verificación
8 BYTE	2 BIT	6 BYTE	6 BYTE	2 BYTE	45 1500 BYTE	4 BYTE

"1" y "0" alternados Dos "1" ← Campo de Verificación →

MODELOS PARA AUTOMATIZACIÓN INDUSTRIAL

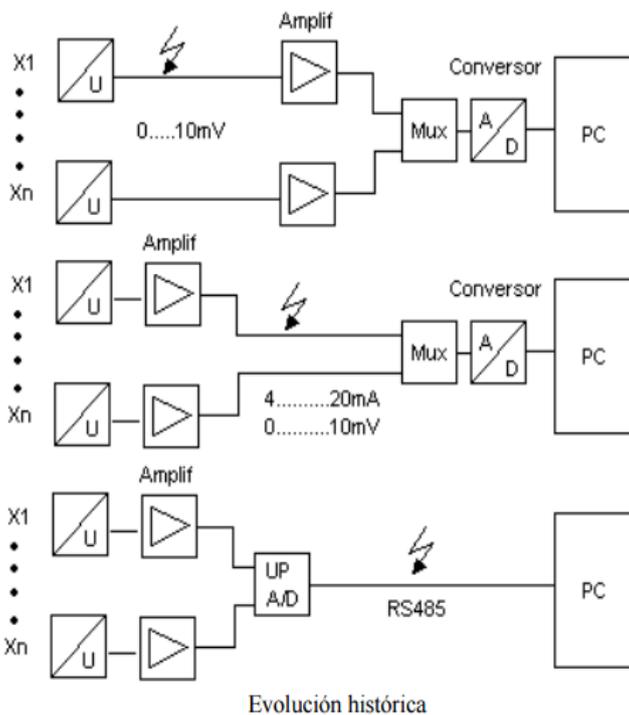
BUS DE CAMPO (FIELD BUS)

Debido a la evolución de los sistemas tradicionales de instrumentación en la industria, la tecnología va camino a la descentralización. En lugar de concentrar todas las tareas en un único computador central, ahora se subdividen y distribuyen en diferentes procesadores o instrumentos inteligentes en diferentes puntos del proceso. Esto exige una red de comunicación segura y eficiente entre los procesadores. Esta estructura de comunicación en los niveles inferiores de los procesos se denomina **Bus de campo**.

Sustituye los enlaces punto a punto, de tipo analógico por la digitalización en el mismo transductor, estableciendo una conexión física común (RS – 485 de dos hilos).

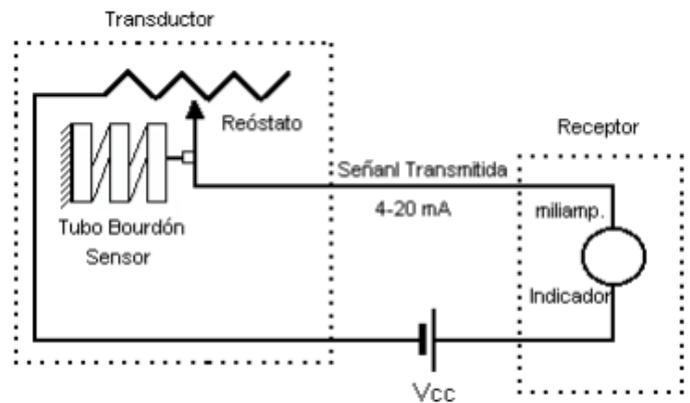
La estandarización de este está a cargo del *IEC* en Europa y de la *ISA* en Estados Unidos.

Con la evolución de las comunicaciones en la planta se ha producido también la evolución de los dispositivos de medición o, según *ISA*, los **transmisores de medición**.

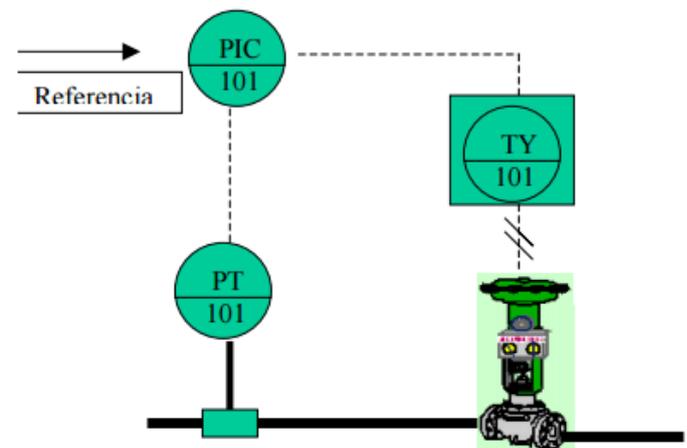


TRANSMISORES DE MEDICIÓN

A continuación se muestra un sensor de presión con salida de 4 – 20 mA.



Los transmisores (*PT* en el esquema), controladores (*PIC*) y componentes se pueden relacionar en un lazo cerrado de control como se muestra a continuación.



TRANSMISORES DE MEDICIÓN INTELIGENTES

El conjunto de transductor, sensor, microprocesador y software hace posible un tratamiento de la señal avanzado y específico en el origen de medición. Esto se llama **transmisor inteligente**.

Por ejemplo en un transmisor inteligente de presión diferencial, se filtra la señal, extrae raíz cuadrada, compensa por temperatura, compensa el error por variación del número de Reynolds, totaliza el flujo y realiza un control con una función *PID* incorporada en memoria *ROM*.

PROTOCOLOS DE COMUNICACIÓN EN BUSES DE CAMPO

Existen varios protocolos que son tipo bus de campo que están en vías de normalizarse. Algunos son:

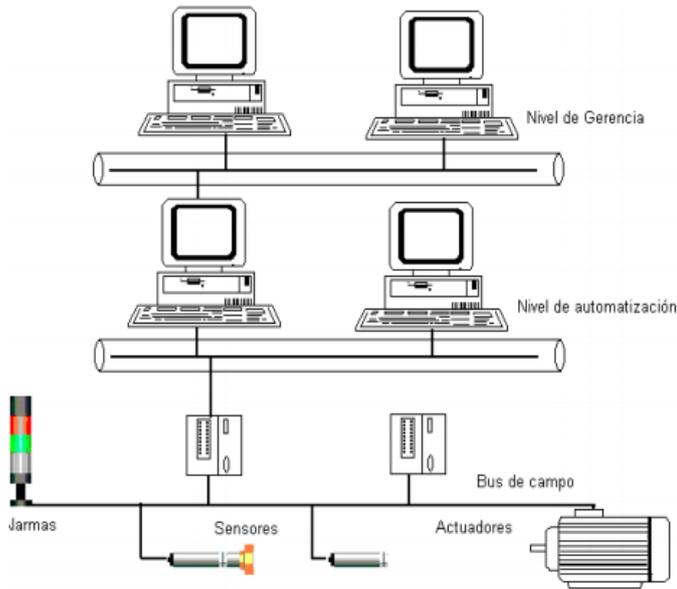
- *HART* (ROSEMOUNT).
- *PROFIBUS* (SIEMENS).
- *FIP* (FRANCIA).
- *WORLDFIP* (HENYWELL).
- *PHOEBUS* (SUIZA).

La estandarización de los protocolos de comunicación en la industria es un tema en permanente discusión. Cada uno está

optimizado para diferentes niveles de automatización y en consecuencia responde al interés comercial de diferentes proveedores. Los dos primeros están diseñados para instrumentación de control de procesos, en cambio hay otros que están optimizados para mercados de dispositivos discretos en donde el tiempo de respuesta es crítico.

Cada protocolo tiene un rango de aplicación, fuera del mismo disminuye el rendimiento. En muchos casos no se tratan de protocolos que compiten entre sí, sino que se complementan,

especialmente cuando se trata de arquitecturas de sistema de comunicación de varios niveles dentro de la planta y la empresa.



HART

Es un protocolo que proporciona una señal digital que se superpone a la señal analógica de medición (4 – 20 mA). Permite conectar varios dispositivos sobre un mismo cable o bus (multidrop) alimentación de dispositivos, mensajes de diagnósticos y acceso remoto de los datos del dispositivo, sin afectar la señal analógica de medición.

La mayor limitación es la velocidad (1200 baudios), normalmente se pueden obtener dos respuestas por segundo. La alimentación se suministra por el mismo cable y puede soportar hasta 15 dispositivos.

MODBUS

Es un protocolo utilizado en comunicaciones por cable o vía modem-radio para cubrir grandes distancias a los dispositivos de medición y control (ejemplo: pozos de petróleo, acusa, etc.). Funciona a una velocidad de 1200 baudios por radio y mayores por cable. Es un estándar de facto adoptado por casi todos los fabricantes.

DEVICENET

Resulta adecuado para conectar dispositivos simples como sensores fotoeléctricos, magnéticos, pulsadores, etc. Provee información adicional sobre el estado de la red para las interfases del usuario.

AS-I ACTUADOR SENSOR INTERFACE

Es un bus de sensores y actuadores binarios y puede conectarse a distintos tipos de PLC, controladores numéricos o PC. Es bidireccional entre maestro y nodos esclavos. Funciona

hasta 100 m o 300 m con repetidores. Pueden conectarse hasta 31 esclavos por segmento. El maestro interroga un esclavo por vez y para el máximo número tarda 5 ms. Es un protocolo abierto y hay varios proveedores que suministran todos los elementos para la instalación. Es económico para reemplazar el tradición árbol de cables en paralelo.

PROFIBUS

Desarrollado a partir del modelo de comunicación de siete niveles.

FIELDBUS FOUNDATION

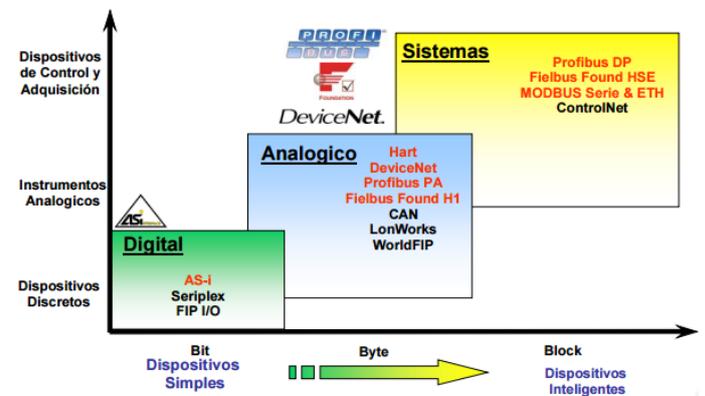
También desarrollado a partir del modelo de siete niveles. Es un protocolo para redes industriales, específicamente para aplicaciones de control distribuido. Puede comunicar grandes volúmenes de información, ideal para aplicaciones con varios lazos complejos de control de procesos y automatización de la fábrica. La longitud máxima de mensaje es de 256 bytes.

ETHERNET INDUSTRIAL

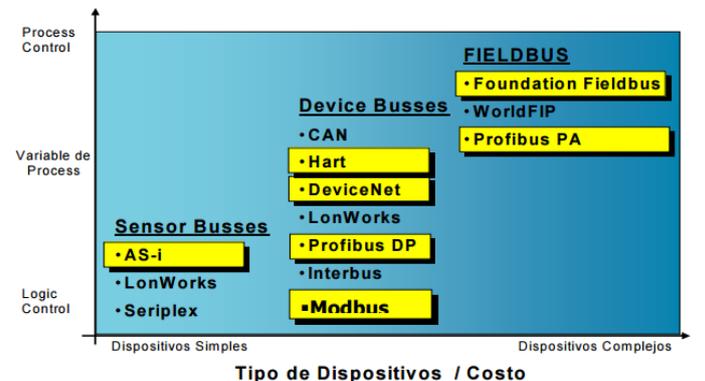
La aceptación de Ethernet en los entornos industriales y de oficina ha generado el deseo de expandir su aplicación a la planta. Es posible que con el avance de este protocolo se pueda aplicar también al manejo de aplicaciones críticas de control.

CAMPO DE APLICACIONES DE BUSES DE CAMPOS

Por tipo de información:



Por tipo de control:



REDES DE COMUNICACIÓN

En términos generales se clasifican en:

- LAN (redes de área local): Reducida a un edificio. Alcance de hasta 5 km.

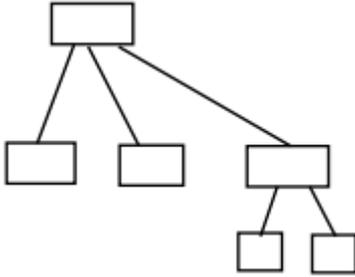
- WAN (redes de área amplia): Extendida a través de todo el planeta.

Los componentes básicos son:

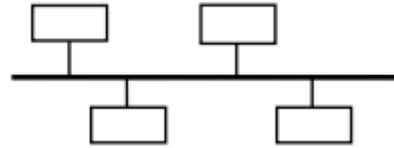
- Cable físico de comunicación y equipos electrónicos de transmisión/recepción.
- Programas o software de comunicación.

Estos determinan la topología de red:

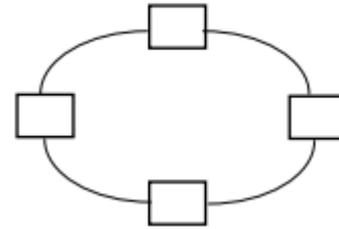
- Redes jerárquicas o en estrella: Uno de los dispositivos hace de nodo central o Host y todos los demás son esclavos. Todas las comunicaciones pasan por dicho nodo central.



- Redes en bus: Cada equipo transmite cuando no hay presencia de señal en la red utilizando una técnica de acceso probabilístico (CSMA/CD). Se aplica en la red de internet.



- Redes en anillo: Hay un testigo (token passing) que circula por la red. Cada equipo retiene el testigo mientras transmite, lo que le da características de acceso determinístico, garantizando un tiempo máximo de espera de la estación que accede a la red. Se aplica en la industria.



PROTOS COLOS AVANZADOS DE COMUNICACIÓN EN LA INDUSTRIA

Los protocolos de comunicaciones digitales en la industria siguen, en general, el modelo OSI.

FUNDATION FIELBUS FF

Fundamentalmente consta de:

- Nivel 1-Físico.
- Nivel 2-Enlace. Una pila de comunicaciones (Stack).
- Nivel 7-Aplicación.
- Nivel Usuario.

No se implementan los niveles 3, 4, 5 y 6 a causa que estos no se requieren en aplicaciones de control de proceso, pero si se tiene en cuenta un importante Nivel de Usuario.

NIVEL FÍSICO (características mecánicas, eléctricas y funcionales para establecer y liberar conexiones físicas):

- Velocidades de 31,25 kbs (baja), 1 Mbps (media) y 2,5 Mbps (alta).
- En baja se puede alcanzar una distancia de 1900 m. Disminuye con la cantidad de dispositivos en el bus.
- La comunicación es compatible dispositivos existente en 4 – 20 mA.
- Los dispositivos del bus toman energía del mismo par, evitando fuentes independientes.

NIVEL DE ENLACE DE DATOS (data link):

- Es del tipo *TOKEN – RING*.
- Establece la vinculación con el Nivel Físico. Su función es la de controlar la transmisión de mensajes hacia y desde el Nivel Físico.
- El acceso al bus se realiza mediante el programa LAS (link Active Scheduler). Actúa como un centralizador y arbitrador de uso del bus.
- Comunicación determinista realizando una distribución del tiempo para que todo dispositivo conectado sea censado.

- Permite que todos los datos publicados en el bus están disponibles para todos los dispositivos conectados que los reciben simultáneamente.

NIVEL DE APLICACIÓN

- Comprende la transferencia de datos desde el Nivel 2 al Nivel 7 y el tratamiento de los comandos del Nivel de Usuario para direccionar y acceder por su nombre los dispositivos remotos.

NIVEL USUARIO

- Define una interface que permite que el usuario interactúe con los dispositivos de campo.

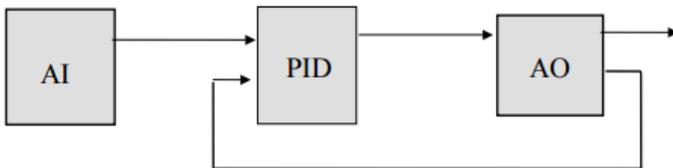
- Hay dos recursos importantes: **bloques y descripción de dispositivos**.

- Existen 3 tipos de bloques: **Bloque de Recurso**: Describe características del dispositivo tales como: nombre, fabricante, modelo y número de serie. **Bloque de Función**: Son objetos que proveen acciones de control en base al comportamiento de las E/S del dispositivo. Los bloques pueden residir dentro de los dispositivos de campo y estar disponibles para otros, a través de la red. La tabla siguiente reúne algunas funciones usuales de control y de E/S. **Bloque de Transferencia**: Acopla o desacopla bloques de funciones de acuerdo al requerimiento local de las E/S del dispositivo. El usuario crea aplicaciones sobre el bus de campo, conectando los bloques de función formando una estrategia de control distribuido, pudiendo especificar en que tiempo y en que dispositivo se ejecutan. Por ejemplo las funciones AI, PID y AO pueden residir en forma individual en un transmisor, en un controlador de lazo abierto y en un actuador respectivamente.

- La **descripción de las funciones** disponibles en el dispositivo, partir de cuya información se puede crear la HMI (Human Machine Interface), que le permita al usuario configurar parámetros y realizar la calibración, diagnóstico y acceder a otras funciones de servicio que se encuentran en los dispositivo de campo.

Block de Función	Símbolo
Analog Input	AI
Analog Output	AO
Discrete Input	DI
Discrete Output	DO
Manual Loader	ML
Proportional/Derivative	PD
Proportional/Integral/Derivative	PID

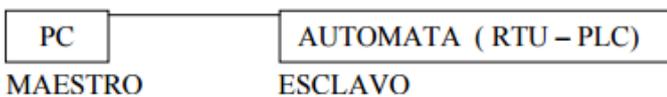
El siguiente esquema muestra un control de lazo cerrado utilizando tres bloques funcionales. La entrada analógica corresponde a un transmisor de presión. El PID y la salida analógica corresponden a una válvula de control.



El FF es una verdadera arquitectura de control distribuido.

PROTOCOLO MODBUS

Es un sistema de transmisión de datos que controla la estructura de las comunicaciones que tienen lugar entre la **estación central o maestra** y **las estaciones esclavas (PLC)**. A cada equipo se le asigna un número de dispositivo (dirección unívoca) en el rango de 1 a 255. Una comunicación comprende una interrogación y una respuesta, lo que forma la **estructura de las tramas** del protocolo.



MODOS DE TRANSMISIÓN

Modo ASCII: La trama comienza con el carácter ":". Cada carácter ocupa 1 byte. Se divide en dos partes de 4 bits (parte alta y baja). El final de la trama se forma con los caracteres CR LF.

:	No.de RTU	FUNCION	DATOS	LRC	CR	LF
---	-----------	---------	-------	-----	----	----

A continuación de los dos puntos viene el **número de RTU** es la identificación del esclavo (*PLC 01, PLC 02, etc.*). Le sigue la **función** que especifica la tarea a hacer en el esclavo (01: escribir, 02: lectura, 03 y 04: lectura de registros analógicos. Existen 26 funciones). Los **cuatro bits** siguientes definen desde que entrada del esclavo se desea interactuar (entrada 01 = 0000, entrada 02 = 0001, etc.). A continuación, se tienen otros **cuatro bits** que definen hasta cual entrada del esclavo se quiere interactuar (si se quieren dos entradas se designa como $2_{10} = 0001_2$). Finalmente se tiene el código de error LRC y el de fin LR y LF.

Modo RTU (binario): Es más complejo. Es una secuencia de unos y ceros en paquetes de 8 bits. Al final tiene los mismos caracteres que el anterior.

No.de RTU	FUNCION	DATOS	CRC	EOF
-----------	---------	-------	-----	-----

DETECCIÓN DE ERRORES

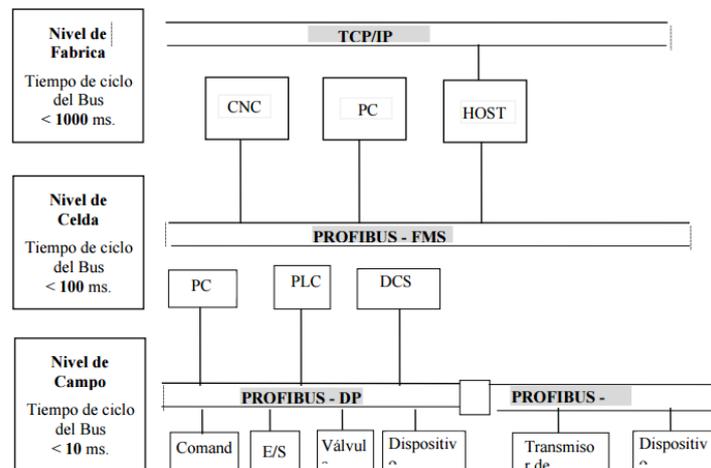
El modo *ASCII* utiliza el chequeo de redundancia longitudinal *LRC*. El modo *RTU* utiliza el chequeo de redundancia cíclica *CRC*.

FUNCIONES

FUNCION	DIRECC. BASE	ESPACIO	DESCRIPCION	OBSERV.
01	1 a 256	1 byte	Lectura registro salidas digitales	
02	10001....	1 byte	Lectura ENTRADAS DIGITALES	DI
03	40001....	2 byte	Lectura registro Mantenimiento	
04	30001....	2 byte	Lectura registro ANALOGICOS	AI
05	1 A 256	1 byte	Escritura SALIDAS DIGITALES	DO
06	40001....	2 byte	Escritura Registro ANALOGICO	AO

PROFIBUS

- Es un estándar originado en normas alemanas y europeas.
- Cumple también con el modelo OSI de 7 niveles.
- Utilizado en aplicaciones de alta velocidad de transmisión de datos entre controladores de E/S y complejas comunicaciones entre PLC.
- Para diferentes tipos de comunicación presenta distintos tipos de soluciones, los cuales satisfacen con 3 implementaciones separadas y compatibles entre ellas: *FMS*, *DP* y *PA*.



PROFIBUS-DP

- Comunicación entre controlador central (*PLC* o *PC*) y dispositivos de campo (sensores y actuadores).
- Aquí importa la velocidad sobre la cantidad de datos (Tiempo de ciclo del bus < 10 ms.).
- Tiene definido solo los niveles 1 y 2 del modelo *OSI*. Tiene el Nivel de Usuario y dispone de un servicio de intercomunicación con el Nivel 2. Para el Nivel 1 dispone soporte de fibra óptica en *RS - 485*.

PROFIBUS-PA

- Está diseñado específicamente para procesos de automatización.
- El mismo bus suministra energía a los dispositivos de campo.
- Utiliza el mismo protocolo de transmisión que el *DP*, ambos pueden ser integrados en la red con el uso de un segmento acoplador.

PROFIBUS-FMS

- Es el más completo y está diseñada para proveer facilidades de comunicación entre varios controladores programables (*PLC* o *PC* con red de celdas) y acceder también a dispositivos de campo.
- Tiempo de ciclo del bus < 100 ms.

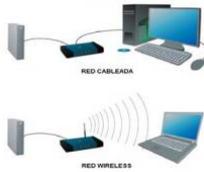
- Este servicio permite acceder a variables, transmitir programas y ejecutar programas de control tan pronto ocurra un evento.

- Tiene definido los niveles 1, 2 y 7. Mediante el *FDL* se realiza el control y acceso al bus correspondiente al Nivel 2. Con el *FMS* se implementa el Nivel 7 vinculando el Usuario con el Nivel 2. Para el Nivel dispone soporte de fibra óptica en *RS – 485*.

SISTEMA INALÁMBRICO DE COMUNICACIÓN

El término **red inalámbrica** (Wireless Network) es un término que se utiliza para designar la conexión de nodos sin necesidad de una conexión física (cables), ésta se da por medio de ondas electromagnéticas. La transmisión y la recepción se realizan a través de puertos.

Como ventaja tiene la disminución de los costos por la eliminación del cableado. Como desventaja tiene que exige una mayor seguridad para asegurar la privacidad del envío de datos.



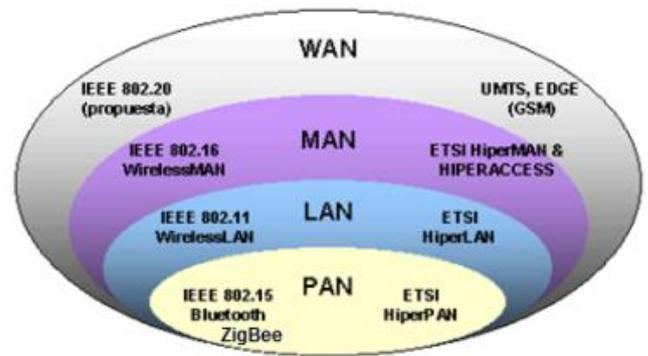
Se clasifican según su cobertura es:

- **Personal Area Network PAN** : Cobertura personal. Tecnologías: HomeRF (usado para conectar mediante un aparato central, celulares y ordenadores hogareños), Bluetooth (usa protocolo *IEEE 802.15.1*), ZigBee (usa protocolo *IEEE 802.15.4*) se utiliza en aplicaciones de domótica que requieren comunicación segura con tasas bajas de transmisión y maximización de batería, *RFID* que es un sistema remoto de almacenamiento y recuperación de datos con el propósito de transmitir la identidad de un objeto mediante ondas de radio.

- **Local Area Network LAN** : Tecnologías: *HiperLAN* , *ETSI*, tecnologías basadas en Wi-Fi. Todos siguen el estándar *IEEE 802*.

- **Metrolopitan Area Network MAN** : Tecnologías: basadas en *WiMAX* (interoperabilidad mundial para acceso con microondas), es un estándar basado en la norma *IEEE 802*. Es un protocolo parecido a Wi-Fi pero con mayor cobertura y ancho de banda.

- **Wide Area Network WAN** : Tecnologías: *UMTS* , utilizada en teléfonos móviles de tercera generación *3G* y sucesora de la tecnología *GSM*, o también la tecnología digital para móviles *GPRS*.



Distribución de Redes según Cobertura.

ESTÁNDAR IEEE 802

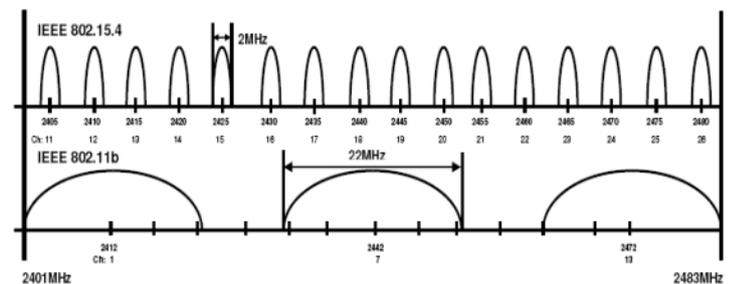
El estándar *IEEE 802* (años 80') fue realizado por el Instituto de Ingenieros Eléctricos y Electrónicos *IEEE* . Actúa sobre redes de ordenadores concretamente y redes *LAN* y *MAN*. Se usa el mismo nombre para referirse a estándares propuestos, algunos muy conocidos como: Ethernet *IEEE 802.3* , *Wi-Fi IEEE 802.11*, Bluetooth y ZigBee *IEEE 802.15*.

Se centra en definir los niveles más bajos según el modelo *OSI*, concretamente en el nivel de enlace.

Algunos de los estándares más populares que comparten la banda de *2.4 GHz* sin licencia son Bluetooth, Wi-Fi y ZigBee. En la siguiente tabla se pueden observar las principales características de cada uno.

	ZigBee (WPAN)	Bluetooth (WLAN/WPAN)	Wi-Fi (WLAN)
Estándar de comunicación	<i>IEEE 802.15.4</i>	<i>IEEE 802.15.1</i>	<i>IEEE 802.11x</i>
Velocidad máx de transmisión	250 <i>kbps</i>	1 <i>Mbps</i>	Hasta 54 <i>Mbps</i>
Consumo de I en transmisión	35 <i>mA</i>	40 <i>mA</i>	> 400 <i>mA</i>
Consumo de I en standby	3 μ A	200 μ A	20 <i>mA</i>

En la siguiente figura se puede ver la conexión de ZigBee y Wi-Fi en la banda de *2,4 GHz*. Se observa el intercalado de canales, y el ancho de banda relacionado con la velocidad de transmisión. La numeración de canales corresponde a cada estándar.



ZigBee y Bluetooth tienen similares corrientes de transmisión, pero en standby, ZigBee presenta mucha menor corriente. Esto se debe a que los dispositivos Bluetooth deben dar información a la red frecuentemente para mantener la sincronización. Por su parte, Wi-Fi requiere una actividad casi ininterrumpida entre dispositivo y red. La ventaja es la enorme cantidad de datos que puede transferir a costa de mayores corrientes.

ZigBee resulta idóneo para la implementación en redes de sensores inalámbricos, debido a su flexibilidad, conexionado en redes en malla, posibilidad de standby, bajo consumo, bajo costo.

ZIGBEE VS BLUETOOTH

- ZigBee puede contar con hasta $2^{16} = 65536$ nodos distribuidos en subredes de 255 nodos, frente a los 8 máximos de una subred Bluetooth.

- Menor consumo eléctrico. ZigBee puede permanecer más tiempo dormido.

- Menor velocidad de transmisión.
- Bluetooth se utiliza para telefonía móvil y la información casera. ZigBee es útil para transmitir bajo volumen de datos como medición y supervisión de procesos industriales, domótica y requerimientos de bajo consumo.

DISPOSITIVOS ZIGBEE

Se definen tres tipos distintos de dispositivos ZigBee según su papel en la red:

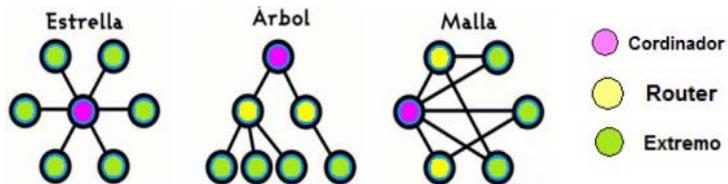
- **Coordinador ZigBee ZC**: Es el más completo. Debe existir uno por red. Se encarga de controlar la red y los caminos que deben seguir los dispositivos para conectarse entre ellos.
- **Router ZigBee ZR**: Interconecta dispositivos separados en la topología de la red, además de ofrecer un nivel de aplicación para la ejecución de código de usuario.
- **Dispositivo final ZED**: Posee la funcionalidad necesaria para comunicarse con el coordinador, pero no puede transmitir información a otros dispositivos. Esto le permite estar en modo Standby. Tiene requerimientos mínimos de memoria y es más barato.

TOPOLOGÍA DE RED

ZigBee permite tres topologías:

- **Topología en estrella**: El coordinador se sitúa en el centro.
- **Topología en árbol**: El coordinador será la raíz.
- **Topología de malla**: Al menos uno de los nodos tendrá más de dos conexiones.

La topología más interesante y prometedora es la de malla. Esta permite que si un nodo falla, pueda seguir la comunicación entre todos los demás nodos, debido a que se rehacen todos los caminos. La gestión de los caminos la hace el coordinador.



CONEXIÓN ENTRE ZIGBEE

El diseño de la red se basa en el ahorro de energía. La estrategia consiste en mantener durante mucho tiempo los esclavos en modos standby. Solo se despiertan para confirmar que están vivos. El transcurso de dormido a vivo dura 15 ms y la enumeración de esclavos dura unos 30 ms.

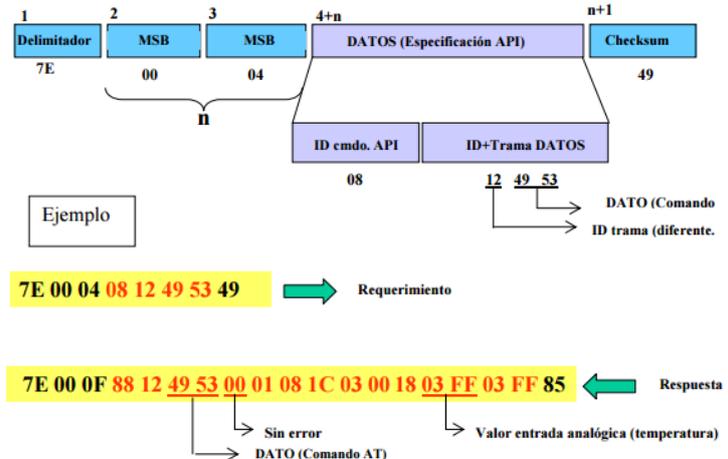


Módulos XBEE y XBEE-PRO

Pin	Name	Direction	Description
1	VCC	-	Power supply
2	DOUT	Output	UART data out
3	DIN / CONFIG	Input	UART data in
4	DO8	Output	Digital output 8
5	RESET	Input	Module reset (at least 200nS)
6	PWM0 / RSSI	Output	PWM output 0 / RX signal strength indicator
7	PWM1	Output	PWM output 1
8	(reserved)		Do not connect
9	DTR / SLEEP_RQ / DI8	Input	Pin sleep control line or digital input 8
10	GND	-	Ground
11	AD4 / DIO4	Either	Analog input 4 or digital I/O 4
12	CTS / DIO7	Either	Clear to send flow control or digital I/O 7
13	ON / SLEEP	Output	Module status indicator
14	VREF	Input	Voltage reference for AD inputs
15	Associate / AD5 / DIO5	Either	Associated indicator, analog input 5 or digital I/O 5
16	RTS / AD6 / DIO6	Either	RTS flow control, analog input 6 or digital I/O 6
17	AD3 / DIO3	Either	Analog input 3 or digital I/O 3
18	AD2 / DIO2	Either	Analog input 2 or digital I/O 2
19	AD1 / DIO1	Either	Analog input 1 or digital I/O 1
20	AD0 / DIO0	Either	Analog input 0 or digital I/O 0

TRAMA DE COMUNICACIÓN

Es un formato estándar como cualquier otro protocolo:



Existen 18 tipos de tramas posibles. Por ejemplo:

- Solicitud de muestra: "7E 00 04 08 12 49 53 49".
- 7E: Inicio de trama.
- 00 04: Longitud de datos (siguen 4 bits y uno de checksum).
- 08: Comando.
- 12: Identificador de trama.
- 49 53: IS comando enviado.
- 49: Checksum.
- Ejecutada la acción, se recibe una trama conteniendo el resultado:
- "7E 00 0F 88 12 49 53 00 01 08 1C 03 00 18 03 FF 03 FF 85"
- 7E: Inicio de trama.
- 00 0F: longitud de datos (15 bytes a continuación, más uno de checksum).
- 88: Respuesta a comando.

12: Identificador de trama (el valor que enviamos en el comando).
 49 53: (IS comando reenviado).
 00: Resultado, OK.
 01: Cantidad de muestras.
 08 1C: I/O Habilitados (DIO11, DIO4, DIO3, DIO2).

03: Canales analógicos habilitados (AN1, AN0).
 00 18: Estado de I/O.
 03 FF: Valor de AN0.
 03 FF: Valor de AN1.
 85: Checksum.

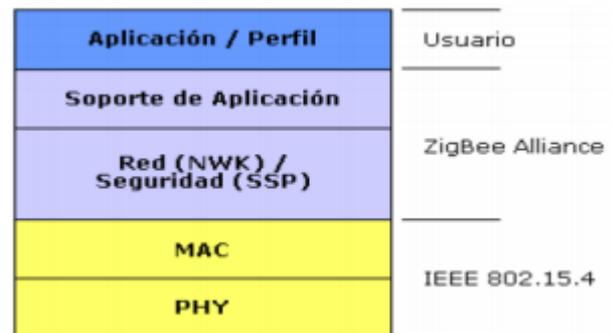
ARQUITECTURA DEL PROTOCOLO ZIGBEE

ZigBee es una pila de protocolos constituido por diferentes capas independientes unas de otras (como *OSI*). A continuación se muestran los niveles.

La capa de más bajo nivel es la capa física (*PHY*), que en conjunto con la capa de acceso al medio (*MAC*), brindan los servicios de transmisión de datos por el aire, punto a punto. Descriptas por el estándar *IEEE 802.15.4-2003*. El estándar trabaja sobre las bandas *ISM* de uso no regulado, donde se definen hasta 16 canales en el rango de *2.4 GHz*, cada una de ellas con un ancho de banda de *5 MHz*. Se utilizan radios con un espectro de dispersión de secuencia directa, lográndose tasas de transmisión en el aire de hasta *250 Kbps* en rangos que oscilan entre los 10 y 75 m, los cuales dependen bastante del entorno.

La capa de red (*NWK*) tiene como objetivo principal permitir el correcto uso del subnivel *MAC* y ofrecer una interfaz adecuada para su uso por parte de la capa de aplicación. En esta

capa se brindan los métodos necesarios para: iniciar la red, unirse a la red, enrutar paquetes dirigidos a otros nodos en la red, proporcionar los medios para garantizar la entrega del paquete al destinatario final, filtrar paquetes recibidos, cifrarlos y autentificarlos. Se debe tener en cuenta que el algoritmo de enrutamiento que se usa es el de enrutamiento de malla



ENTORNO DE TRABAJO

PROGRAMA X – CTU

El software *X – CTU* de la marca DIGI, tiene una interfaz que permite asignar atributos o funciones a través de cuatro pestañas.

- *PC setting*: Selecciona el puerto de comunicación (entre *PC* y placa *ZC*) y define los parámetros de las tramas (velocidad, paridad, longitud de la trama, bit de arranque, bit de parada...)
- *Range Test*: Permite la evaluación de pérdida de comunicación.
- *Terminal*: Permite inscribir los comandos a enviar a los módulos *XBee*.
- *Modem Configuration*: Permite leer la configuración de los módulos *XBee* y escribir una nueva configuración.

El *X – CTU* permite guardar y cargar la configuración completa de los módulos por medio de los botones *Save* y *Load* grupo *Profile* en la pestaña *Modem Configuration*.

PROGRAMA XBEEZBNETVIEW

Este programa muestra un diagrama de "árbol" de los módulos *ZigBee* de la red, con el estado de cada uno de ellos, a través de tres pestañas.

- *Archivo*: Se utiliza para establecer la comunicación a la red *ZigBee*.
- *Herramientas*: Permite administrar diferentes funciones en la comunicación.
- *Ayuda*: Para el usuario.

ELECTRÓNICA

U9: SISTEMA SCADA A: ESTRUCTURA FISICA Y LOGICA

TEMAS:

- Esquema jerárquico de un sistema de adquisición de datos y control supervisado.
- Estructura básica del software SCADA.
- Módulos constitutivos.
- Organización y estructuración de datos.

B: COMUNICACIÓN

TEMAS:

- Esquemas de comunicación con dispositivos de adquisición de datos y automatización.
- Driver de comunicaciones.
- DDE. NetDDE. OPC.

C: APLICACIONES DE SUPERVISION DE PROCESOS

TEMAS:

- Diseño gráfico.
- Alarmas.
- Tendencias.
- Históricos.
- Scripts.
- Reportes.
- Vinculación entre aplicaciones.

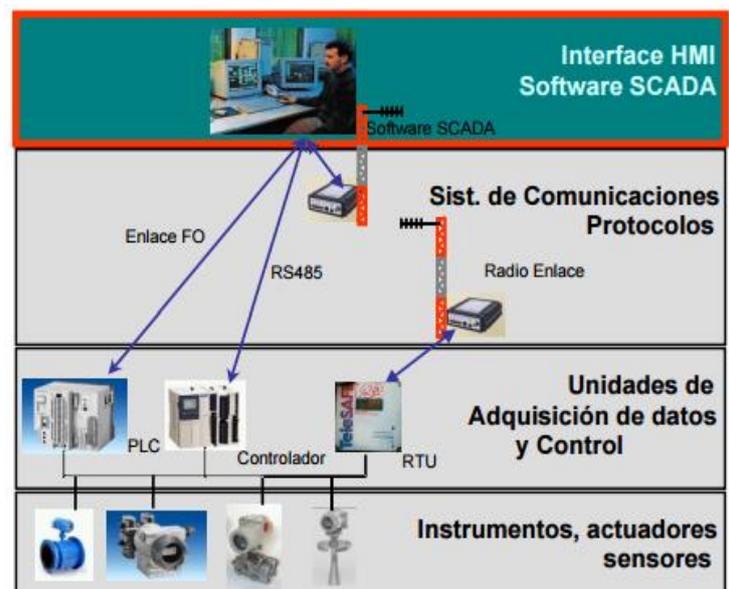
Apuntes de cátedra

SOFTWARE SCADA

Una de las partes más importantes de los sistemas de automatización lo constituye el subsistema de visualización de los datos, lo que se conoce como Interfase Hombre-Máquina (*MMI*) o Interfase Humano-Máquina (*HMI*), también se denomina Software *SCADA* (supervisión, control y adquisición de datos). Este software forma parte del último nivel de supervisión.

El software *SCADA* está formado por diferentes software's que corren en una computadora y cuyo objetivo es la visualización de datos que se miden en la planta y su control de manera simple y efectiva.

Utiliza un modelo Maestro-Eslavo y en una arquitectura Punto-Multipunto en donde el software *SCADA* es el Maestro que realiza la consulta sobre varios dispositivos de campo (*RTU*, *PLC*, *PID*). Estos a su vez tienen un esquema similar con los instrumentos de medición y actuadores.





En las aplicaciones más modernas se utiliza el modelo Cliente-Servidor para arquitecturas con más de un nodo de supervisión.

Estos programas poseen varios componentes que permiten además de visualizar los datos, establecer alarmas, visualizar tendencias de las variables medidas, comunicarse con los dispositivos de campos, generar datos históricos y otras funciones para cumplir con el objetivo (esquema).

Estas funciones pueden ser un solo paquete o también suelen venir integrados con sistemas de control. Estos programas realizan la comunicación con los diferentes dispositivos de adquisición de datos y control a través de comunicaciones digitales, dicha información es almacenada en una base de datos de tiempo real, la cual brinda información a los otros componentes para representar gráficamente los datos, para generar alarmas y gráficos. Desde la visualización también se permite enviar órdenes o comandos de manera de interactuar con el proceso.

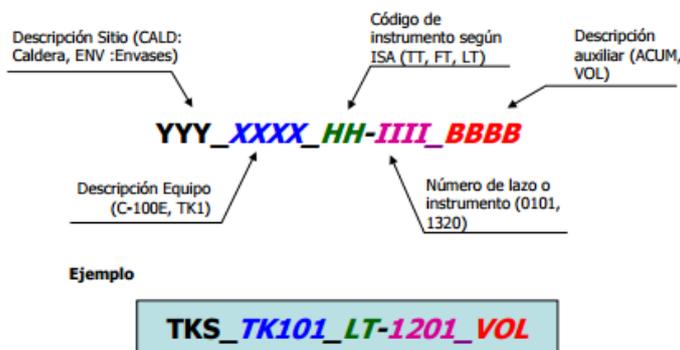


BASES DE DATOS SCADA

El intercambio de información se generaliza bajo el concepto de **Base de Datos DB**. Se trata de un fichero de datos en el cual se realizan consultas y actualizaciones. Se puede agregar, extraer, actualizar o realizar operaciones diversas por medio de un lenguaje adecuado.

Las bases de datos elementales se pueden considerar como una tabla formada por varias filas y columnas donde cada fila corresponde a un registro y cada columna a una característica de ese registro. Los registros para el *SCADA* son variables del proceso y las columnas representan diferentes características de las variables.

Para identificar cada variable se utiliza, según estándar internacional, un *TAG*. Un ejemplo de la denominación de cada *TAG* se podría realizar con la siguiente estructura:



Las otras características importantes para la definición de cada registro son:

- Tipo de variable (Analógica o Discreta, de entrada o salida, interna o externa).

- Rangos de las Variables Analógicas (mín. y máx.).
- Estados de las variables Discretas (cual estado corresponde a ON y cual a OFF).
- Valores de Alarmas.
- Unidades.
- Identificación del dispositivo de campo al cual pertenece la variable externa.

En el siguiente esquema se ha considerado un caso básico donde solamente se realiza la visualización de una variable, en este caso se producen 3 proceso en forma paralela, por un lado los módulos de comunicación le solicitan con una determinada frecuencia información a los dispositivos de adquisición de datos. Dicha frecuencia se establece en la configuración de cada driver de comunicación. Una vez recepcionados los datos, los mismos son interpretados por los drivers y puestos a disposición de algún cliente de datos como el manejador de la base de datos. Por otro lado, el manejador de la base de datos toma los datos disponibles de los drivers y realiza la conversión de los mismos. A continuación se pone a disposición de algún cliente de datos (módulo de visualización, alarmas, históricos). En forma paralela el módulo de visualización lee los datos disponibles en la base de datos y los presenta gráficamente en la pantalla del operador.



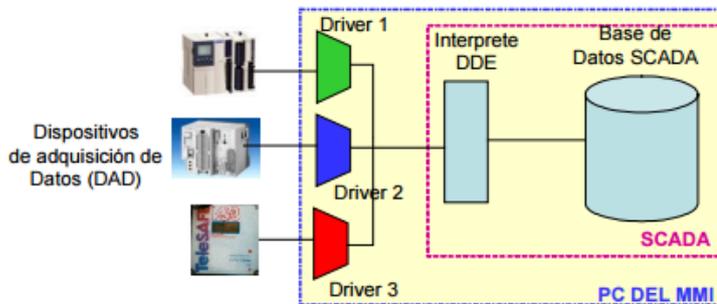
COMUNICACIONES CON ELEMENTOS DE ADQUISICION DE DATOS Y AUTOMATIZACIÓN

La comunicación con los dispositivos de campo, los cuales a su vez adquieren datos del proceso y realizan control del mismo es otro de los componentes fundamentales del software de supervisión, ya que es a través de este componente de donde se nutren de información en tiempo real. Como en toda comunicación, importa el medio físico y el protocolo a utilizar. Dado que los dispositivos de adquisición *DAD* de datos son variados, los protocolos también serán variados. Hay tres modelos básicos:

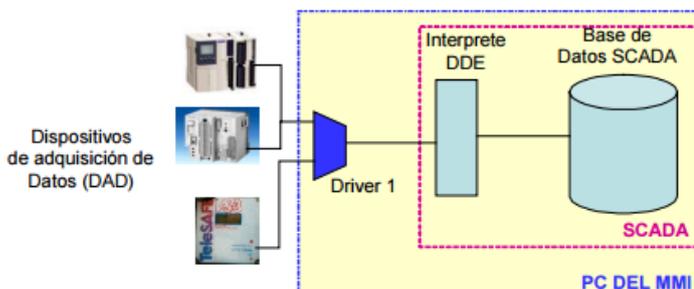
- A través de un intérprete o *DRIVER*. Es el más antiguo. este habla el lenguaje del *DAD*, lo interpreta, convierte la información y la transfiere a la base de datos del *SCADA*. Se requiere un *DRIVER* por protocolo.
- Utilizar un lenguaje común y estándar. Hay que forzar a los fabricantes a tener un intérprete de ese lenguaje de su dispositivo, como sería el caso del protocolo *MODBUS*.
- Una variación a este último modelo lo constituyen los *DRIVERS OPC* (*OLE for Process Control*) donde se utiliza la tecnología *OLE* (Object Linking and Embedding) de Windows.

DRIVERS (INTERPRETE)

Se requiere de uno por cada tipo diferente de protocolo, en un inicio existían tantos protocolos como dispositivos de adquisición de datos, lo cual complicaba el desarrollo del software *SCADA* ya que debían desarrollar.



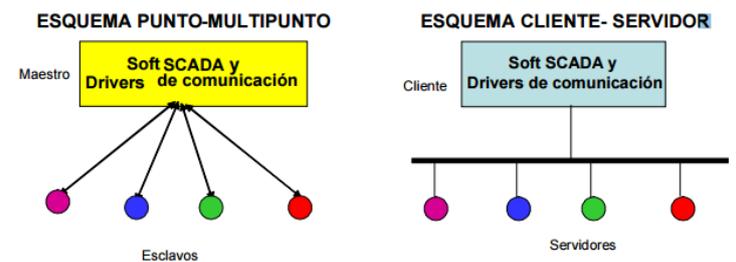
El sistema anterior era poco práctico, por lo tanto se pasó a la unificación de los *DRIVERS*, y de ahí surge entre otros el protocolo *MODBUS* por su simpleza, difusión, gratuidad. La desventaja es que la potencialidad de los dispositivos se ve limitada por el protocolo.



La mayoría de los *DRIVERS* utilizan el método de direccionamiento a través de identificación de dispositivo mediante un número identificatorio y de una identificación del

dato a través de un registro. Tienen la misión de convertir la información enviada y recibida con los dispositivos de campo, y además, conforman sobre el estado de las comunicaciones y en algunos casos sobre estadísticas de los mismos.

Algunos *DRIVERS* funcionan bajo el modelo **Punto-Multipunto** con sistemas de **encuesta o Polling** basado en tiempo (*MODBUS*, *DF1*). Otros permiten el **modo Excepción** en el cual los esclavos pueden enviar mensajes en caso de alarmas o eventos importantes (*ROC*, *MODSCAD*, *BISAP*, *DNP* ·). Por otro lado, también hay algunos que utilizan el **modelo Cliente-Servidor** (*DATA*, *HIGHWAY* +).

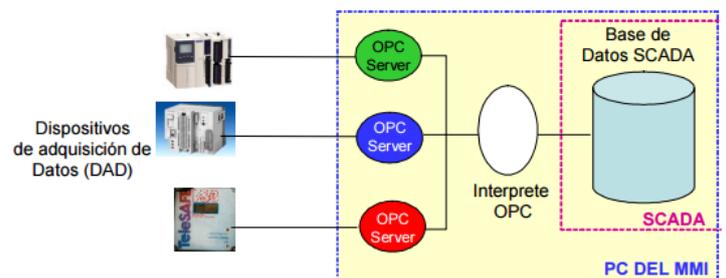


OPC SERVERS

Aprovechando una propiedad definida como estándar de los objetos de los sistemas operativos Windows denominada *OLE*, que permite incrustar o embeber una aplicación dentro de otra (ejemplo cuando incluimos una tabla Excel en un documento Word), se desarrolló un nuevo estándar denominado *OPC* (*OLE for Process Control*) el cual permite incluir objetos de comunicaciones en aplicaciones de sistema operativo Windows. Esto permite tener un set de comandos y repuestas estándar que permite que dos aplicaciones puedan entenderse sin inconvenientes.

La diferencia entre el uso de *OPC* y el uso de *DRIVERS*, es que la comunicación se produce en un lenguaje estándar abierto y a nivel de aplicaciones. De esta manera los fabricantes de cada dispositivo desarrollan un *Servidor OPC*, el cual por un lado se comunica con su dispositivo y por el otro es capaz de responder o recibir información en un formato estándar *OPC*. Los fabricantes de software de visualización por su lado desarrollan un interpretador de *OPC*.

La ventaja es que con un solo interpretador *OPC* se puede leer cualquier dispositivo que tenga asociado un *OPC Server*. Con esto se amplía el ciclo de vida de los paquetes y la incorporación sencilla de cualquier dispositivo



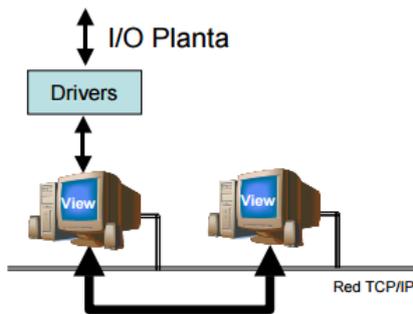
DISEÑO DE APLICACIONES

Un componente fundamental de SCADA es el modulo de visualización. Generalmente se encuentra formado por dos aplicaciones de software, una que permite el diseño de las

pantallas de visualización y otro donde se ejecuta la visualización tomando información de la base de datos, drivers y manejando alarmas, repostes, históricos, etc.

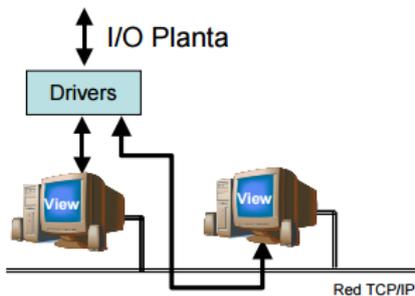
ARQUITECTURA DE APLICACIONES

Existen muchas configuraciones que corren en una sola PC y en forma independiente, sin embargo otras muy comunes son donde la información de planta surge de los diferentes sectores de la misma e interesa operativamente a ese sector, pero algunos datos son datos que se comparten entre diferentes sectores.



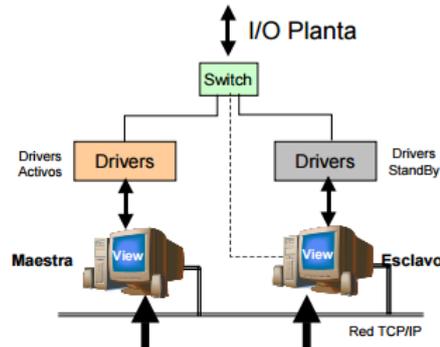
VINCULACION A APLICACION

Otra situación común es que la información no es solo monitoreada desde donde se reciben los datos, sino que se desea monitorear desde otro punto sin realizar ningún tipo de comando.



VINCULACION DRIVERS

Por último, otra situación es cuando se desea tener una redundancia del SCADA y que se encuentre activa en caso que la estación maestra tenga algún problema. Esto se conoce como *Hot Standby*.



HOT STAND BY

En estas situaciones se requieren las aplicaciones se relacionen entre sí, se puede hacer fácilmente con la red Ethernet junto con algún sistema de seguridad de acceso.